

공 학 박사 학 위 논문

저항 및 커패시턴스 스케일링 구조를  
이용한 위상고정루프



부경대학교 대학원

전자공학과

송윤귀

공 학 박 사 학 위 논 문

저 항 및 커패시턴스 스케일링 구조를  
이용한 위상고정루프

지도교수 류 지 구

이 논문을 공학박사 학위논문으로 제출함



2009년 2월


부 경 대 학 교 대 학 원

전 자 공 학 과

송 윤 귀

# 송윤귀의 공학박사 학위논문을 인준함

2009년 2월 25일



주 심 공학박사 정 수 태 (인)  
위 원 공학박사 권 태 하 (인)  
위 원 공학박사 최 혁 환 (인)  
위 원 공학박사 서 희 돈 (인)  
위 원 공학박사 류 지 구 (인)

# 목 차

Abstract

I. 서론 .....	1
II. 위상고정루프의 이론 및 구조 .....	3
2.1 위상고정루프의 기본개념 .....	3
2.1.1 위상고정루프의 기본적인 전달함수 .....	5
2.1.2 루프대역폭과 위상 여유 .....	8
2.1.3 위상/주파수 검출기 .....	12
2.1.4 전하펌프 및 루프필터 .....	15
2.1.5 전압제어 발진기 .....	17
2.1.6 주파수 분주기 .....	18
III. 저항 및 커패시턴스 스케일링 구조를 이용한 위상고정루프 설계 .....	20
3.1 제안된 위상고정루프 구조 .....	20
3.1.1 복합 위상/주파수 검출기 .....	22
3.1.2 전하펌프 .....	25
3.1.3 루프필터 저항 및 커패시턴스 스케일링 .....	31
3.1.4 위상고정 상태 표시기를 이용한 적응적 대역폭 .....	36
3.1.5 전압제어 발진기 .....	42
3.1.6 주파수 분주기 .....	44
3.2 고속 위상고정루프 .....	47
3.3 저잡음 위상고정루프 .....	51

IV. 실험결과 및 고찰 .....	54
4.1 고속 위상고정루프 .....	54
4.1.1 시뮬레이션 .....	54
4.1.2 측정결과 및 논의 .....	59
4.2 저잡음 위상고정루프 .....	63
4.2.1 시뮬레이션 .....	63
4.2.2 측정결과 및 논의 .....	68
V. 결 론 .....	73
참고문헌 .....	75



# Phase Locked Loop with Resistance and Capacitance Scaling Scheme

Youn-Gui Song

Department of Electronic Engineering, Graduate School,  
Pukyong National University

## Abstract

In this paper, a novel phase locked loop(PLL) architecture with resistance and capacitance scaling scheme has been proposed. We designed two PLLs which have fast locking and low noise characteristics based on the proposed architecture. The fast locking PLL has been designed to have wide loop bandwidth with the scaling of elements on loop filter. The low noise PLL has been also designed to have narrow loop bandwidth and small ripple to reduce the phase noise and reference spur, while making the capacitor that occupying the larger portion of the chip as small as possible. Each PLL has been fabricated with  $0.35\mu\text{m}$  standard CMOS process and experimentally verified.

The proposed PLL has three charge pumps. The effective capacitance and resistance of the loop filter can be scaled up/down according to the locking status by controlling the direction and magnitude of each charge pump current. It can change the bandwidth and improve the locking time, phase noise and reference spur characteristics.

The fast locking PLL has the locking time of less than  $6\mu\text{s}$  and the phase noise of  $-90.45\text{ dBc/Hz}$  @1MHz at 851.2MHz output frequency. The low phase noise PLL has the locking time of less than  $30\mu\text{s}$ , the phase noise of  $-105.37\text{ dBc/Hz}$  @1MHz and the reference spur of  $-50\text{dBc}$  at 851.2MHz output frequency.

The proposed PLL shows a little poor phase noise performance because of a noisy ring oscillator but a short locking time. We can expect good characteristics through improving the locking status indicator(LSI) circuits for fast locking, and using a less noisy LC voltage controlled oscillator for low phase noise.



# I. 서론

최근 정보 통신 기술 발전과 시장의 급속한 성장에 따라 보다 향상된 시스템 성능과 서비스에 대한 소비자의 요구가 증가하고 있다. 이러한 요구를 충족시키기 위해 시스템의 송수신 주파수 대역은 증가하고 있으며, 시스템의 소형화, 고속화, 저소비전력화 그리고 저가격화의 방향으로 기술 개발이 이루어지고 있다. 현재 대부분의 유·무선 고속 데이터 통신 시스템이나 이동통신 시스템 송수신기에서는 시스템에 요구되는 특정한 주파수를 합성하기 위한 주파수 합성기로 위상고정루프(phase locked loop; PLL)가 주로 이용된다. 위상고정루프는 부궤환 루프를 이용하여 입력 신호와 출력 신호의 위상차를 동기시키는 회로로 마이크로프로세서, 디지털 신호 처리장치(digital signal processor; DSP) 그리고 각종 통신 시스템의 송수신기 등에서 널리 사용되고 있다[1-10].

일반적으로 SiGe 혹은 BiCMOS와 같은 공정으로 제작된 위상고정루프들은 빠른 위상고정 속도, 낮은 위상잡음 특성을 가지나 소비전력이 크고 고가인 단점이 있다. 반면 최근에 위상고정루프들은 CMOS 공정의 급속한 발전에 따라 최소 크기가  $0.13\mu\text{m}$  또는 그 이하인 나노공정으로 제조할 수 있게 되어 높은 주파수에서도 안정적이고 우수한 위상잡음 특성을 가지게 되었다. 그리고 위상고정루프의 위상고정 시간, 위상잡음 및 지터 특성 향상과 무선 주파수(radio frequency; RF) 시스템의 소형화와 저소비전력을 위해 CMOS 기술로 하나의 칩에 집적화하는 SoC(system on a chip) 방향으로 연구들이 활발하게 진행되고 있다[11-14].

각종 통신 시스템의 송수신기의 고속화 및 고주파수화 추세를 만족시키기 위해 위상고정루프는 빠른 위상고정 시간과 낮은 위상 잡음 및 지터 특성이



요구된다. 이러한 특성을 얻기 위한 연구에는 단계적 대역폭 변화 방식을 이용한 디지털 위상고정루프, 적응적 대역폭 조절기를 이용한 위상고정루프 그리고 듀얼 슬로프 위상/주파수 검출기(dual slope phase frequency detector; PFD)를 이용한 구조들이 있다[15-17]. 또한 전체 칩 영역의 많은 부분을 차지하는 커패시터의 크기를 최소화 하기위해 다양한 위상고정루프 구조들도 연구되어 왔다[18-20]. 이러한 구조들은 각각 전체적인 칩 면적 증가, 늦은 동작 속도, 소비전력 증가, 느린 위상고정 시간 및 위상잡음 증가 등의 문제점들을 가지고 있다. 특히 커패시터의 크기를 최소화 하기위해 사용되는 복잡한 구조의 커패시턴스 스케일러는 잡음원이 되며 동작 주파수 범위도 제한되는 문제점 등을 야기할 수 있다.

본 연구에서는 이러한 점들을 고려하여 루프필터의 저항과 커패시턴스의 실효값을 스케일링하고 루프 대역폭을 변화시켜 빠른 위상고정 시간과 낮은 위상잡음을 가지면서 커패시터의 크기를 최소화 할 수 있는 새로운 형태의 위상고정루프를 제안하였다. 제안된 위상고정루프 구조를 이용하여 빠른 위상고정 시간을 목표로 한 고속 위상고정루프와 낮은 위상잡음을 목표로 한 저잡음 위상고정루프를 각각 설계하고 0.35 $\mu\text{m}$  표준 CMOS 공정으로 제작하여 제안한 구조의 타당성과 그 효과를 확인하였다.

## II. 위상고정루프의 이론 및 구조

### 2.1 위상고정루프의 기본 개념

위상고정루프의 기본구조는 그림 2.1과 같이 세 개의 기본 요소들로 이루어진다. 즉, 위상 검출기(Phase detector; PD), 루프필터(Loop filter; LF), 그리고 제어 전압에 따라서 주파수를 변화시키는 전압제어 발진기(Voltage controlled oscillator; VCO)로 구성된다. 위상 검출기는 이 신호의 위상을 입력 신호의 위상과 비교한다. 위상 검출기의 출력은 두 입력 신호의 위상차에 비례하는 신호를 출력하고, 루프필터는 이 출력 신호를 전압제어 발진기의 제어전압으로 변환한다. 전압제어 발진기는 루프필터의 출력신호 즉, 제어 신호  $V_{cont}$ 에 따라 변화하는 주파수의 신호를 출력하게 된다.

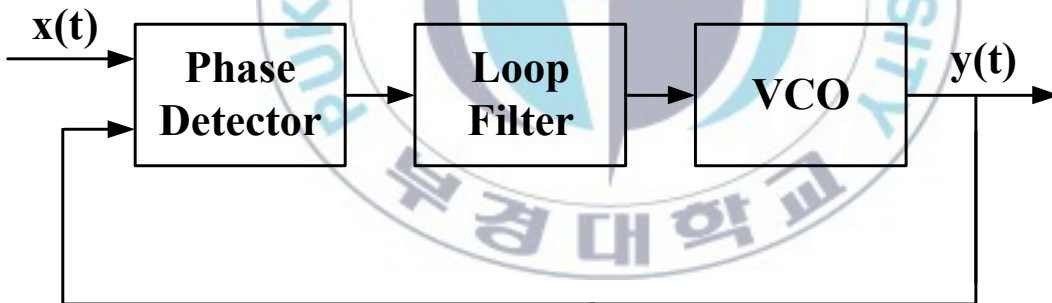


그림 2.1 기본적인 위상고정루프 구조

Fig. 2.1 Structure of the fundamental phase locked loop(PLL).

이와 같이 위상고정루프는 부궤환 구조를 가지고 있어 입력 신호의 주파수와 같은 신호가 전압제어 발진기의 출력으로 나오게 된다. 위상고정루프의

입력 신호와 전압제어 발진기 출력 신호의 주파수와 위상이 같은 때 위상고정 루프의 위상이 고정되었다고 한다[21].

확장된 동작 범위를 갖는 위상고정루프인 전하펌프-위상고정루프(Charge Pump Phase-Locked Loop; CPPLL)의 기본적인 구조는 그림 2.2와 같다. 이 위상고정루프는 위상/주파수 검출기, 전하펌프, 전압제어발진기, 루프필터 및 주파수 분주기의 5개 주요 부분으로 구성된다.

위상/주파수 검출기는 외부로부터 입력되는 기준 주파수( $F_{ref}$ ) 신호와 전압제어 발진기에서 생성되는 신호의 위상과 주파수를 비교하여 위상 및 주파수의 차이에 해당하는 신호를 출력한다. 전하펌프와 루프필터는 입력신호에 비례하는 전류를 구동하여 전압제어 발진기 신호의 주파수( $F_{out}$ )와 위상을 기준 주파수 신호의 위상과 주파수에 동일하게 만드는 전압제어 발진기의 제어전압을 발생시킨다. 루프필터는 차수에 따라 2차, 3차, 4차 필터 등으로 나누어지며, 필터에 쓰이는 소자에 따라 능동 필터와 수동 필터로 다시 분류된다. 주파수 분주기는 낮은 기본주파수의 외부입력을 사용할 수 있게 할 뿐만 아니라, 원하는 전압제어 발진기의 출력주파수를 얻을 수 있게 한다[22].

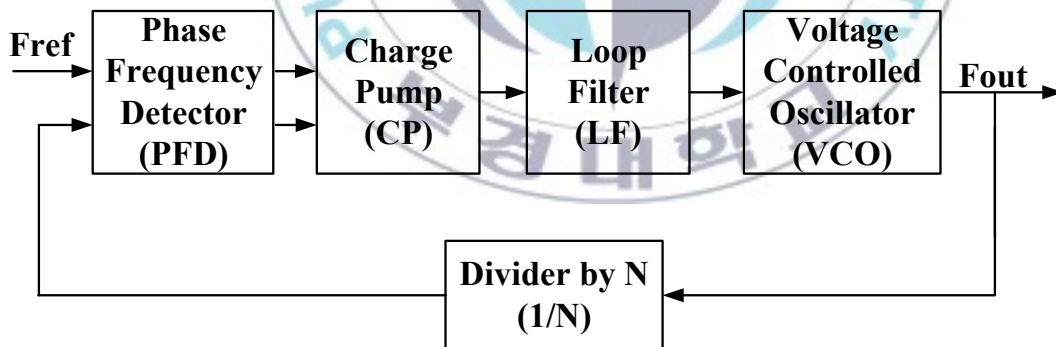


그림 2.2 전하펌프-위상고정루프의 블록 다이어그램

Fig. 2.2 Block diagram of the charge pump-PLL.

### 2.1.1 위상고정루프의 기본적인 전달함수

그림 2.3은 선형화된 위상고정루프의 블록 다이어그램을 나타낸다.

위상/주파수 검출기의 출력 전압을 라플라스 변환(Laplace transform)을 하면 다음과 같다.

$$V_{pfd}(s) = K_p \theta_e \quad (2.1)$$

여기서,  $K_p$ 는 위상 주파수 검출기의 이득이고, 단위는 [V/rad]이다.

루프필터는 전압제어 발진기에서 필요 없는 초과대 신호를 발생할 수 있는 고주파 성분을 제거한다. 루프필터 출력을 라플라스 변환하면 다음과 같다.

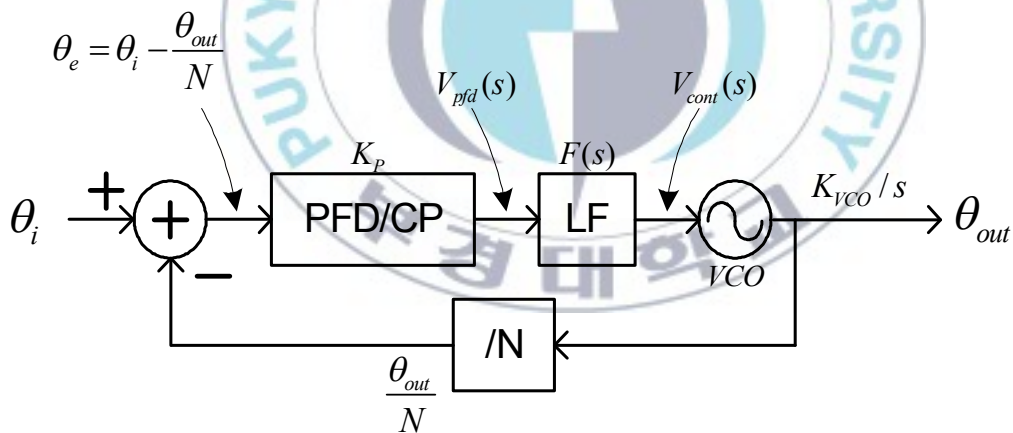


그림 2.3 선형화된 PLL의 블록 다이어그램

Fig. 2.3 Block diagram of the linearized PLL.

$$V_{cont}(s) = F(s) V_{pfd}(s) \quad (2.2)$$

전압제어 발진기 출력 주파수의 변화를 시간영역에서 고려하면,

$$\omega_{out} = K_{vco} V_{cont} + \omega_{fr} \quad (2.3)$$

이 된다. 여기서,  $K_{vco}$ 는 전압제어 발진기의 이득이고, 단위는 [rad/s/V]이다.  $\omega_{fr}$ 는 자유 발진 주파수(free-running frequency)이다.

주파수의 시간에 대한 적분이 위상이므로, 전압제어 발진기의 초과위상에 대해서 적분을 취하면,

$$\int \omega_{out} dt = \phi_{out}(t) = K_{vco} \int V_{cont} dt \quad (2.4)$$

로 된다. 라플라스 변환에서 이 초과위상은 다음과 같이 된다.

$$\Theta_{out} = \frac{K_{vco}}{s} V_{cont}(s) \quad (2.5)$$

그리고 피드백 부분의 분주기는 S-영역에서는 다음과 같이 간략화 된다.

$$\Theta_{out(\div r)} = \frac{\Theta_{out}}{N} \quad (2.6)$$

전방(forward) 전달함수  $G(s)$ 는 다음과 같이 나타낸다.

$$\begin{aligned}
G(s) &= \frac{\Theta_{out}}{\Theta_e} \\
&= \left( \frac{V_{pfd}(s)}{\theta_e} \right) \left( \frac{V_{cont}(s)}{V_{pfd}(s)} \right) \left( \frac{\theta_{out}}{V_{cont}(s)} \right) \\
&= \left( \frac{K_p F(s) K_{vco}}{s} \right)
\end{aligned} \tag{2.7}$$

피드백 전달함수는,

$$\frac{H(s)}{\Theta_{out}} = \frac{1}{N} \tag{2.8}$$

로 나타낸다. 위상고정루프에서의 개루프(open loop) 함수는 다음과 같다.

$$G(s)H(s) = G_{OL}(s) = \frac{\Theta_{out/N}}{\Theta_e} = \frac{K_p K_{vco} F(s)}{N_s} \tag{2.9}$$

개루프 전달함수에서, 위상고정루프의 루프 대역폭은  $|G(s)H(s)| = 1$  인 경우이다. 위상고정루프의 안정된 동작을 위해서 개루프 이득이 0 dB를 교차할 때 위상 여유(phase margin)는 충분히 확보 되어야 한다. 이 위상 여유는 루프필터의 구조와 값에 따라 변하며 적절한 시스템 레벨의 설계에 의해 최적화 된다[23].

## 2.1.2 루프 대역폭과 위상 여유

그림 2.4는 루프필터를 수동소자로 구성한 Type-II 3<sup>rd</sup> 구조의 위상고정 루프이다. 루프필터의 전달함수  $F(s)$ 는 다음과 같다.

$$F(s) = \frac{sR_2C_2 + 1}{s^2(C_1C_2R_2) + s(C_1 + C_2)} \quad (2.10)$$

그림 2.4의 극점과 관련한 시정수를  $\tau_1 = R_2 \left( \frac{C_1C_2}{C_1 + C_2} \right)$ , 영점과 관련한 시정수를  $\tau_2 = R_2C_2$ 로 표현하면,  $F(s)$ 는 다음과 같다.

$$F(s) = \frac{(1 + s\tau_2)}{sC_1(1 + s\tau_1)} \frac{\tau_1}{\tau_2} \quad (2.11)$$

식 (2.11)에 식 (2.9)의  $F(s)$ 를 대입하면 다음과 같다.

$$G(s)H(s) = \frac{K_P K_{VCO}}{Ns^2 C_1} \frac{\tau_1}{\tau_2} \quad (2.12)$$

식 (2.12)는 개루프 전달함수를 물리적 루프 변수들과 관련지어 표현한 것이다.

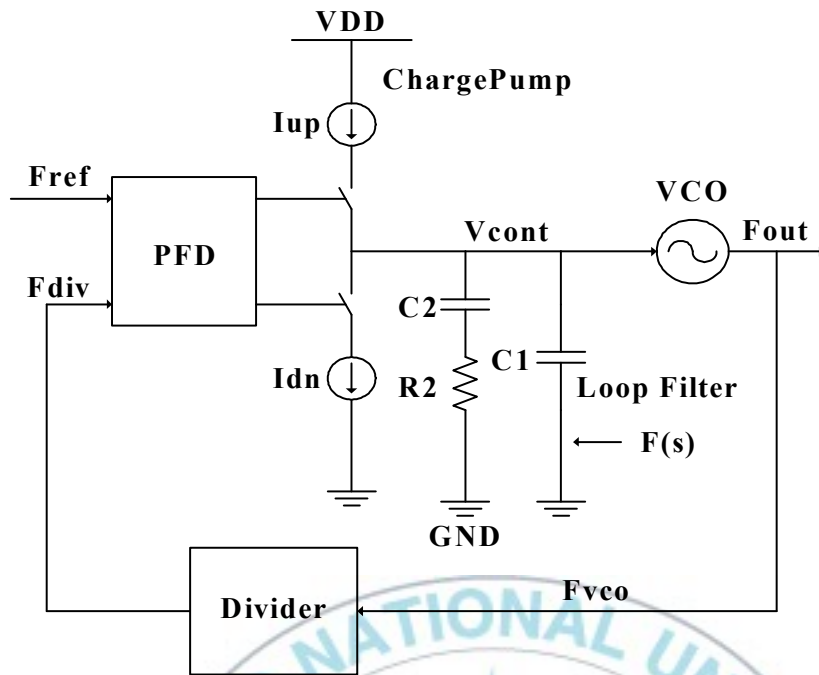


그림 2.4 Type-II 3<sup>rd</sup> 위상고정루프

Fig. 2.4 Type-II 3<sup>rd</sup> Phase Locked Loop.

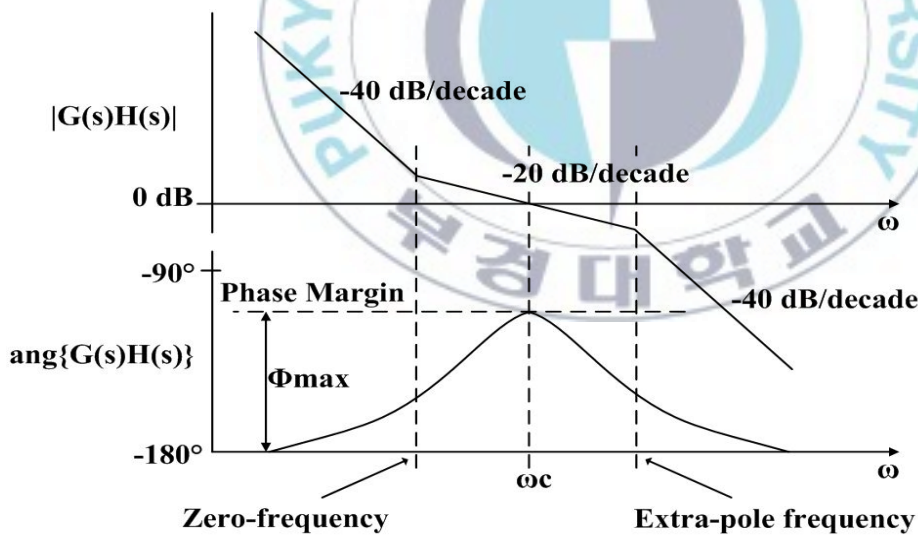


그림 2.5 전달함수  $G(s)H(s)$ 에 대한 보드선도

Fig. 2.5 Bode plot of the transfunction  $G(s)H(s)$ .



그림 2.5는 개루프 보드선도를 나타낸 것이다. 보드선도에서 저주파수 영역은 전압제어 발진기와 전하펌프 두 개의 적분기가 있으므로  $-40$  dB/decade의 기울기를 가진다. 차단주파수( $\omega_c$ )를 구하기 위해,  $s = j\omega$ 로 변환하면,

$$G(s)H(s)|_{s=j\omega} = \frac{-K_p K_{vco}}{N\omega^2 C_1} \left\{ \frac{(1 + j\omega \cdot \tau_2)}{(1 + j\omega \cdot \tau_1)} \frac{\tau_1}{\tau_2} \right\} \quad (2.13)$$

로 된다. 이때의 위상은 다음과 같다.

$$\phi(\omega) = \tan^{-1}(\omega \cdot \tau_2) - \tan^{-1}(\omega \cdot \tau_1) + 180 \quad (2.14)$$

그림 2.5에서 알 수 있듯이, 최대 위상 여유( $\phi_{\max}$ )은 개루프 위상응답의 기울기가 0이 될 때이고 차단주파수( $\omega_c$ )의 위치가 된다. 따라서 식 (2.14)을 미분하면,

$$\frac{d\phi(\omega)}{d\omega} = \frac{\tau_2}{1 + (\omega \cdot \tau_2)^2} - \frac{\tau_1}{1 + (\omega \cdot \tau_1)^2} = 0 \quad (2.15)$$

과 같이 된다. 식 (2.15)에서  $\tau_1$ 과  $\tau_2$ 에 관련된 차단주파수( $\omega_c$ )를 구하면,

$$\omega_c = \frac{1}{\sqrt{\tau_1 \cdot \tau_2}} \quad (2.16)$$

로 된다.  $\omega_c$ 의 주파수에서 개루프 전달함수는 0 dB를 통과하며, 최대의 위상

여유를 가지게 된다. 결과적으로, 루프필터의 설계 시 사용되는 소자의 값들은 다음과 같이 된다.

$$C_1 = \frac{K_b K_{vco}}{N \omega_c^2} \frac{\tau_1}{\tau_2} \left\{ \frac{\sqrt{1 + (\omega_c \tau_2)^2}}{\sqrt{1 + (\omega_c \tau_1)^2}} \right\} \quad (2.17)$$

$$R_2 = \frac{\tau_2}{C_2} \quad (2.18)$$

$$C_2 = C_1 \left( \frac{\tau_2}{\tau_1} - 1 \right) \quad (2.19)$$

위상고정루프에서의 특성을 나타내는 변수로 루프필터와 연관된 자연주파수 ( $\omega_n$ )와 감쇠율( $\zeta$ )은,

$$\omega_n = \sqrt{\frac{1}{N} \frac{K_{vco} I_b}{2\pi C_2}}, \quad \zeta = \frac{\omega_n \tau_2}{2} \quad (2.20)$$

와 같이 나타낸다. 감쇠율( $\zeta$ )의 함수로 위상 여유와 개루프 전달함수는,

$$|G(s)H(s)| = \frac{\sqrt{1 + 4\zeta^2 (\omega/\omega_n)^2}}{(\omega/\omega_n)^2} \quad (2.21)$$

로 된다.

이때의 위상 여유는,

$$\phi = \tan^{-1} \left( 2\zeta \sqrt{2\zeta^2 + \sqrt{4\zeta^4 + 1}} \right) \quad (2.22)$$

로 나타낸다. 위상고정루프의 루프필터 설계할 때 위상 여유의 최소값은  $45^\circ$ , 감쇠율( $\zeta$ )은 0.9 일 때 최적의 성능을 나타낸다. 루프 대역폭은 측파대의 잡음을 줄이기 위해  $f_{ref}/100$ 에서  $f_{ref}/10$  까지 범위로 설정하는 것이 이상적이다. 루프대역폭은 위상 여유와 위상고정 시간, 안정도등과 깊게 연관되어 있을 뿐 만 아니라, 위상고정루프의 잡음과도 깊은 연관을 지니고 있다[24]. 따라서 위상고정루프를 설계할 때 루프 대역폭의 결정은 신중하게 이루어져야 한다.

### 2.1.3 위상/주파수 검출기

위상/주파수 검출기는 위상과 주파수 오차를 검출하는 순차 회로이다. 위상/주파수 검출기는 3-상태(3-state) 구조가 가장 많이 쓰이고 보편화 되어 있다. 일반적으로 가장 많이 사용되는 위상/주파수 검출기의 구조는 그림 2.6과 같다.

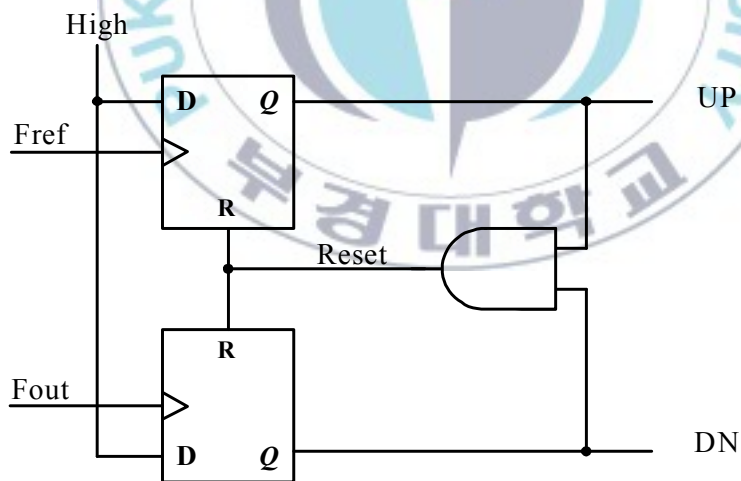


그림 2.6 3상태 위상/주파수 검출기.

Fig. 2.6 3-state phase/frequency detector.

3-상태 위상/주파수 검출기의 구조는 두 개의 D-플립플롭과 한 개의 AND 게이트로 이루어져 있다. 이 구조는 에지-트리거 순차회로(edge-triggered sequential circuit)이다. 두 개의 D-플립플롭으로 들어오는 기준 신호와 전압제어 발진기 출력 신호의 상승 천이(positive transition)에 따라 동작하기 때문에 위상/주파수 검출기의 출력이 입력의 듀티비(duty ratio)에 관계없다[22].

그림 2.7은 위상/주파수 검출기의 3상태에 대한 다이어그램이다. 위상/주파수 검출기는 기준신호( $F_{ref}$ )와 전압제어 발진기 출력 신호( $F_{out}$ )의 위상과 주파수를 비교해서 두 가지 신호(UP, DN)를 출력한다. 기준신호가 전압제어 발진기 출력 신호보다 더 빠르면 그 차이만큼의 펄스폭을 가지는 UP 신호를 출력한다. 기준 신호가 전압제어 발진기 출력 신호보다 느리면 그 차이만큼의 펄스폭을 가지는 DN 신호를 출력한다. 위상/주파수 검출기에서 UP 신호는 전하 펌프를 구동시켜 루프필터의 출력 전압 즉, 전압제어 발진기의 입력전압( $V_{cont}$ )을 상승시키게 되어 전압제어 발진기의 출력 주파수를 높인다. 그리고 DN 신호는 전하펌프를 구동시켜 전압제어 발진기의 입력전압을 하강시켜 전압제어 발진기의 출력 주파수를 내려가게 된다. 기준 신호와 전압제어 발진기 출력 신호가 같아지면 이상적인 경우 루프필터에 공급되는 전류가 없으므로 전압제어 발진기의 입력전압은 항상 일정한 값을 유지한다.

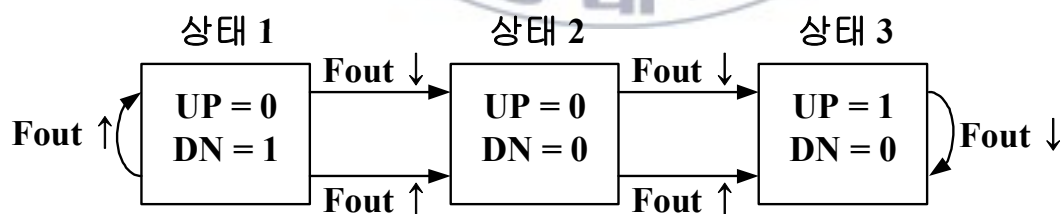
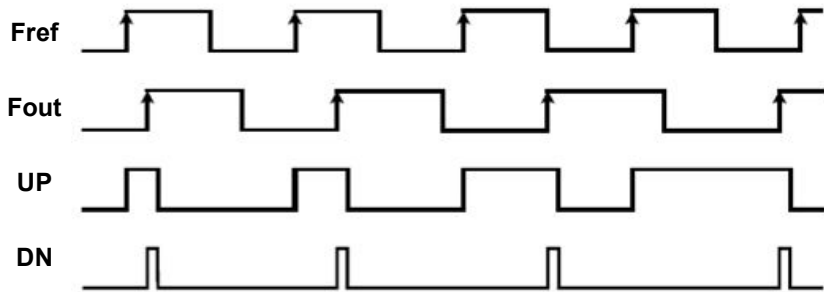


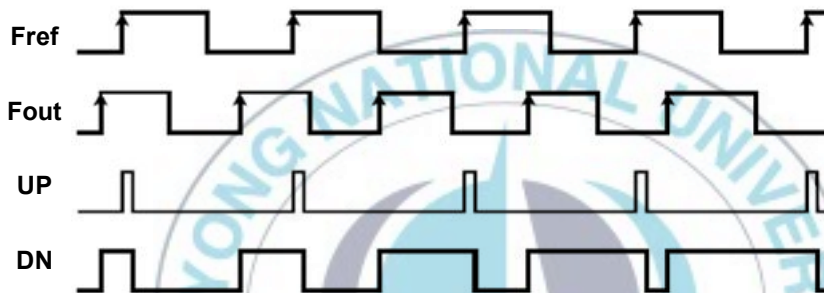
그림 2.7 3-상태 위상/주파수 검출기의 상태도

Fig. 2.7 State diagram of the 3-state phase/frequency detector.

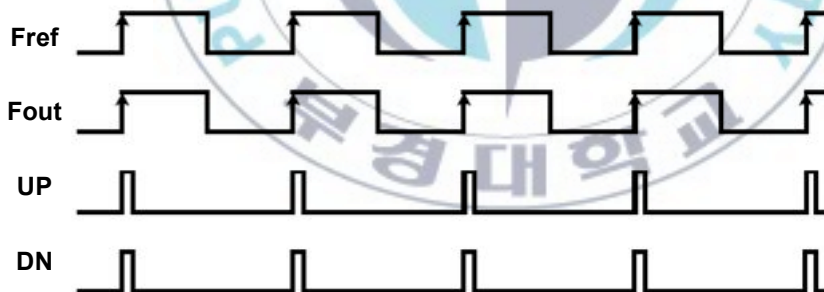
그림 2.8은 기준신호와 전압제어 발진기 출력신호의 위상 및 주파수를 비교하여 나타낸 타이밍(timing) 다이어그램이다.



(a)  $F_{ref} > F_{out}$ 인 경우



(b)  $F_{ref} < F_{out}$ 인 경우



(c)  $F_{ref} = F_{out}$ 인 경우

그림 2.8 3상태 위상/주파수 검출기의 타이밍 다이어그램

Fig. 2.8 Timing diagram of the 3-state phase/frequency detector.

## 2.1.4 전하펌프 및 루프필터

그림 2.9는 위상고정루프에서 사용되는 전하펌프와 루프필터의 구성을 나타낸다. 전하펌프는 위상/주파수 검출기로부터 오는 기준신호와 전압제어 발진기 출력신호의 위상오차에 해당하는 UP, DN 신호에 의해서 제어된다. UP 신호가 'high' 일 경우에는 전하펌프의 S1 스위치가 턴온(turn on)되어 루프필터에 전류  $I_p$ 가 흐르게 된다. 그러므로 루프필터의 커패시터에 전류가 충전되고 전압제어 발진기 입력 전압인  $V_{cont}$  전압이 상승하게 된다. DN 신호가 'high' 일 경우에는 전하펌프의 스위치 S2가 턴온되어 루프필터에 전류  $I_n$ 이 흐르게 된다. 이 경우에는 루프필터의 커패시터에 전류가 방전되어 전압제어 발진기 입력 전압인  $V_{cont}$  전압이 하강하게 된다. 전하펌프에 쓰이는 스위치로는 MOSFET가 쓰이며, 전하펌프에 흐르는 전류의 시간은 UP, DN 신호의 펄스폭에 의해서 결정이 된다. 전하펌프에 흐르는 전류인  $I_p$ 와  $I_n$ 은 위상고정 상태에서 똑같은 크기로 흘러야한다. 그러나 스위치로 쓰이는 MOSFET의 특성 중 PMOS와 NMOS의 이동도차이, 위상 주파수 검출기에서 나오는 UP, DN 신호에 의한 MOSFET 스위치의 턴온 시간 차이, MOSFET 스위치의 클럭 피드스루(clock feedthrough), 전하 공유(charge sharing) 그리고 유한한 출력 저항값 등에 의해 전류 부정합(mismatch)이 일어난다[21]. 이러한 요소들에 의해 생기는 전류 부정합은 전압제어 발진기의 입력전압에 지터(jitter)를 일으키게 하는 주된 원인이 된다.

그림 2.9의 루프필터는 일반적으로 전하펌프-위상고정루프에 사용하는 수동 루프필터이다. 이 루프필터는 두 개의 커패시터와 한 개의 저항으로 구성되어 있다.  $C_1$  커패시터를 루프 필터에 첨가하는 이유는 전압제어 발진기의 제어 전압이 계단전압(discrete voltage step)의 형태로 되는 것을 막기 위한 것이다. 루프필터의 기능은 크게 두 가지로 나눌 수 있다. 하나는 위상 주파수 검출기 출력의 리플 성분 및 고주파 성분을 제거하여 전압제어 발진기의 제어

전압을 직류로 만든다. 이 기능은 전압제어 발전기의 동작 성능과 깊은 관계가 있다. 그리고 두 번째로 더욱 중요한 기능은 루프 필터의 설계에 따라 위상고정루프 시스템의 기본적인 동적특성, 즉 위상고정 시간, 루프 대역폭, 루프 이득 등을 결정하는 것이다. 이것은 시스템의 자연주파수 그리고 감쇠율 (damping factor) 등과 밀접한 관계가 있다. 따라서 설계할 때는 많은 주의가 필요하다[24].

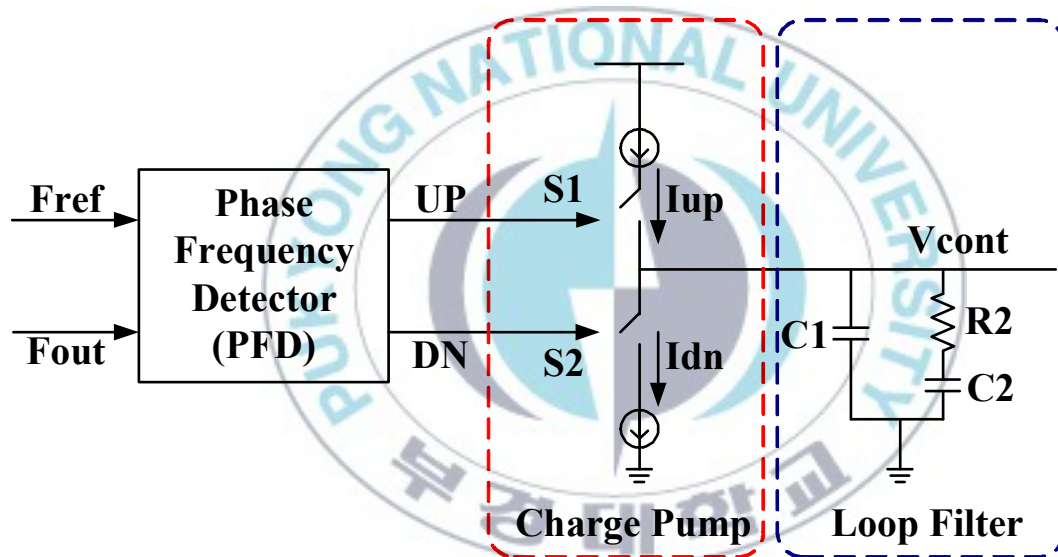


그림 2.9 전하펌프와 루프필터

Fig. 2.9 Charge pump and loop filter.

## 2.1.5 전압제어 발진기

전압제어 발진기는 입력전압인 루프필터의 출력 전압 변화에 따라 선형적으로 변하는 출력주파수의 사인파(sine wave)나 구형파(square wave)를 출력시킨다. 일반적으로 위상고정루프에 사용하는 전압제어 발진기는 부정확한 위상고정(false lock)이나 조화 위상고정(harmonic lock)을 방지하기 위해 넓은 동작주파수 범위와 좋은 선형성을 가져야 한다. 또한 전압제어 발진기 잡음의 주원인이 되는 공급전압 잡음에도 안정된 동작을 해야 한다.

그림 2.10은 전압제어 발진기의 제어 전압( $V_{cont}$ )에 대한 발진 주파수( $F_{osc}$ ) 특성을 나타낸 것이다. 전압제어 발진기에서 제어 전압 대 발진 주파수의 특성은 위상고정루프에서 중요한 의미를 지닌다. 전압에 대한 주파수의 선형성은 가능한 넓은 주파수 영역에 대해 위상고정루프의 안정도를 제공하여 제어 전압이나 동작 주파수에 따른 전압제어 발진기의 감도변화를 최소화한다. 그리고 그림 2.10에서와 같이 양(positive)의 기울기의 전압 대 주파수 특성이 바람직하다. 이것은 전압제어 발진기의 최대 동작 주파수는 최대 제어 전압에서 발생한다는 것을 의미한다. 만약 전압에 대한 주파수 특성의 기울기가 음(negative)이라면 전압제어 발진기의 최소 동작 주파수는 최대 공급전압에 의해 제한되고, 인가되는 공급전압이 감소함에 따라 최소 동작 주파수는 증가하므로 바람직하지 않다.



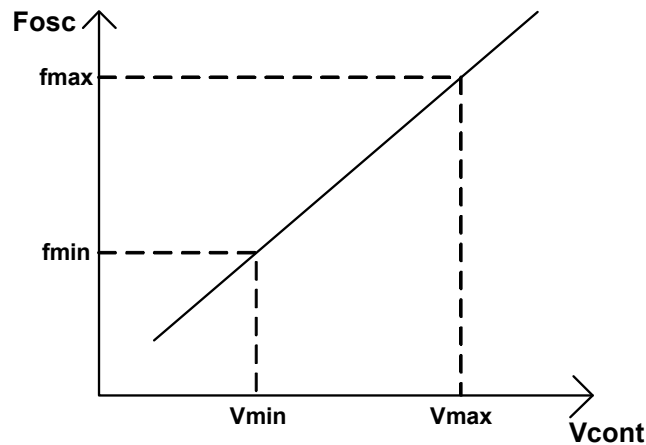


그림 2.10 이상적인 제어 전압( $V_{cont}$ )대 발진 주파수( $F_{osc}$ )  
 Fig. 2.10 Ideal control voltage vs oscillation frequency.

### 2.1.6 주파수 분주기

주파수 합성기용 위상고정루프가 널리 사용되는 근래의 무선 통신 시스템은 필요한 출력 주파수가 매우 높기 때문에, 가격이 싸고 전력 소모가 적은 CMOS 공정으로 제조할 경우가 많아지고 있다. 그러나 위상고정루프를 CMOS 공정으로 제조할 경우 다른 블록에 비해 상대적으로 높은 주파수에서 동작하는 주파수 분주기의 잡음 특성은 나빠지기 쉽다. 따라서 일단 매우 높은 주파수에서 동작할 수 있는 간단한 주파수 분주기를 이용하여 전압제어 발진기의 출력 주파수를 일정량 낮춘 후 이를 다시  $N$ 으로 나누는 저속의 분주기를 통해 위상고정루프를 형성하는 방법이 널리 사용된다. 이때 전압제어 발진기의 출력을 직접 받아들이는 빠른 주파수 분주기가 전치분주기(prescaler)이다.

그림 2.11은 전치분주기를 이용한 위상고정루프이다. 이 위상고정루프 출

럭주파수는 다음과 같이 나타낼 수 있다.

$$F_{out} = NVF_{ref} \quad (2.23)$$

식 (2.12)에서 낮은 주파수로 동작하는 분주기의 분주 비율인  $N$  은 프로그래밍을 할 수 있지만 전치분주기의 분주 비율  $V$  는 고정되어 있는 값이므로 출력 주파수의 간격이  $NVF_{ref}$ 가 된다. 즉,  $V$ 가 10이고 프로그래밍 가능한  $N$  값이 1, 2, 3이라고 하면 위상고정루프는  $10F_{ref}$ ,  $20F_{ref}$ ,  $30F_{ref}$ 의 주파수를 합성할 수 있는 것이다. 따라서 만들어 낼 수 있는 주파수의 간격이  $F_{ref}$ 보다 넓어져서, 채널 간격이 좁은 시스템에 적용하기 어려운 단점이 있다.

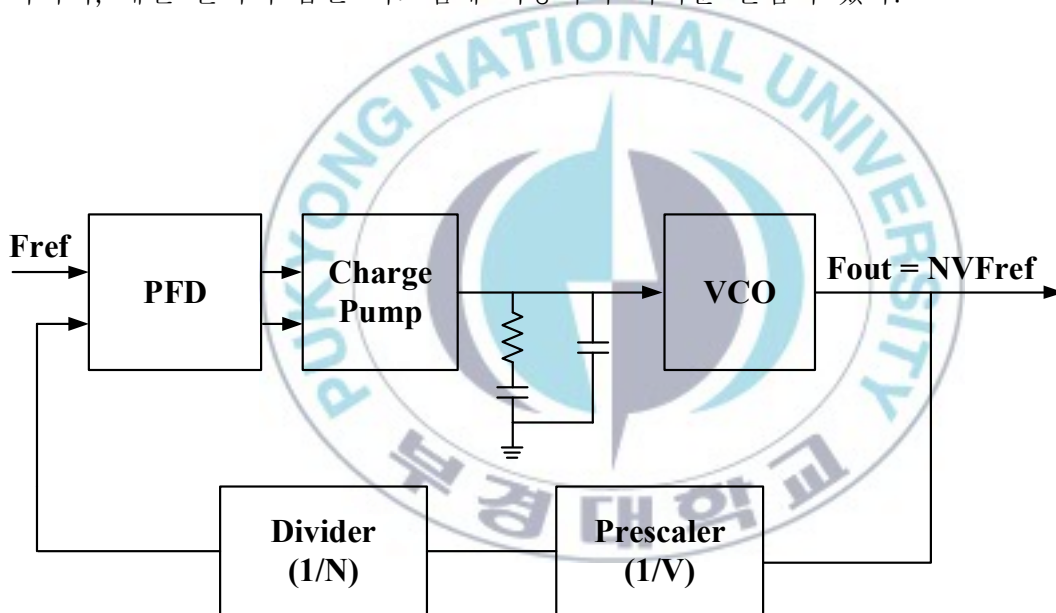


그림 2.11 전치분주기가 포함된 위상고정루프

Fig. 2.11 Phase locked loop that includes prescaler.

### Ⅲ. 저항 및 커패시턴스 스케일링 구조를 이용한 위상고정루프 설계

#### 3.1 제안한 위상고정루프 구조

본 연구에서 제안한 저항 및 커패시턴스 스케일링 구조를 이용한 위상고정루프는 그림 3.1과 같이 복합 위상/주파수 검출기(composite PFD), 위상고정 상태 표시기(locking status indicator; LSI), 세 개의 전하펌프(CP1, CP2, CP3), 두 개의 저항과 두 개의 커패시터로 구성된 루프필터, 전압제어 발진기(voltage controlled oscillator; VCO), 그리고 분주기(divider)로 구성하였다.

복합 위상/주파수 검출기는 위상/주파수 검출기와 래치 버퍼(latch buffer)가 결합된 구조로서 각 전하펌프가 적합한 동작을 할 수 있도록 신호를 생성한다. 위상고정 상태 표시기는 위상고정루프의 위상고정 상태에 따라 위상고정과 비고정의 두 가지 신호를 생성한다. 세 개의 전하펌프는 루프필터의 실효 저항과 커패시턴스를 변화시키기 위해 위상고정루프의 위상고정 상태에 따라 각각 다른 전류 크기와 방향을 가지게 된다. 전하펌프1(CP1)은 위상고정 상태 표시기의 출력 신호에 따라 두 개의 다른 크기의 전류를 루프필터에 공급한다. 전하펌프2(CP2)와 전하펌프3(CP3)은  $R_{Z2}$ 와  $C_Z$ 에 흐르는 전류를 각각 고정된 크기만큼 더하고 빼게 된다.

제안된 구조의 위상고정루프 위상이 고정되지 않은 상태일 때 전하펌프2(CP2)의 전류를 전하펌프3(CP3) 전류 보다 크게 하여  $C_Z$ 는 전하펌프1(CP1)과 전하펌프2(CP2)의 전류에 의해 빠르게 충전된다. 전하펌프1(CP1)과 전하펌프2(CP2)의 전류에 의해  $C_Z$ 의 실효 커패시턴스는 작아지고  $R_{Z1}$ 과  $R_{Z2}$ 로 구성

된  $R_Z$ 의 실효 저항 값은 증가하게 된다. 이러한 저항 및 커패시턴스 스케일링 효과로 인하여 넓은 루프 대역폭을 만들어 더욱 빠른 위상고정 시간을 갖게 된다. 한편, 위상고정루프의 위상이 고정된 상태일 때 위상고정 상태 표기기 신호에 의해 전하펌프2(CP2)는 꺼지고, 전하펌프1(CP1)의 전류는 전하펌프3(CP3)보다 약간 크게 흐르게 되어  $C_Z$ 의 실효 커패시턴스는 커지게 되고 저항 값은 원래 값으로 되어 좁은 루프 대역폭을 갖게 된다.

이러한 결과에서 빠른 위상고정 시간과 낮은 위상잡음을 갖는 위상고정루프 구조를 설계할 수 있다.

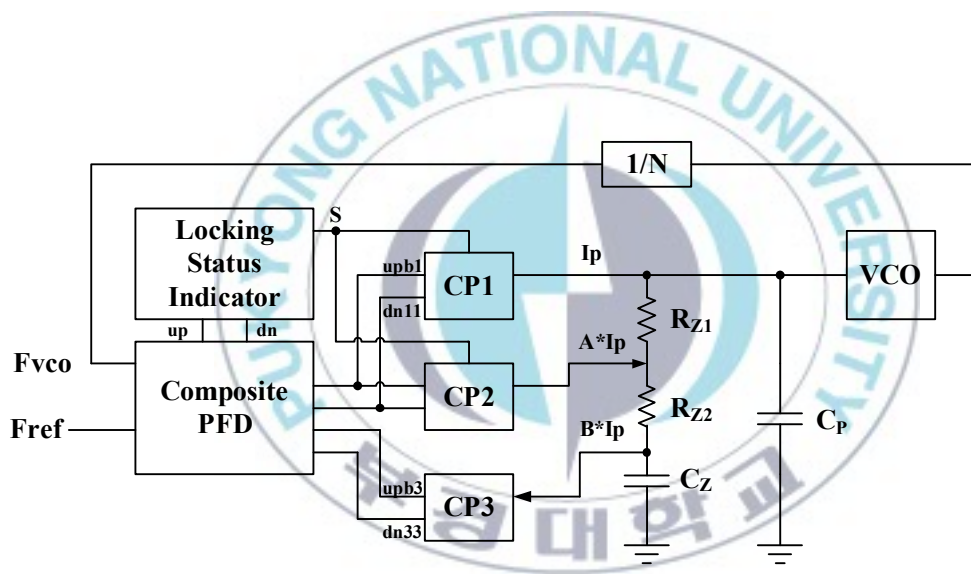


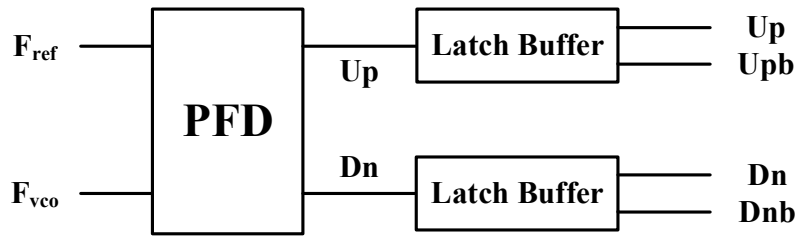
그림 3.1 제안한 위상고정루프의 구조

Fig. 3.1 Architecture of the proposed PLL.

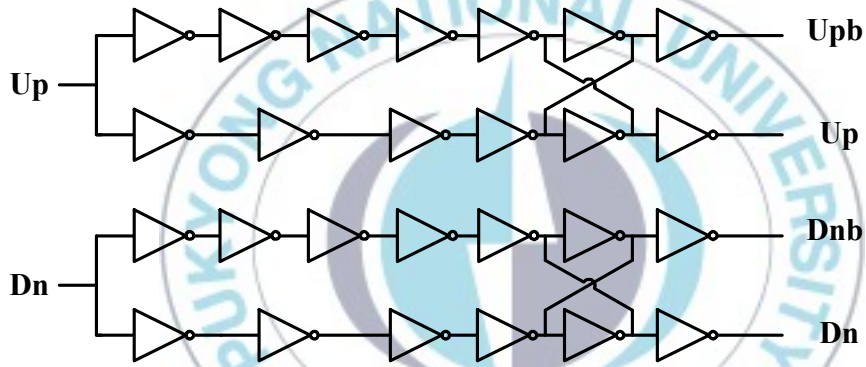
### 3.1.1 복합 위상/주파수 검출기

제안한 다중 전하펌프 위상고정루프는 총 세 개의 전하펌프를 가지고 있으며, 각각의 사용 목적에 맞는 입력신호를 만들기 위하여 그림 3.2의 복합 위상주파수 검출기를 사용하였다. 복합 위상/주파수 검출기는 위상/주파수 검출기와 두 개의 래치 버퍼로 구성 하였다. 복합 위상/주파수 검출기는 Up, Upb, Dn 그리고 Dnb로 명명된 총 네 가지의 동기화된 서로 다른 신호를 생성한다. Upb/Dn 신호는 루프필터에 전류를 공급하는 전하펌프1과 2를 위한 신호이고, 이와는 180°의 위상차가 나는 Dnb/Up 신호는 루프필터로부터 전류를 빼주는 전하펌프3을 위한 신호이다. 래치 버퍼는 위상/주파수 검출기의 출력 신호인 Up/Dn 신호로부터 Up, Upb, Dn 그리고 Dnb 신호로 변환하는 역할을 한다. 또한, 각 전하펌프에 전달되는 신호의 시간차를 줄이고 상승/하강 에지를 일정하게 만들어 위상고정루프의 위상잡음 특성을 개선하게 된다.

본 연구에서는 세 개의 전하펌프를 이용하는 구조이기 때문에 시간차나 상승/하강 에지가 만약 일정하지 않을 경우 원하지 않은 동작을 할 수도 있으며, 동작을 하더라도 좋은 특성을 기대하기는 어렵게 된다. 특히, 위상고정루프가 위상고정 상태가 되어 전하펌프2(CP2)는 꺼지고 전하펌프1(CP1)과 전하펌프3(CP3) 만이 동작할 때, 이 두 개의 전하펌프의 전류 차이는  $2\mu\text{A}$ 로 매우 작기 때문에 구동하는 신호의 시간적 불일치를 제거한 동기신호를 생성하는 것은 매우 중요하다.



(a)



(b)

그림 3.2 복합 위상 주파수 검출기

(a) 복합 위상 주파수 검출기 (b) 래치버퍼

Fig. 3.2 Composite phase frequency detector

(a) Composite phase frequency detector (b) Latch buffer.

복합 위상/주파수 검출기는 그림 3.3과 같이 단일위상클록(true single phase clock; TSPC) 회로로 구성된 위상/주파수 검출기를 사용하였다. 단일위상클록 회로는 간단한 구조, 작은 전력 소비 및 빠른 스위칭 동작 특성으로 널리 사용되고 있다. 이 회로를 이용하면 위상/주파수 검출기의 전체 게이트 개수를 줄일 수 있기 때문에 전체 칩 면적과 소비 전력을 최소화 할 수 있다[11]. 이 회로 동작에서 회로기준 신호와 분주기의 출력 신호의 위상차가 매우 작은 경우에 위상 차이가 있음에도 불구하고 위상 차이를 검출하지 못하는 데드존(dead zone) 문제가 발생하게 된다. 이러한 데드존 문제와 전하펌프의 충분한 스위칭 시간을 위해 NOR 게이트 출력에 지연 셀(delay cell)을 추가하여 문제를 해결 하였다.

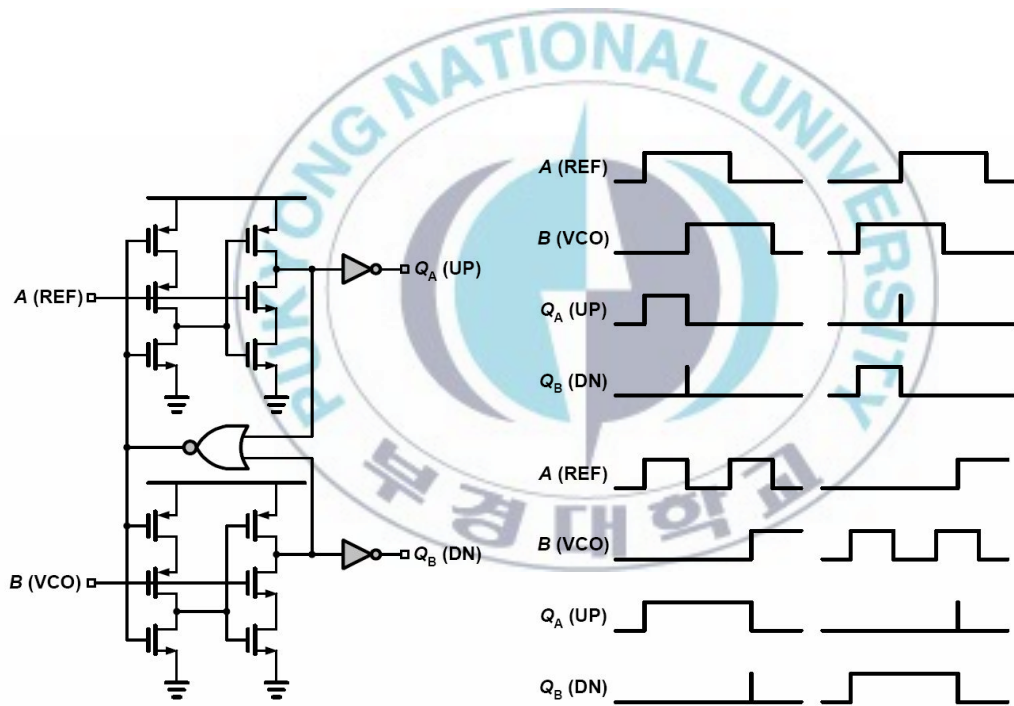


그림 3.3 위상/주파수 검출기회로와 동작파형

Fig. 3.3 Circuit of the phase frequency detector and wave form.

### 3.1.2 전하펌프

제안한 저항 및 커패시턴스 스케일링 구조를 이용한 위상고정루프 구조에서 사용되는 총 세 개의 전하펌프는 각각 다음과 같은 특성을 갖도록 설계하였다. 전하펌프1(CP1)은 전통적인 위상고정루프에서 전하펌프의 역할을 수행하는 블록으로 그림 3.4와 같다. 전하펌프1(CP1)은 위상고정 상태 표시기의 출력 신호에 따라 각각 다른 크기의 전류를 루프필터에 공급한다. 전하펌프1(CP1)은 전하펌프a(CPa)와 전하펌프b(CPb)로 명명된 두 개의 전하펌프를 가진 이중구조를 갖도록 하였다. 전하펌프a(CPa)는 위상고정루프의 위상고정 상태와 무관하게 항상 작은 전류가 흐르는 반면, 전하펌프b(CPb)는 위상고정루프가 위상고정 되지 않은 경우에만 위상고정 상태 표시기의 출력 신호 sch1과 schb에 의해 동작되어 상대적으로 많은 양의 전류가 흐르게 된다. 이와 같이 전하펌프1(CP1)의 전하펌프a(CPa)와 전하펌프b(CPb)를 위상고정루프의 위상고정 상태에 따라 루프필터에 공급되는 전류의 양을 제어하여 적응적 대역폭을 갖게 된다.

그림 3.5는 전하펌프2(CP2) 회로이다. 전하펌프2는 위상고정 상태 표시기의 신호에 따라 동작의 유무가 결정되며 루프필터의 저항기  $R_{Z1}$ 과  $R_{Z2}$  사이에 일정한 크기의 전류를 공급한다. 즉, 전하펌프2(CP2)는 슈미트 트리거 회로의 출력 신호 S가 0인 위상이 고정되지 않은 상태에서만 동작하게 된다. 이렇게 전하펌프2(CP2)에 의해 저항기  $R_{Z1}$ 과  $R_{Z2}$  사이에 공급된 큰 전류는 루프필터의 실효 저항은 크게 하는 반면에 실효 커패시턴스는 작게 하여 넓은 대역폭을 갖도록 하여 위상고정 시간을 단축시키도록 한다. 위상고정 루프의 위상이 고정되어 전하펌프2가 동작하지 않은 경우에는 루프필터의 저항은 원래의 값으로 돌아가고 커패시터는 전하펌프3에 의해 제어되어 좁은 대역폭을 갖게 된다.



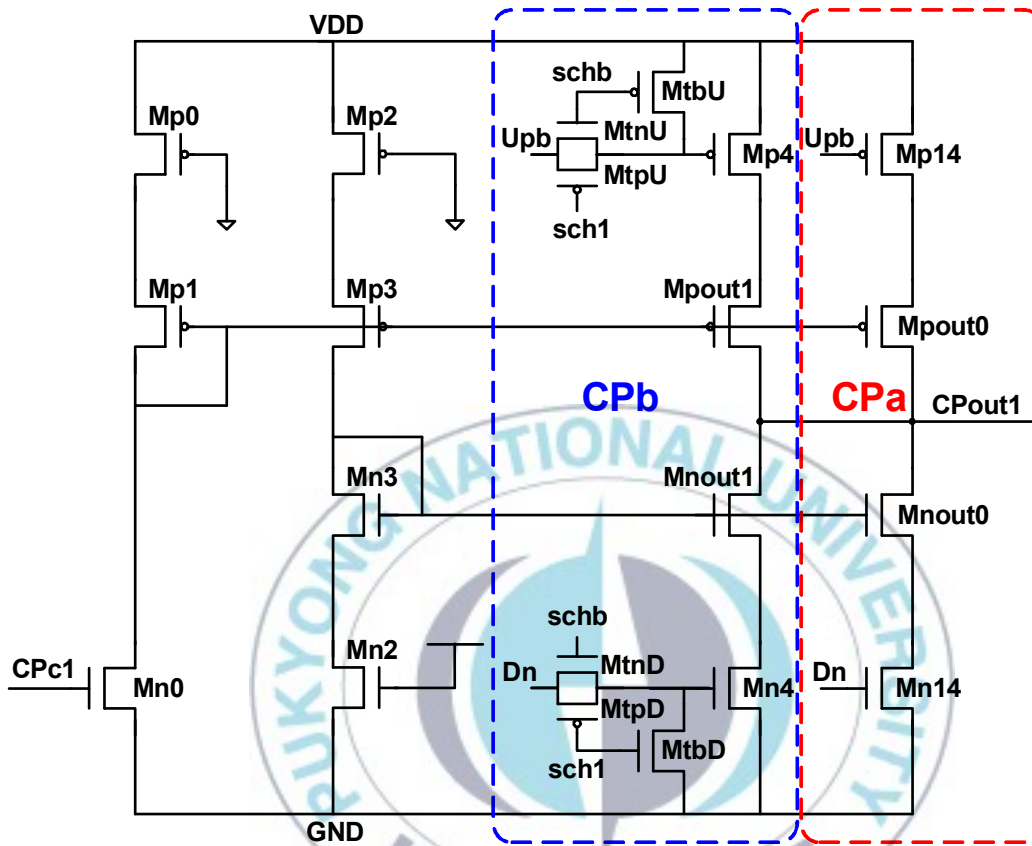


그림 3.4 전하펌프1(CP1)

Fig. 3.4 Charge pump1(CP1).

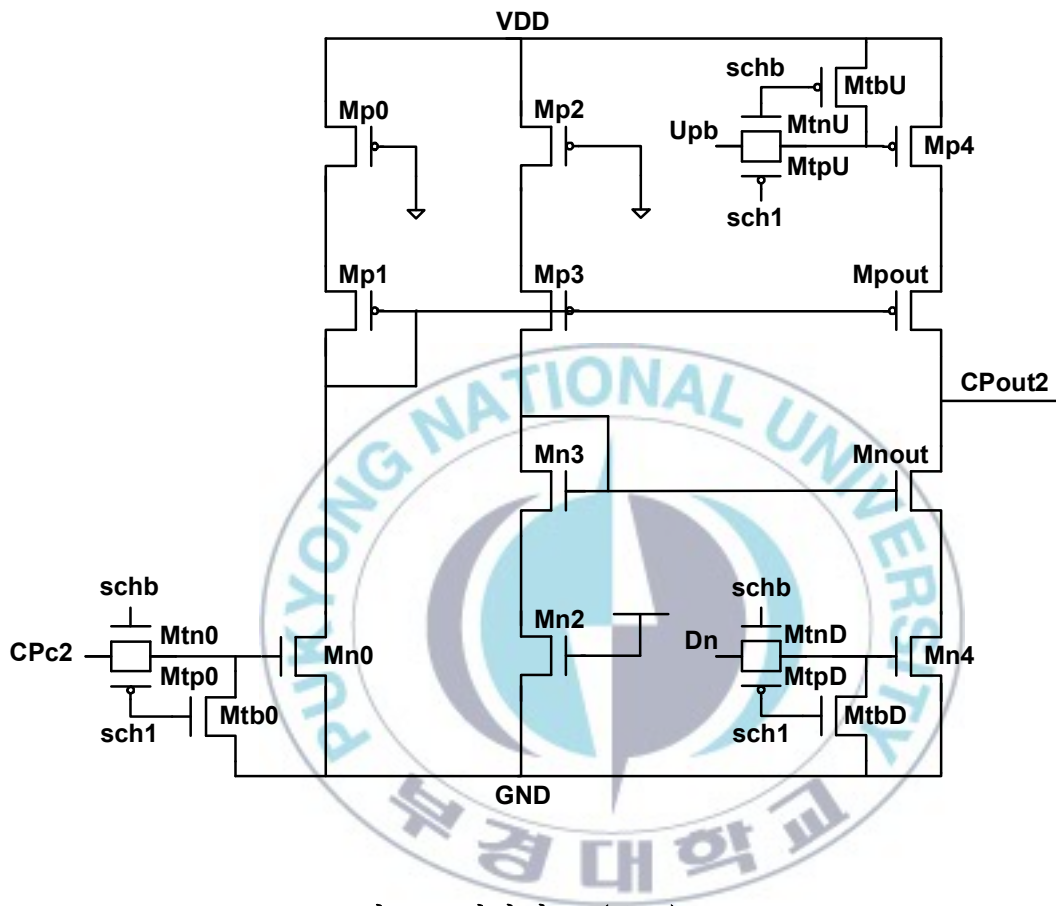


그림 3.5 전하펌프2(CP2)

Fig. 3.5 Charge pump2(CP2).

전하펌프3(CP3)은 그림 3.6과 같은 구조로 설계하였다. 전하펌프3(CP3)은 루프필터의 커패시터  $C_z$ 로부터 항상 일정한 전류를 빼주는 역할을 한다. 이렇게 전하펌프3(CP3)에 의해 빼주는 전류 크기에 의해 실효 커패시턴스를 증가시키게 된다. 위상고정루프의 위상이 고정되지 않은 상태에서는 전하펌프2(CP2)가 큰 전류를 루프필터에 공급하여 실효 커패시턴스를 줄여 넓은 대역폭을 만드는데, 항상 동작하는 전하펌프3(CP3)은 반대되는 동작을 하게 된다. 그러나 전하펌프2(CP2)의 큰 전류에 의한 실효 저항과 커패시턴스의 스케일링 효과가 크기 때문에 전하펌프3(CP3)이 항상 동작하여 실효 커패시턴스를 증가시켜도 전체 실효 커패시턴스 스케일링에는 큰 영향을 미치지 않는다. 전하펌프3(CP3)에 의한 실효 커패시턴스 스케일링 효과는 위상고정루프의 위상이 고정된 경우에는 전하펌프2(CP2)는 동작하지 않고 작은 전류만을 공급하는 전하펌프1(CP1)과 전하펌프3(CP3)만 동작하게 될 때 보다 명확하게 나타나게 된다. 전하펌프3에 의해 루프필터의 실효 커패시턴스는 증가하여 좁은 대역폭을 만들어 위상잡음, 지터 및 기준 주파수 의사 잡음 특성을 개선하게 된다.

위상고정루프의 위상이 고정 되면 전하펌프1(CP1)의 전하펌프a(CPa)와 전하펌프3만이 동작하게 된다. 이때 전하펌프1(CP1)의 전하펌프a(CPa)와 전하펌프3(CP3)의 전류 차이는  $2\mu A$ 로 매우 작아 공정변화에 아주 민감하게 된다. 따라서 제안한 구조에서는 전하펌프1(CP1)의 전하펌프a(CPa)와 전하펌프3의 트랜지스터를 똑 같은 크기로 설계하고 전하펌프1(CP1)의 전하펌프a(CPa)와 전하펌프3의 전류차이를 일정하게 하기 위해 기준 전압 회로의 제어전압 값에 약간의 차이가 나도록 설계하였다. 또한 전하펌프1(CP1)의 전하펌프a(CPa)와 전하펌프3의 입력의 타이밍 부정합이 거의 없도록 하였다. 각 전하펌프의  $M_{pout}$ ,  $M_{nout}$ 는 갑작스러운 전류 스위칭에 의한 클락 피드스루(clock feedthrough)를 줄이는 역할을 한다.

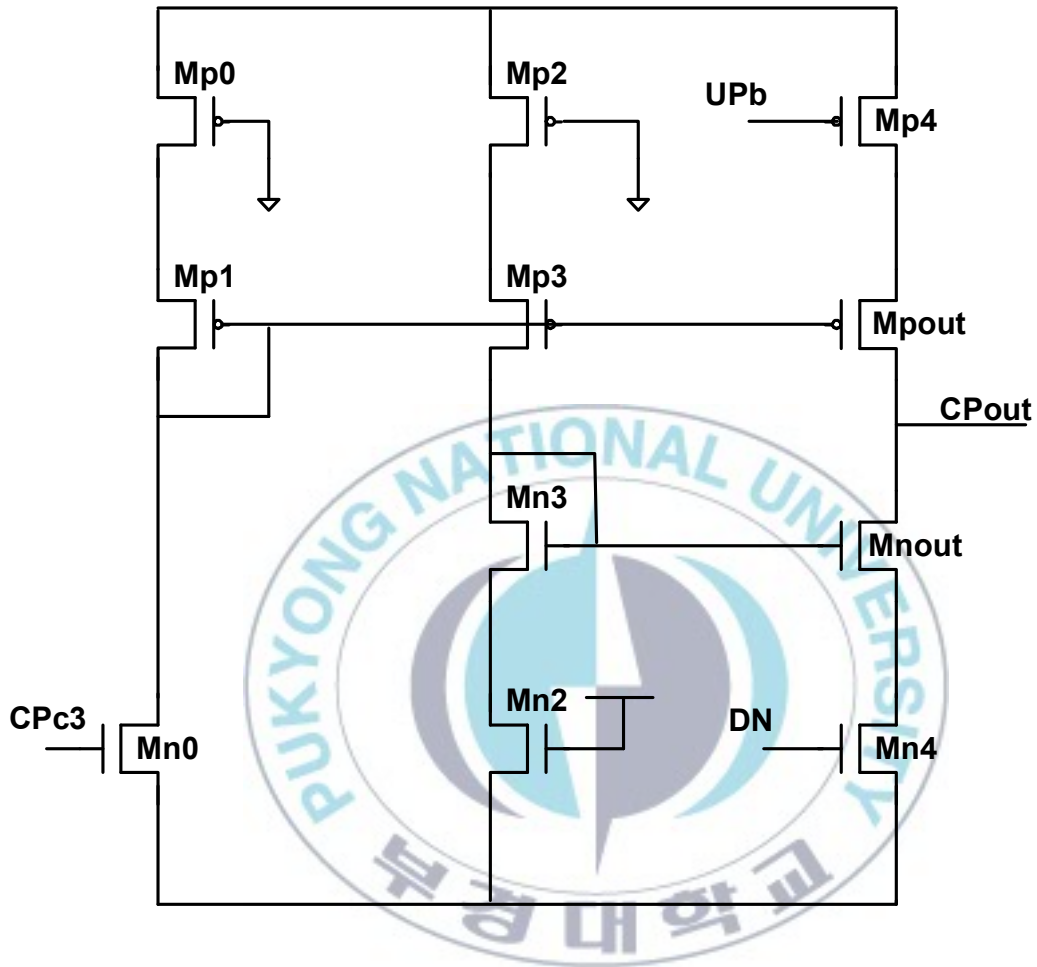


그림 3.6 전하펌프3(CP3)

Fig. 3.6 Charge pump3(CP3).

세 개의 전하펌프들은 그림 3.7의 기준 전압 회로로부터 제어전압을 입력으로 받게 된다. 전압 기준 전압 회로의 출력 전압은 각 전하펌프들의 전류의 크기를 결정한다. 전하펌프1(CP1)은 위상고정 상태 표시기의 출력 신호 sch1과 schb에 따라 서로 다른 크기의 전류를 흘리게 된다. 기준 전압 회로의 제어전압(CPc1) 역시 위상고정 상태에 따라 다르게 된다. 이와 같은 설계는 전하펌프1에 의해 공급되는 전류의 크기가 위상고정 전과 후에 따라 굉장히 큰 차이를 가지고 가변되기 때문에 보다 안정적인 전원 공급을 위한 선택이다. 한편, 전하펌프2(CP2)와 전하펌프3(CP3)은 일정한 크기로 동작하기 때문에 동작 시에 항상 일정한 전류만 흐르게 하여 제어전압도 항상 일정하게 유지되도록 설계하였다.



그림 3.7 기준 전압 회로

Fig. 3.7 Reference voltage circuit.

### 3.1.3 루프필터 저항 및 커패시턴스 스케일링

제안한 위상고정루프에서 세 개의 전하펌프가 위상동기 상태에 따라 루프 필터에 특정한 크기의 전류를 공급하거나 빼주는 역할을 3.1.2 절에서 설명하였다. 그림 3.8은 본 연구에 사용된 루프필터로 다중 전하펌프를 이용하여 루프 필터의 실효 저항과 커패시턴스를 스케일링하기 위한 각 전하펌프들과 루프 필터의 연결을 나타내고 있다. 전하펌프1(CP1)은 제안된 위상고정루프에서 전통적인 전하펌프의 역할을 수행하게 된다.  $I_p$ 는 전하펌프1(CP1)에 의하여 루프 필터로 공급되는 전류를 나타내고,  $A \cdot I_p$ 는 빠른 위상고정을 위하여 루프 필터의 실효 저항과 커패시턴스를 제어하기 위해 전하펌프2(CP2)에 의하여 루프 필터로 공급되는 전류를 나타낸다.  $B \cdot I_p$ 는 위상이 고정된 후에 루프 필터의 실효 커패시턴스를 제어하기 위해 루프 필터로 공급되는 전류의 양을 줄이기 위해 전하펌프3(CP3)을 이용하여 빼주는 전류를 나타낸다. 각 전하펌프에서 전달되는 전하펌프의 출력전류와 루프 필터의 전달함수는 식(3.1)과 같다.

$$V_\alpha = \frac{s C_z \{R_{Z1} + (A+1)R_{Z2}\} + (A-B+1)}{s^2 C_p C_z R_z + s(C_p + C_z)} I_p \quad (3.1)$$

여기서, A와 B는 전하펌프1의 전류  $I_p$ 에 대한 비

$R_z$ 는  $R_{Z1}$ 과  $R_{Z2}$ 의 합이다.

(3.1)식을 정리하면 다음과 같이 표현된다.

$$\frac{\left[ s + \frac{1}{\frac{C_z}{(A-B+1)} \{R_{Z1} + (A+1)R_{Z2}\}} \right] C_z \{R_{Z1} + (A+1)R_{Z2}\}}{s^2 C_p C_z R_z + (S_p + C_z)} I_p \quad (3.2)$$

식(3.2)는 루프필터의 커패시턴스  $C_Z$ 는 저항  $R_Z$ 가 전하펌프2(CP2)와 전하 펌프3(CP3)에 의해 공급되는 전류 비  $A$ 와  $B$ 값에 따라 그 값이 변화될 수 있음을 의미한다. 즉, 커패시턴스  $C_Z$ 와 저항  $R_Z$ 의 실효값이 스케일링 되는 효과가 나타나는 것이다. 따라서  $A$ ,  $B$ 값을 조절하여 작은 커패시터와 저항기로서 큰 실효 커패시턴스와 저항 값 효과를 가지는 루프필터의 구현이 가능하다.

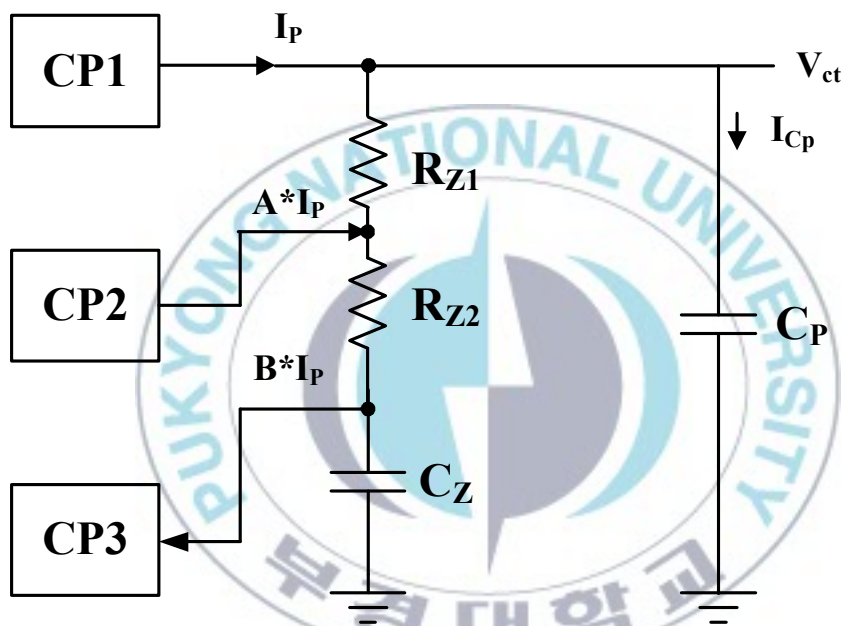


그림 3.8 저항과 커패시턴스 스케일링 구조

Fig. 3.8 Architecture of the resistance and capacitance scaling.

그림 3.9는 루프필터의 전류 경로를 나타낸다. 위상 고정 시간을 최대한 단축시키기 위하여 기존의 구조와 다르게 그림 3.9 (b)와 같이 전하펌프 1(CP1)과 전하펌프2(CP2)에 의해 공급되는 전류를 루프필터에 직접적으로 공급되도록 하였다. HSPICE를 이용한 시뮬레이션 결과로 부터 이러한 직접적인 연결 방식은 그림 3.9 (a)에 나타낸 기존의 방식에 비하여 루프필터의 저항기와 커패시터를 통과하는데 걸리는 시간 지연이 없기 때문에 그림 3.9 (c)의 결과와 같이 더욱 빠른 동작 특성을 보였다.

저항 및 커패시턴스 스케일링 구조를 이용한 위상고정루프에서 기준 주파수 의사 잡음은 루프필터 전달함수 자체에 의해서 억제 되고, 위상고정루프의 위상이 고정되면 전하펌프의 전류를 줄임으로써 기준 주파수 의사 잡음을 억제하는 효과 역시 나타난다.

전압제어 발진기는 입력전압에 따라 적절한 출력 주파수를 생성해 낸다. 만약  $v_f(t)$ 에 의한 주기적 파형을 가정한다면, 전압제어 발진기의 출력은 식 (3.3)과 같이 표현할 수 있다[11].

$$v_{out}(t) = V_o \cos \left[ \omega_{FR} t + K_{VCO} \int v_f(t) dt + K_{VCO} \int V_{cont} dt \right] \quad (3.3)$$

여기서  $V_{cont}$ 는 전압제어 발진기의 제어전압 그리고  $\omega_{FR}$ 는 자유 발진 주파수이다.  $v_f(t)$ 의 푸리에 급수는 다음과 같다.

$$v_f(t) = \frac{\Delta V \Delta t}{T_{REF}} + \sum_{n \neq 0} a_n \cos(n\omega_{REF} t + \theta_n) \quad (3.4)$$

여기서  $T_{REF}$ 는 기준신호의 주기이다. 위 식의 첫 번째 항은 dc항으로 제어 전압  $V_{cont}$ 에 합쳐질 수 있다.  $v_f(t)$ 를 대입하고 cos 근사식을 적용하면



$$\begin{aligned}
v_{out}(t) \approx & V_o \left( \omega_{FR} + K_{VCO} \frac{\Delta V \Delta t}{T_{REF}} + K_{VCO} V_{cont} \right) t \\
& - K_{VCO} \left[ V_o \sum_{n \neq 0} \frac{a_n}{n \omega_{REF}} \sin(n \omega_{REF} t + \theta_n) \right] \\
& \sin \left( \omega_{FR} + K_{VCO} \frac{\Delta V \Delta t}{T_{REF}} + K_{VCO} V_{cont} \right) t
\end{aligned} \tag{3.5}$$

식(3.5)에서 알 수 있듯이 기준 주파수 의사 잡음의 크기는  $\Delta V$ 에 의존한다. 그러므로 전하펌프의 작은 전류는 전압제어 발전기의 입력 전압의 흔들림, 즉  $\Delta V$ 를 감소시켜 위상고정루프의 출력신호에서 기준 주파수 의사 잡음을 감소시킨다.



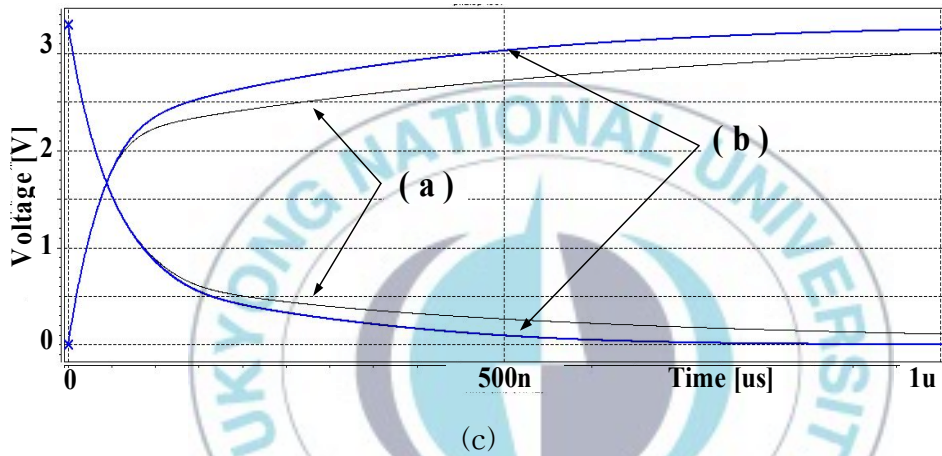
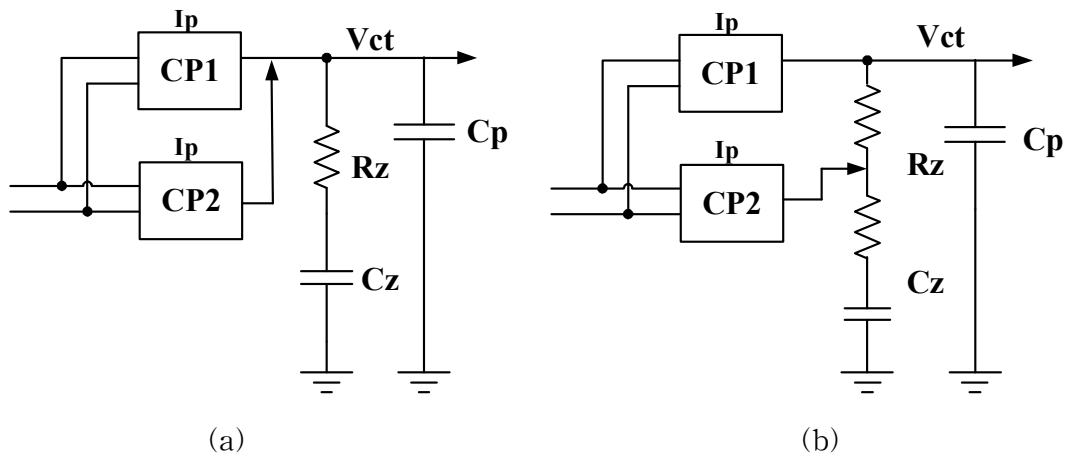


그림 3.9 루프필터의 전류 경로

(a) 일반적인 구조에서의 전류 경로,

(b) 제안된 구조에서의 전류 경로,

(c) 전류 경로에 따른 전압의 상승/하강 시간 비교

Fig. 3.9 Current path of the loop filter

(a) Conventional architecture

(b) Proposed architecture

(c) Comparison of the output voltage.

### 3.1.4 위상고정 상태 표시기를 이용한 적응적 대역폭

위상고정루프의 선형 모델에 따라 빠른 위상고정 시간 특성을 얻기 위해서는 넓은 대역폭이 요구되고, 반면에 위상고정루프의 위상이 고정되기 직전이나 고정된 후에는 위상잡음을 최소화하기 위해 작은 대역폭이 요구된다. 이러한 문제를 해결하기 위한 구조가 적응적 대역폭 구조이다. 즉, 적응적 대역폭은 위상고정루프의 위상고정 상태에 따라 대역폭을 조절할 수 있도록 되어있다. 적응적 대역폭 구조는 전압제어발전기의 동적 이득 조절, 주파수 분주기의 적응적인 제어 그리고 전하펌프 전류의 동적 제어의 trade-off 관계를 해결하기 위한 구조이다[25-27]. 그러나 최근에는 쉬운 구현과 좋은 안정성 때문에 다양한 분야에 널리 채택되고 있다.

적응적 대역폭 구조의 위상고정루프는 적용하는 부분에 따라 다양한 구조를 가지고 있지만, 일반적으로 위상고정 상태에 따라 전하펌프의 전류를 제어하는 방식을 사용하고 있다. 그림 3.10은 적응적 위상 주파수 검출기와 두 개의 전하펌프를 이용하여 루프필터에 공급되는 전류 크기를 제어하는 구조이다. 이러한 적응적 대역폭 위상고정루프는 두 개의 루프로 구성되어 있다. 위상이 고정되지 않은 추적 영역과 같이 위상잡음이 클 때는 전하펌프 CP(fine)과 전하펌프 CP(coarse) 모두 동작하여 많은 전류를 흘려주어 넓은 대역폭을 만들게 된다. 반면, 위상잡음이 작은 위상고정 근처나 위상이 고정된 후에는 전하펌프 CP(fine)만 동작하여 작은 전류를 흘려주어 좁은 대역폭을 갖도록 하는 구조를 가지고 있다[28]. 그러나 이러한 구조의 경우 전하펌프 CP(Coarse)가 기준 주파수와 분주된 주파수의 위상차에 따라 동작하기 때문에 주파수 차이가 큰 경우 여전히 위상 고정시간이 길어지는 단점을 가지고 있다.

본 연구에서는 이러한 점에 착안하여 위상고정 상태 표시기(locking status indicator; LSI)를 이용한 적응적 위상고정루프 구조를 제안하였다. 위

상고정 상태 표시기는 위상 주파수 검출기의 출력을 이용하여 위상고정 상태를 파악하는 블록으로 그림 3.11에 그 구조를 나타내었다. 제안된 위상고정 상태 표시기는 위상 주파수 검출기의 Up 신호와 Dn 신호의 펄스폭 차이를 이용하여 위상고정 상태를 알아낸다. 이 위상 고정상태 표시기는 위상고정 상태를 감지하여서 위상고정 상태에 따라 각 전하펌프에 흐르는 전류의 크기와 방향을 제어하게 된다. 위상이 고정되지 않은 상태에서는 넓은 대역폭으로 빠른 위상고정 시간을 실현하고, 위상이 고정된 후에는 대역폭을 좁혀 위상잡음, 지터 및 기준 주파수 의사 잡음을 최소화하게 된다.

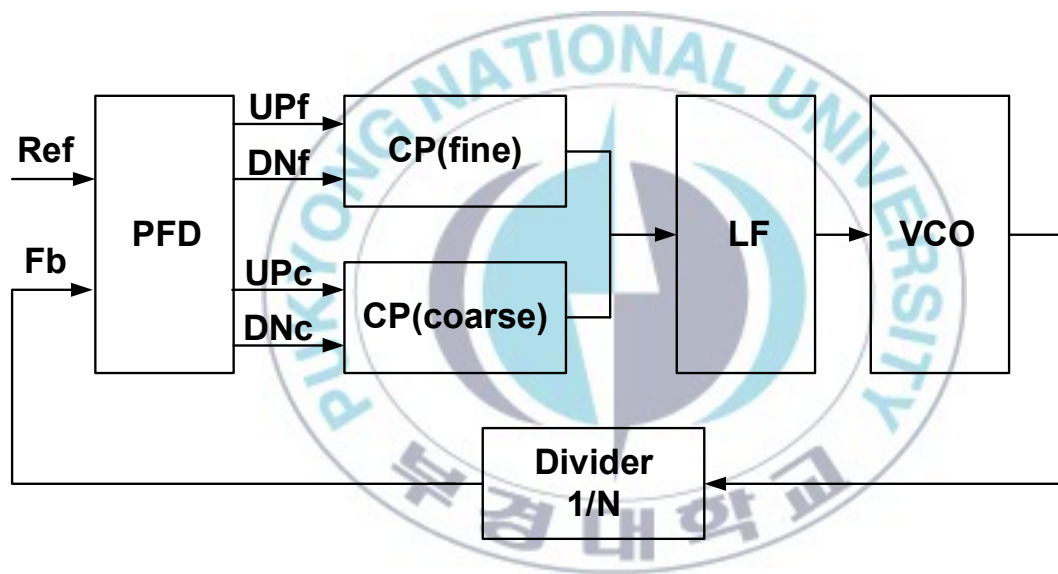


그림 3.10 적응적 대역폭 구조의 위상고정루프

Fig. 3. 10 Architecture of the adaptive bandwidth PLL.

그림 3.11과 같이 위상고정 상태 표시기는 NOR 게이트, 인버터(inverter), 2개의 커패시터, 슈미트 트리거 회로 그리고 래치버퍼로 구성된다. MP1, MN1에 흐르는 전류에 의해  $C_{load}$ 의 전압  $V_a$ 가 정해지고,  $V_a$ 에 따라서 슈미트 트리거 회로가 동작한다. 래치버퍼는 슈미트 트리거 회로의 출력 신호 S를 입력으로 받아 전하펌프1과 전하펌프2의 동작 여부와 전류 크기를 제어하기 위한 sch1과 schb 신호를 생성한다. 위상 주파수 검출기의 출력 Up와 Dn 신호의 펄스폭 차이에 따라  $C_{load}$ 에 공급되는 전류의 흐름은 그림 3.12와 같다.

그림 3.12 (a)는 위상고정루프의 위상이 고정되지 않은 상태에서 전류의 흐름을 나타내고 있다. 위상고정루프의 위상이 고정되지 않은 상태에서는 위상 주파수 검출기의 두 입력 신호의 주파수와 위상 차이가 크며, NOR 게이트의 출력은 상대적으로 "LOW"값이 많으며 주기가 일정하지 않은 펄스형태로 나타나게 된다. 따라서 PMOS가 "ON" 되어 흐르는 전류량이 NMOS가 "ON" 되어 흐르는 전류보다 상대적으로 많아지므로  $V_a$ 의 전압은 서서히 증가하게 된다. 한편, 그림 3.12 (b)는 위상이 고정된 상태에서의 전류의 흐름을 나타내고 있다. 위상고정루프의 위상이 고정되면 위상 주파수 검출기의 두 입력 신호의 주파수와 위상 차이가 작게 나타나 NOR 게이트의 출력은 상대적으로 "HIGH"값을 많이 가지며 주기가 일정한 펄스형태로 나타나게 된다. 따라서 NMOS가 "ON" 되어 흐르는 전류량이 PMOS가 "ON" 되어 흐르는 전류보다 상대적으로 더 많아지므로  $V_a$ 의 전압은 서서히 감소하게 된다.

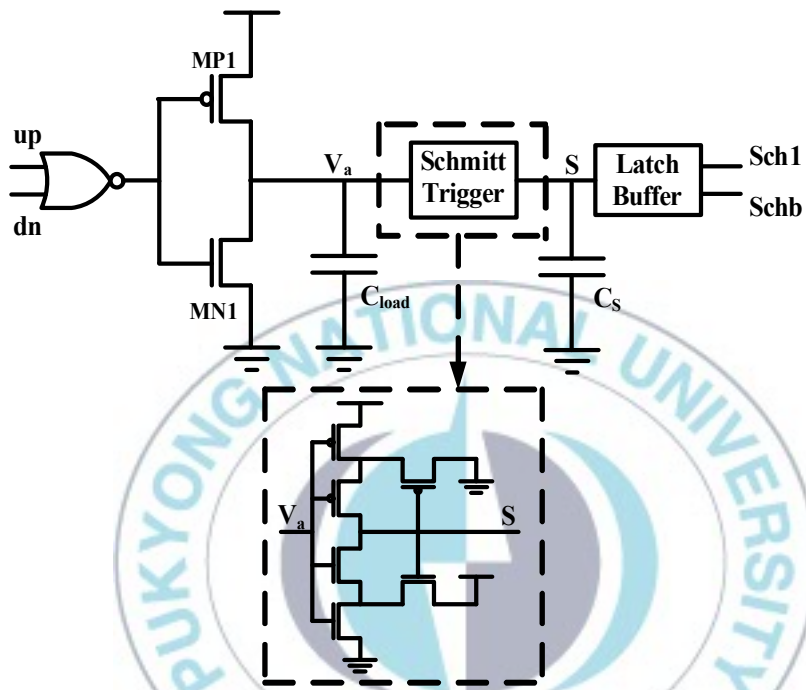
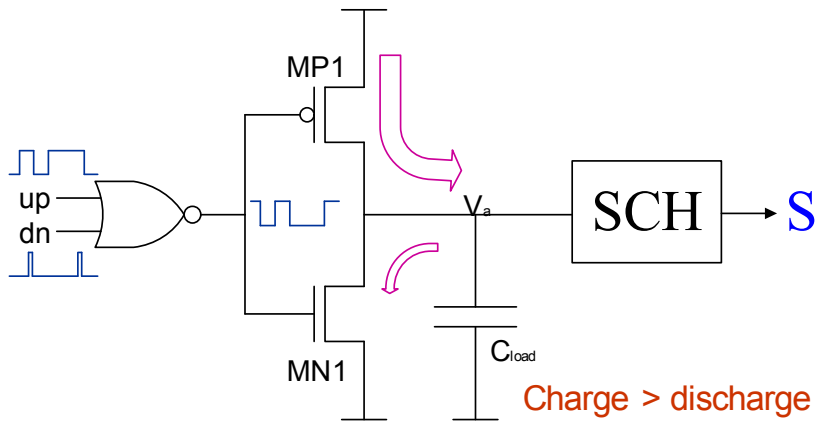
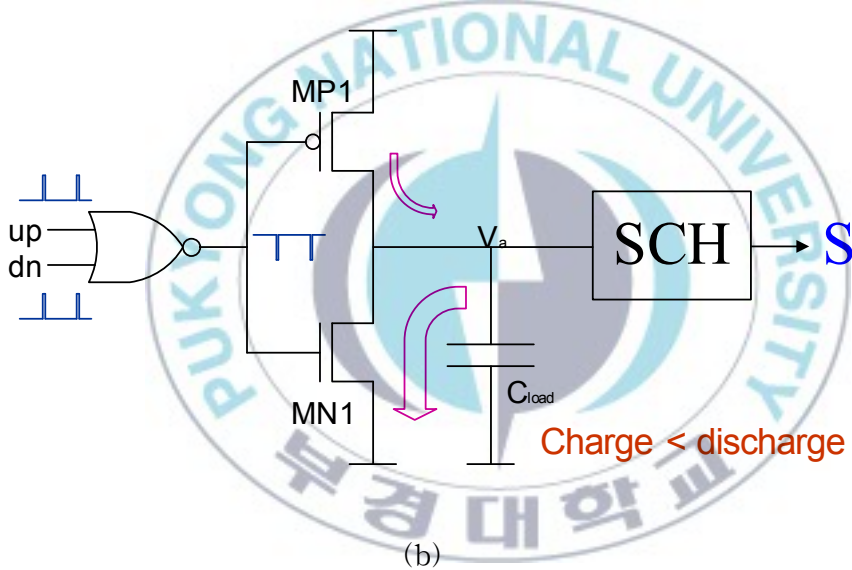


그림 3.11 위상고정 상태 표시기(LSI) 구조

Fig. 3. 11 Architecture of the locking status indicator(LSI).



(a)



(b)

그림 3.12 Up, Dn 신호의 펄스폭 차이에 따른 전류의 흐름

(a) 위상이 고정되지 않은 경우, (b) 위상이 고정된 경우

그림 3.12 Current depend on pulse duration of the Up, Dn signal

(a) Out of lock, (b) In-lock.

위상고정루프가 위상고정 되지 않은 상태일 때는 주기가 일정하지 않은 펄스로 인해 전압  $V_a$ 는 계속해서 흔들리게 된다. 특히 위상고정루프가 거의 위상고정 상태가 될 때에는 주파수는 거의 같지만 위상 차이가 많은 시점이 있기 때문에 전압  $V_a$ 의 흔들림이 더욱 심하다. 위상고정루프의 위상고정 상태에 따라 위상고정 상태 표시기의 출력신호 S가 일정하지 않고 움직인다면 신호 S에 의해 제어되는 전하펌프와 루프필터가 원하지 않는 동작을 할 수 있게 된다. 이러한 문제를 해결하기 위하여 슈미트 트리거 회로를 사용하였다. 그림 3.13과 같은 슈미트 트리거 회로의 히스테리시스 효과를 이용하면  $V_a$ 의 흔들림에 관계없이 안정된 신호 S를 얻을 수 있다.  $V_a$ 의 흔들림이 심한 부분에서도 슈미트 트리거의 히스테리시스 동작 범위를 벗어나지 않게 충분한 여유를 두어 설계하면 안정한 S신호를 얻을 수 있다. 슈미트 트리거의 히스테리시스 동작 범위가 정해지면, MP1, MN1에 흐르는 전류와  $C_{load}$  값은 최대한 짧은 위상고정 시간을 갖도록 선택하였다.

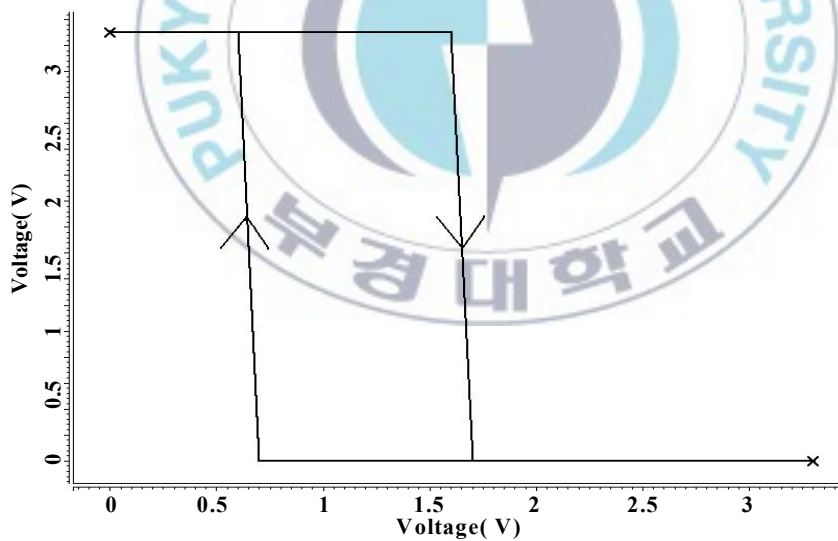


그림 3.13 슈미트 트리거의 동작 특성

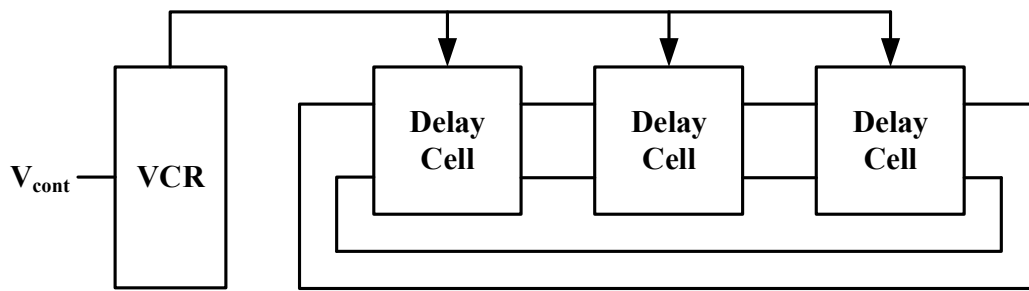
Fig. 3.13 Characteristic of the Schmitt trigger.



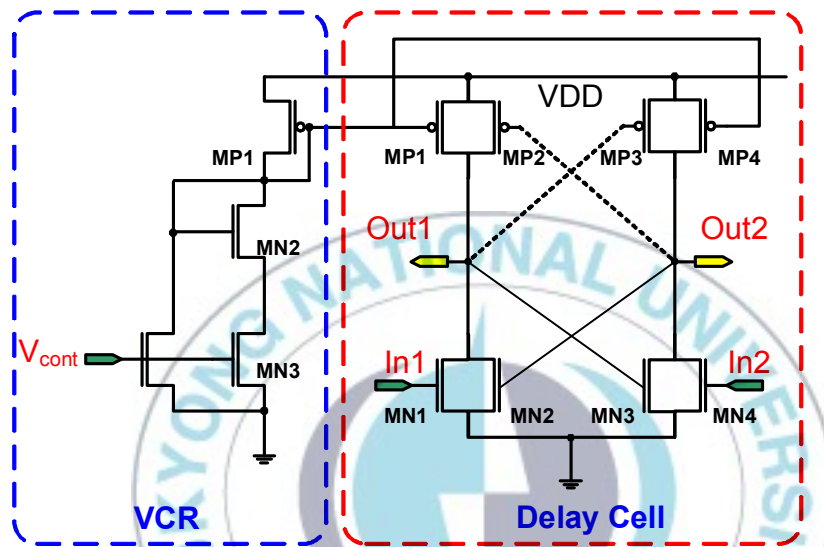
### 3.1.5 전압제어 발진기

전압제어 발진기(voltage controlled oscillator; VCO)는 위상고정루프의 구성 블록 중에서 가장 중요한 위치를 차지하고 있다. 전압제어 발진기가 위상고정루프의 실질적인 출력 신호를 만들어내는 부분이므로 전체 특성에 직접적인 영향을 미치기 때문이다. 즉, 전압제어 발진기의 특성은 위상고정루프의 특성과 직결된다고 할 수 있다. 그러므로 일반적으로 낮은 위상잡음 특성을 요구하는 분야에서는 많은 공간을 차지하는 단점과 같은 설계의 어려움에도 불구하고 LC 발진기를 주로 사용한다. 하지만 최근에는 설계가 쉽고, 넓은 튜닝 영역 그리고 작은 칩 면적을 장점으로 하는 링 발진기(ring oscillator)의 잡음 개선 연구가 많이 되고 있다[29-31].

그림 3.14는 위상잡음 특성을 개선하기 위해 제안한 새로운 구조의 링 발진기를 나타낸 것이다. 일반적으로 링 발진기는 지연소자로 인버터를 사용하는 반면에 제안한 구조에서는 래치 구조의 지연소자를 사용하였다. 제안한 전압제어 발진기는 전압제어 저항(voltage controlled resistor; VCR)과 3단의 차동 래치 구조 지연소자(differential latch type delay cell)로 구성된다. 전압제어 저항은 입력 전압  $V_{cont}$ 에 선형적으로 비례하는 전류를 발생시켜 전압제어 발진기의 출력 주파수를 제어한다. 또한, 상대적으로 작은 입력 전압의 변화를 더 큰 전류 변화로 바꾸어 전압제어 발진기의 넓은 튜닝 영역을 가능하게 한다. 전압제어 저항에 연결된 래치 구조 지연소자의 MP1과 MP4는 지연소자에 흐르는 전류와 지연시간을 조절하게 된다. 래치 구조 지연소자의 MP2, MP3, MN2 그리고 MN3은 짧은 동작시간을 갖게 하여 지터 및 위상잡음을 줄여준다[32].



(a)



(b)

그림 3.14 제안된 전압제어발진기

(a) 블록도, (b) 전압제어 저항과 지연소자 회로

Fig. 3.14 Proposed voltage controlled oscillator

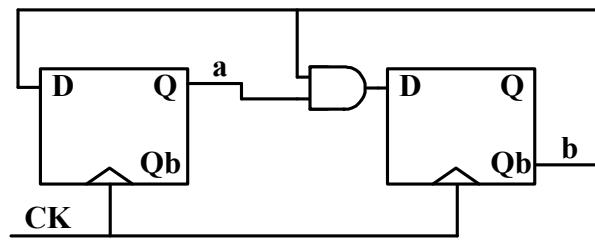
(a) Block diagram (b) Circuits of the VCR and Delay cell.

### 3.1.6 주파수 분주기

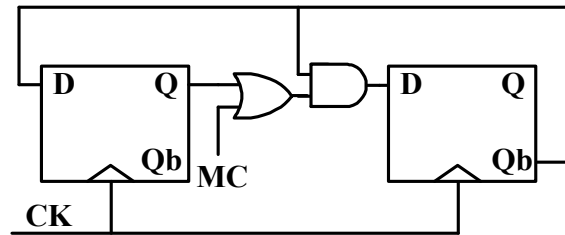
출력주파수가 높은 위상고정루프는 일반적으로 적용범위가 넓은 2와 3으로 분주되는 듀얼-모듈러스(dual-modulus) 전치분주기가 있는 주파수 분주기를 많이 사용한다. 먼저 그림 3.17 (a)에 간단한 3 분주기를 나타내었다. 3 분주기는 한 개의 AND 게이트와 두개의 D-플립플롭으로 구성되고, 각 D-플립플롭의 출력을 a, b 라고 했을 때  $ab=01, 10, 11$ 의 세 가지 출력 상태를 가진다. a의 값이 0인 경우 b의 값은 AND 게이트의 출력 신호에 의해 1이 되기 때문에  $ab=00$  인 경우는 처음 시작할 때를 제외하고 발생하지 않는다.

그림 3.17 (b)는 (a)에서 보인 분주기의 첫 번째 플립플롭 과 AND 게이트 사이에 OR 게이트를 추가한 2/3 분주기이다. (b)에서 MC 신호가 high 이면 2, low 이면 3으로 동작한다. 그러나 제안한 전하펌프-위상고정루프 경우 정수-N 분주(integer-N)방식이므로 MC 신호를 공급전압인 VDD에 연결하여 항상 2 분주기로 동작을 하게 한다.

그림 3.17의 분주기는 로직회로와 D-플립플롭의 구조에 따라 발생하는 출력신호의 지연이 발생할 수 있다. 주파수 분주기에서 발생하는 시간 지연은 위상고정루프의 잡음 특성을 저하시킨다. 따라서 제안한 위상고정루프의 주파수 분주기의 전치분주기는 다이내믹 확장 단일위상클록(expanded true single phase clock; E-TSPC)을 이용하여 전치분주기에서 발생할 수 있는 출력 신호의 지연을 최대한 줄인 구조이다. 그림 3.17과 비교하여 제안한 전치분주기의 구조는 그림 3.18이다[33-34].



(a)



(b)

그림 3.17 (a) 3 분주기 (b) 2/3 분주기

Fig. 3. 17 (a) Divide-by-3- Divider (b) Divide-by-2/3 Divider.

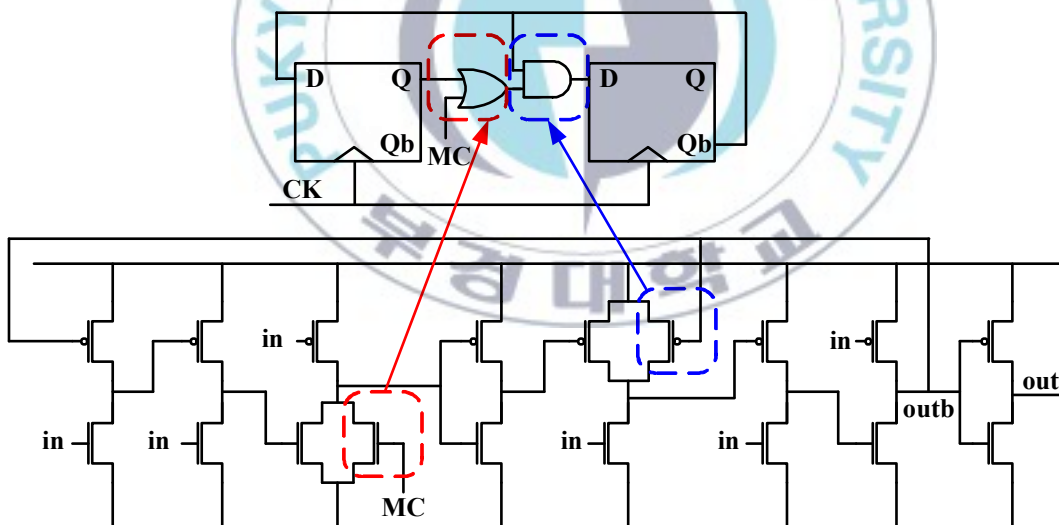


그림 3.18 주파수 분주기의 전치 분주기

Fig. 3.18 Prescaler of the frequency divider.

그림 3.19는 전치분주기를 포함한 전체 주파수 분주기 구조이다. 전치분주기 블록을 제외한 나머지 부분은 높은 주파수 대역 및 낮은 주파수 대역에서 안정된 동작을 보이고 전력소모가 작은 다이내믹 단일위상클록(TSPC) D-플립플롭으로 구성되어 있다[35]. 제안한 전하펌프-위상고정루프는 MC 신호를 항상 공급전압인 VDD에 연결해서 사용하는 정수-N 분주 방식이다.

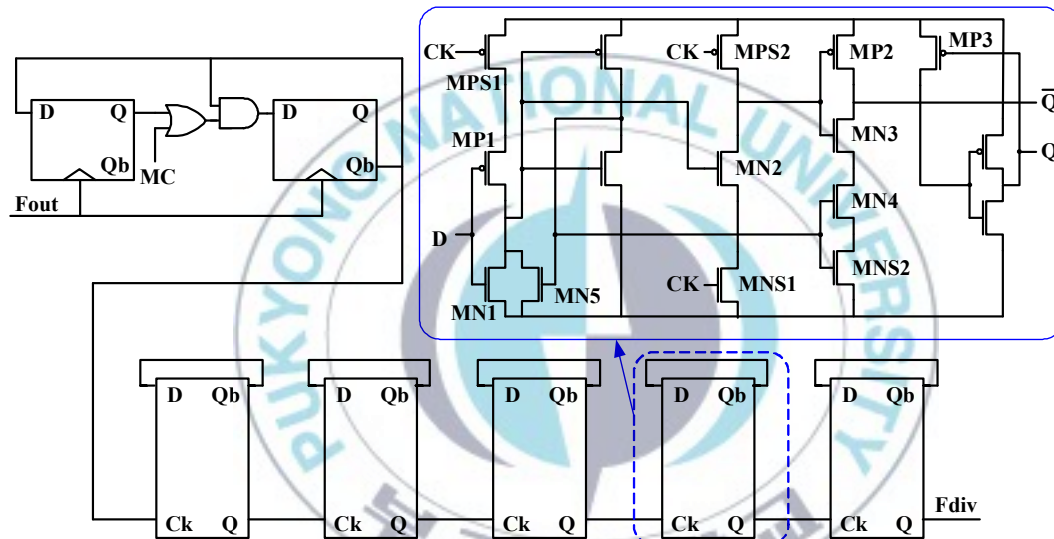


그림 3.19 Divided-by-64 주파수 분주기

Fig. 3.19 Divided-by-64 frequency divider.

## 3.2 고속 위상고정루프

시스템의 고속화 및 주파수 호핑(frequency hopping) 방식 혹은 비디오 신호의 다양한 주파수에 의한 동기를 위해 위상고정 시간이 빠른 고속 위상고정루프가 요구되고 있다. 일반적으로 위상고정루프의 주파수추적 과정에서 주파수가 고정지속 영역 안에 도달하면 비교적 빠른 시간에 위상고정이 되기 때문에 이때 까지 걸린 시간을 주파수 추적 시간(pull-in time;  $T_p$ )이라 하며 이는 위상고정 시간으로 근사화 시킬 수 있다. 일반적인 3상태 위상/주파수 검출기와 정수 분주비를 사용하는 위상고정루프의 위상고정 시간( $T_p$ )은 다음과 같다[5].

$$T_p = \frac{8\Delta f}{NK^2} - \frac{8}{K} \approx \frac{8\Delta f}{NK^2} \quad (3.7)$$

여기서,  $\Delta f$ 는 현재 주파수와 목표 주파수의 차이,

$N$ 은 분주비 그리고  $K$ 는 위상고정루프의 대역폭이다.

위상고정 시간을 줄이기 위한 방식으로는 분주비( $N$ )가 시스템에서 고정되어 있으므로, 주파수 차이( $\Delta f$ )를 줄이거나 위상고정루프의 대역폭( $K$ )을 증가시키는 방식을 주로 사용하고 있다. 위상고정 시간을 줄이는 방법으로 아날로그 방식으로 대역폭을 증가시키는 루프 이득 보상 구조와 이중 루프 구조 위상고정루프 등이 있다[36-37]. 최근에는 디지털로 모든 회로를 구현하여 제어하는 디지털 위상고정루프(all digital phase locked loop; ADPLL)를 이용하는 방식이 사용되고 있다[38].

루프 이득 보상 구조에서 적응 이득(adaptive gain)을 사용하여 입력과 출력의 위상차가 큰 영역에서 루프 대역을 증가시켜서 빠른 위상고정 시간을 갖도

록 하고, 위상차가 적은 곳에서는 루프 대역폭을 줄여 좋은 잡음 특성을 얻는다. 이 구조는 전하펌프의 양도 피드백 되므로 두 피드백의 안정성을 고려하여야 하며, 주파수 차이가 크면 여전히 위상고정 시간이 오래 걸리는 단점이 있다.

한편 이중 루프 구조는 광대역을 갖는 루프로 주파수를 검출 한 후 협대역을 이용하여 위상고정 하여 잡음 특성을 향상시킨다. 이 구조를 자체에 피드백이 두 개 이상 있어 복잡하고, 주파수 차이에 따라 여전히 위상고정 속도가 느려지며, 입력 클럭 잡음이 심하기 때문에 루프 대역폭을 줄일 필요가 있는 클럭/데이터 복원 회로에 사용하고 있다.

디지털 방식으로 구현한 디지털 위상고정루프는 전하펌프와 루프필터와 같은 아날로그 회로를 디지털 가감산기와 필터를 이용하여 대체한 것이다. 디지털로 제어하기 때문에 제어가 쉽고 아날로그 피드백에서 문제가 되었던 루프 대역에 따른 안정성이나 분주비에 따른 위상고정 시간의 문제를 해결할 수 있지만 이러한 디지털 방식은 디지털 비트로 주파수를 제어하는 디지털 제어 발전기(digitally controlled oscillator; DCO)의 해상도에 의존한다. 디지털 제어 발전기의 해상도가 낮은 경우, 이 해상도에 의해 지터가 발생하기 때문에 해상도를 증가시켜야 한다. 이러한 해상도의 증가는 제어회로가 커지고 동작속도가 느려지는 문제를 유발한다.

이러한 점에 착안하여 빠른 위상고정 시간을 갖는 고속 위상고정루프를 설계하기 위하여 본 연구에서 제안된 저항 및 커패시턴스 스케일링 구조를 이용한 위상고정루프 구조를 사용하였다. 3.1절에서 언급한바와 같이 그림 3.1의 제안된 구조에서는 위상고정 상태에 따라 세 개의 전하펌프의 전류 크기와 방향을 제어하여 루프 대역폭(식 (3.7)의  $K$ )을 넓혀 빠른 위상고정 시간을 갖도록 한다. 일반적으로 Type-2 2차 루프필터를 사용한 위상고정루프의 대역폭( $K$ )은 다음과 같이 나타낼 수 있다[39].

$$K = \frac{K_{VCO} I_P R}{N 2\pi} \quad (3.8)$$

여기서,  $K_{VCO}$ 는 전압제어 발진기의 이득,

$I_P$ 는 전하펌프의 전류 그리고  $R$ 은 루프필터의 저항이다.

식 (3.8)에서 알 수 있듯이 전하펌프의 전류와 루프필터의 저항을 변화시켜 대역폭을 조절할 수 있다.

저항 및 커패시턴스 스케일링 구조를 이용한 고속 위상고정루프의 동작을 살펴보면 다음과 같다. 전원이 인가되어 동작을 시작하는 초기 단계인 영역I, 위상/주파수를 추적하는 단계인 영역II 그리고 위상이 고정된 단계인 영역III으로 구분할 수 있다. 루프필터의 저항과 커패시턴스 및 각 전하펌프의 전류량이 충분한 위상 여유와 빠른 위상고정이 가능한 넓은 대역폭을 가질 수 있도록 식 (3.2)를 MATLAB으로 시뮬레이션 하여 최적화 시켰다. 위상고정루프의 동작 상태에 따른 최적화된 각 전하펌프의 전류량은 표 3.1에 나타내었다.

MATLAB 시뮬레이션을 통해 위상이 고정된 상태인 영역I과 영역III에서는 위상고정루프의 안정적인 동작과 낮은 위상잡음을 위해 위상 여유는  $47.8^\circ$  그리고 루프 대역폭은 29.9kHz로 설정하였다. 위상/주파수 추적 영역II에서는 빠른 위상고정 시간을 갖도록 위상 여유는  $54.5^\circ$  그리고 루프 대역폭은 1.3MHz로 설정하였다. 설정된 값은 표 3.2에 나타내었다.

또한, 시뮬레이션에 의해 최적화된 루프 필터의 저항은 1k $\Omega$ 과 2k $\Omega$ , 단일 칩으로 집적화가 가능한 크기인 200pF과 20pF의 커패시터로 설정하였다.



표 3.1 동작영역에 따른 전하펌프 전류의 크기

Table 3.1 Magnitude of the charge pump depend on locking status

Region CP( $\mu$ A)	I	II	III
CP1( $I_p$ )	20	500	20
CP2( $A \cdot I_p$ )	0( $A=0$ )	768( $A=1.536$ )	0( $A=0$ )
CP3( $B \cdot I_p$ )	18( $B=0.9$ )	18( $B=0.036$ )	18( $B=0.9$ )

표 3.2 동작영역에 따른 루프 대역폭과 위상 여유

Table 3.2 Loop bandwidth and phase margin depend on locking status

Region CP( $\mu$ A)	I	II	III
Phase margin	47.8°	54.5°	47.8°
Loop bandwidth	29.9kHz	1.3MHz	29.9kHz

### 3.3 저잡음 위상고정루프

최근 무선 통신 시스템 및 RF 송수신기에서는 빠른 위상고정 시간을 가지면서 낮은 위상잡음과 지터 특성을 가진 위상고정루프를 요구하고 있다[36].

위상고정루프에서 기준 주파수 의사 잡음(reference spurs)은 전압제어 발진기의 제어 전압의 주기적인 리플(periodic ripples)에 의해 생성된다. 위상고정루프를 기반으로 설계된 주파수 합성기에서 기준 주파수 의사 잡음은 전하펌프의 부정합과 위상/주파수 검출기 신호의 타이밍 에러 때문에 발생한다. 이러한 비이상적인 동작이 주파수 특성을 악화시키게 된다. 기준 주파수 의사 잡음의 크기는 협대역 주파수 변조 근사화에 의해서 쉽게 계산될 수 있다[40]. 일반적으로 캐리어 주파수의 진폭( $A_{carrier}$ )과 의사 잡음 진폭( $A_{spur}$ ) 사이의 관계는 다음과 같이 나타낼 수 있다.

$$\frac{A_{spur}}{A_{carrier}} = \frac{1}{2} \cdot \frac{K_{VCO} \times V_m}{2\pi f_{ref}} \quad (3.9)$$

여기서,  $K_{VCO}$ (Hz/V)는 전압제어 발진기(VCO)의 이득,  $V_m$ 은 리플의 진폭 그리고  $f_{ref}$ 는 기준 주파수를 의미한다.

식 (3.9)로부터 의사 잡음의 크기가 리플의 진폭과 전압제어 발진기의 이득에 비례하고, 제어 전압의 주기적 리플 주파수에 반비례함을 알 수 있다. 낮은 위상잡음 특성을 갖기 위한 가장 직관적인 접근은 낮은 이득을 가진 전압제어 발진기를 이용하는 것이다[41-42]. 집적화된 위상고정루프는 공정과 온도 등의 변화에 의해 전압제어 발진기 주파수의 변화를 가져오게 된다. 따라서 전압제어 발진기의 이득을 줄인 구조는 넓은 튜닝 영역을 제공하지 못한다는 문제점

이 있다. 이러한 문제를 해결하기 위해서는 스위치-커패시터(switched-capacitor) 기술이나 디지털 보정 회로와 같은 블록을 필요로 하게 된다[41-44]. 일반적으로 위상고정루프는 낮은 위상잡음 특성을 위해 좁은 루프 대역폭을 갖도록 설계하고 있다[45]. 하지만 이러한 방법은 전압제어 발전기의 잡음을 효과적으로 제거하지는 못한다. 또한 식 (3.7)에서 알 수 있듯이 좁은 루프 대역폭 때문에 위상고정시간이 너무 늦어지는 문제가 있다.

이러한 점에 착안하여 빠른 위상고정 속도를 가지면서 낮은 위상잡음을 갖는 위상고정루프를 설계하였다. 위상잡음을 최소화하기 위하여 식(3.8)에 따라 전하펌프의 전류와 루프필터의 저항을 최소화하여 좁은 대역폭을 만들고 전압제어 발전기의 제어 전압의 주기적인 리플의 진폭을 최소화 하였다. 이런 경우, 좁은 대역폭으로 인한 위상고정 시간의 지연 그리고 작은 전하펌프 전류와 루프필터의 저항 때문에 루프필터의 커패시터 크기가 크게 증가하는 문제를 야기한다. 이러한 위상고정 시간 지연과 커패시터 크기 증가 문제는 제안된 저항 및 커패시턴스 스케일링 구조를 이용한 위상고정루프 구조의 적응적 대역폭과 루프필터의 저항 및 커패시터 스케일링 효과를 이용하여 해결하였다.

3.2절에서 언급한바와 같이 루프필터의 대역폭은 위상고정루프의 위상고정 상태에 따라 각 전하펌프 전류 크기와 방향 제어에 의한 루프필터의 저항과 커패시터 스케일링 효과를 이용하여 조절하도록 하였다. 빠른 위상고정과 낮은 위상잡음을 갖도록 하기 위해 각 동작영역에서 요구되는 전하펌프 전류량과 루프필터의 저항과 커패시터는 식 (3.2)를 MATLAB으로 시뮬레이션 하었는데 위상잡음을 최소화 되도록 최적화된 값을 설정하였다. 시뮬레이션을 통해 설정된 각 전하펌프의 전류는 표 3.3에 나타내었다.

시뮬레이션 결과, 위상고정 상태에 따른 동작 영역I과 III에서는 낮은 위상잡음과 위상고정루프의 안정적인 동작을 위하여 위상 여유는  $51.2^\circ$  그리고 루

프 대역폭은 6.75kHz로 설정하였다. II영역에서는 빠른 위상/주파수 고정을 위하여 위상 여유는 53° 그리고 루프 대역폭은 210.2kHz로 설정하였으며, 설정된 값은 표 3.4에 나타내었다.

또한 MATLAB 시뮬레이션에 의해 최적화된 루프필터의 저항은 각각 200Ω, 300Ω이며, 커패시터는 600pF과 6nF로 설정하였다.

표 3.3 동작영역에 따른 전하펌프 전류의 크기

Table 3.3 Magnitude of the charge pump depend on locking status

Region CP(μA)	I	II	III
CP1(Ip)	20	500	20
CP2(A*Ip)	0(A=0)	500(A=1)	0(A=0)
CP3(B*Ip)	18(B=0.9)	18(B=0.036)	18(B=0.9)

표 3.4 동작영역에 따른 루프 대역폭과 위상 여유

Table 3.4 Loop bandwidth and phase margin depend on locking status

Region CP(μA)	I	II	III
Phase margin	51.2°	53°	51.2°
Loop bandwidth	6.75kHz	210.2kHz	6.75kHz

## IV. 실험 결과 및 고찰

본 연구에서 제안된 저항 및 커패시턴스 스케일링 구조를 이용한 위상고정 루프는 표준 CMOS 3.3V 0.35 $\mu\text{m}$  공정으로 설계하였다. 제안된 위상고정루프의 내부 블록과 전체 시뮬레이션은 HSPICE를 이용하였으며, 대역폭과 위상 여유에 대한 시뮬레이션은 식 (3.2)을 기반으로 MATLAB을 사용하였다.

### 4.1. 고속 위상고정루프

#### 4.1.1 시뮬레이션

저항 및 커패시턴스 스케일링 구조를 이용한 고속 위상고정루프는 기본적인 시뮬레이션 조건으로 기준 주파수( $F_{\text{ref}}$ )를 13.3MHz,  $R_{Z1}=1\text{k}\Omega$ ,  $R_{Z2}=2\text{k}\Omega$ ,  $C_Z=200\text{pF}$ ,  $C_P=20\text{pF}$  그리고 분주비(N)는 64로 설정하였다. 따라서 출력 주파수는 851.2MHz가 된다.

그림 4.1은 고속 위상고정루프에 사용되는 세 개의 전하펌프에 대한 시뮬레이션 결과를 보여준다. 전하펌프1은 영역I과 III에서  $20\mu\text{A}$  그리고 영역II에서는  $500\mu\text{A}$ 가 루프필터에 공급되도록 하였다. 전하펌프2는 위상/주파수 추적 영역II에서만  $768\mu\text{A}$ 가 흐르고, 전하펌프III은 항상  $18\mu\text{A}$ 가 흐르도록 하였다.

그림 4.2는 위상고정루프의 위상 여유와 대역폭 시뮬레이션 결과를 나타내고 있다. 시뮬레이션 결과 위상/주파수 추적 영역II에서 위상 여유는  $54.5^\circ$  그리고 루프 대역폭은 1.3MHz임을 확인할 수 있다. 또한 영역I과 III에서의 위상 여유는  $47.78^\circ$  그리고 루프 대역폭은 29.9kHz로 나타났다. 위 시뮬레이션 결과로부터 저항 및 커패시턴스 스케일링 구조를 이용한 루프필터의 저항과

커패시턴스 스케일링 효과 및 위상고정 상태에 따른 적응적 대역폭 구조임을 확인할 수 있다.

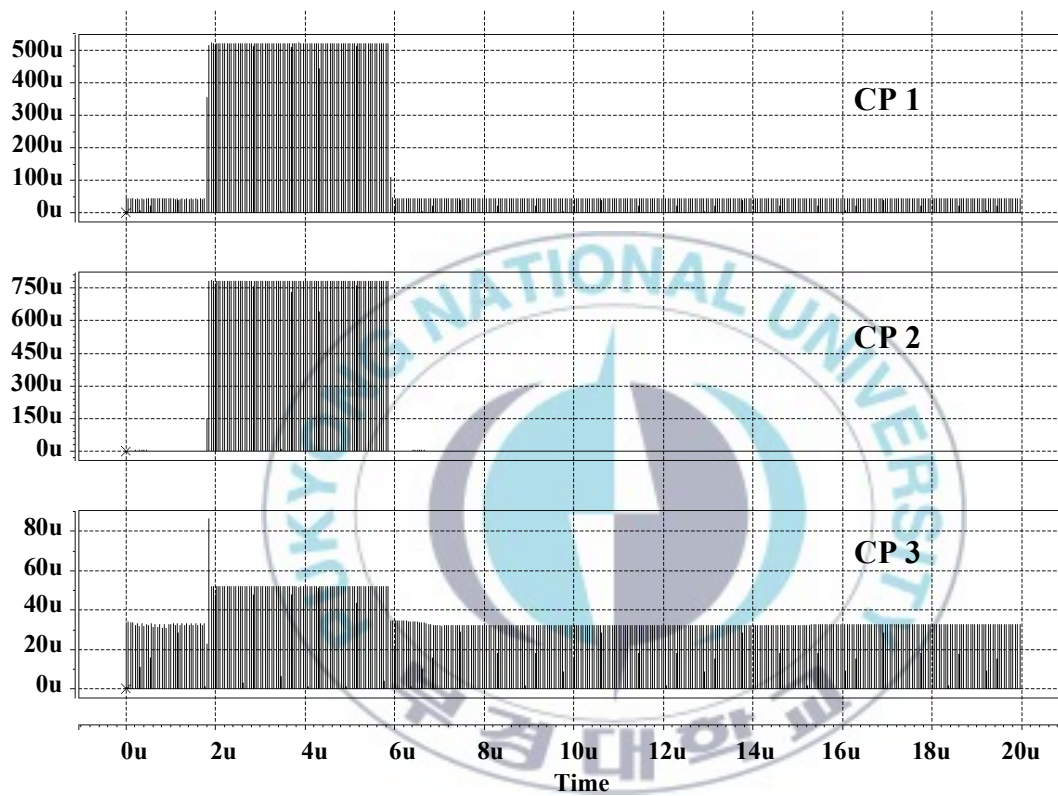


그림 4.1 제안된 위상고정루프의 전하펌프 출력

Fig. 4.1 Charge pump outputs of the proposed PLL.

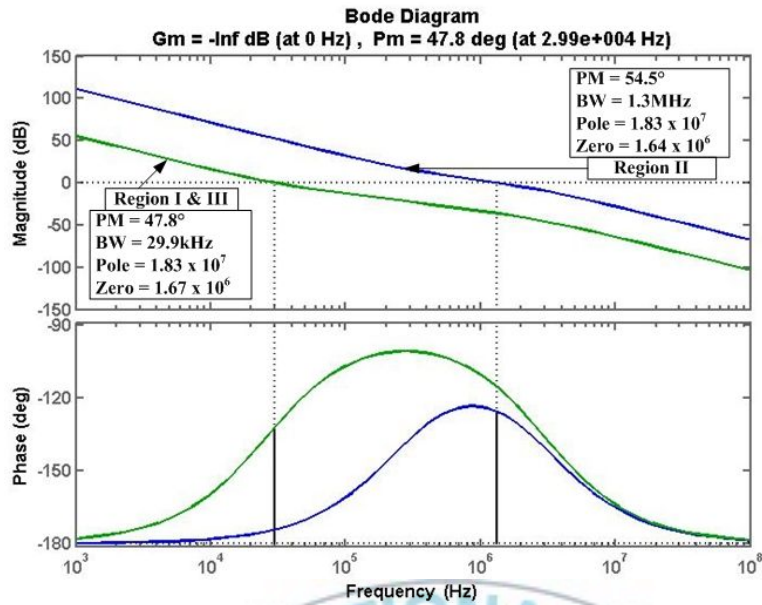


그림 4.2 제안된 위상고정루프의 보드선도

Fig. 4.2 Bode plot of the proposed PLL.

그림 4.3은 전압제어 발진기의 내부 블록인 전압제어 저항의 전압-전류 특성을 나타내고 있다. 전압제어 발진기의 입력전압에 따라 선형적으로 증가하는 전류 출력을 확인할 수 있다.

그림 4.4는 전압제어 발진기의 시뮬레이션 결과로서 600MHz에서 108GHz로 넓은 튜닝 영역을 가지며 전압제어 발진기의 이득은 150MHz/V 으로 나타났다.

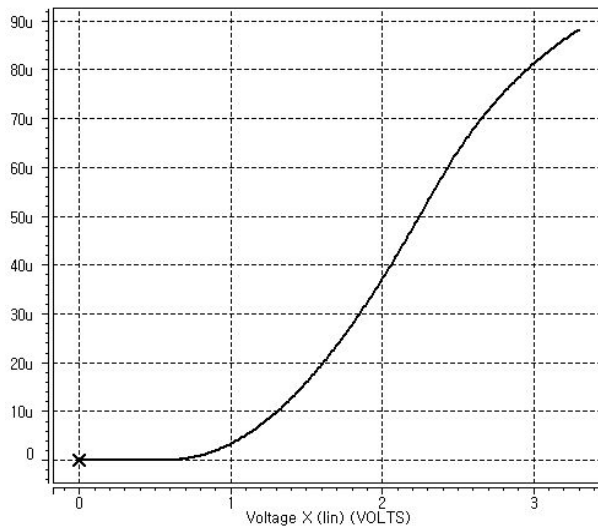


그림 4.3 VCR의 전압-전류 특성

Fig. 4.3 Voltage-current characteristic of the VCR.

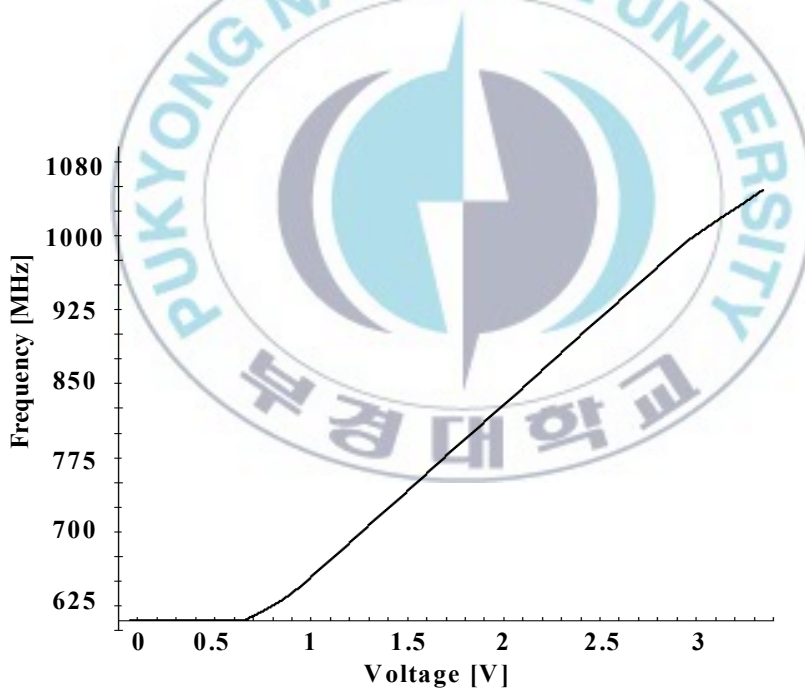


그림 4.4 전압제어 발진기의 입력전압 대 주파수 특성

Fig. 4.4 Input voltage-frequency characteristic of the VCO.



그림 4.5는 고속 위상고정루프의 전압제어 발진기의 제어전압 즉, 루프필터의 출력전압이다. 시뮬레이션 결과 위상고정 시간은  $6\mu s$ 이하로 나타났다.

그림 4.6은 전체 시뮬레이션에서 위상고정 상태 표시기의 동작 특성을 보이고 있다. 여기서,  $V_a$ 는 커패시터의 전압 그리고 S는 위상고정 상태 표시기의 실질적인 출력인 슈미터트리거의 출력이다.

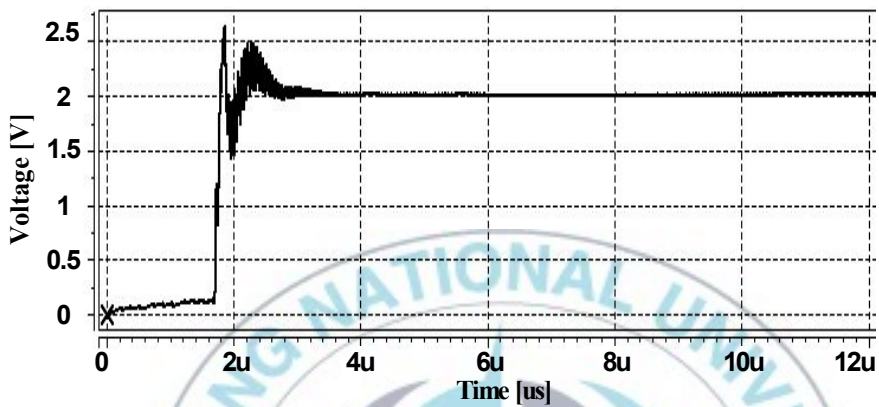


그림 4.5 전압제어 발진기의 제어 전압

Fig. 4.5 Control voltage of the voltage controlled oscillator.

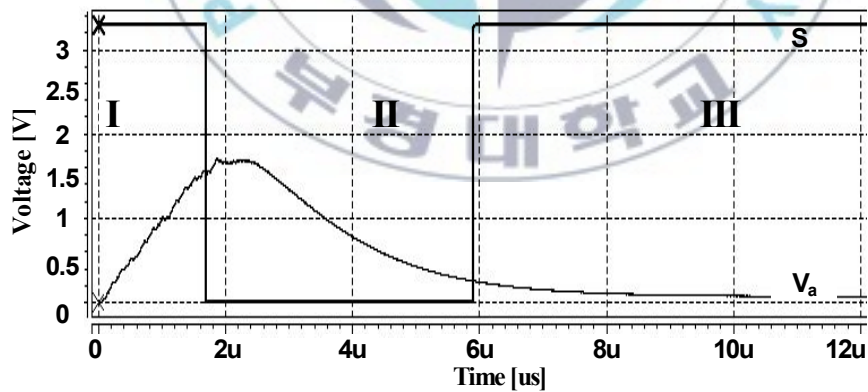


그림 4.6 위상고정 상태 표시기의 출력

Fig. 4.6 Output signal of the LSI.

## 4.1.2 측정결과 및 논의

저항 및 커패시턴스 스케일링 구조를 이용한 고속 위상고정루프는 Hynix 3.3V 0.35 $\mu\text{m}$  CMOS 공정으로 Cadence사의 Virtuso를 이용하여 레이아웃한 후 제작하였다. 제작된 위상고정루프는 루프필터의 모든 요소를 포함하여 990 $\mu\text{m}$   $\times$  670 $\mu\text{m}$  면적을 가지고 있다. 그림 4.7은 제작된 칩 사진을 나타내었다.

그림 4.8은 위상고정 시간 측정 결과이다. 이 그림에서 확인할 수 있듯이 위상고정 시간은 6 $\mu\text{s}$  이하로 나타났으며 이는 시뮬레이션 결과와 거의 일치하였다.

그림 4.9는 제안된 구조의 출력 스펙트럼 측정 결과이다. 측정은 함수 발생기를 이용하여 기준 주파수로 13.3MHz를 인가하여 N=64분주된 851.2MHz의 출력 주파수를 확인할 수 있었다.

4.10은 제안된 위상고정루프의 위상잡음 특성으로 851.2MHz에서 1MHz 떨어진 주파수에서 측정한 위상잡음은 -90.45 dBc/Hz이었다.

제안된 구조의 전체적인 성능을 표 4.1에 요약하였다.

선행된 문헌에서 살펴보면 검출기 이용 위상 검출기 (discriminator-aided phase detector; DAPD)를 이용한 구조의 경우 위상고정시간은 대략 20 $\mu\text{s}$  이하, 40  $\times$  2.0mm<sup>2</sup>의 많은 면적을 차지하고 있으며, 커패시턴스 스케일러를 이용한 구조의 위상고정시간은 약 20 $\mu\text{s}$  정도로 나타났다[17][46]. 그리고 듀얼 슬로프 위상/주파수 검출기를 이용한 구조는 비교적 빠른 약 3 $\mu\text{s}$ 의 위상고정 시간을 갖는 것으로 나타났다[47]. 제안한 위상고정루프의 위상고정 시간은 6  $\mu\text{s}$  이하이므로 비교적 빠른 위상고정 시간을 가진다고 할 수 있으며, 위상잡음 특성은 그다지 우수하지 않았다. 이는 위상고정 시간과 위상잡음 특성의 trade-off 관계에 의한 것으로 생각된다.

이와 같은 위상잡음 특성을 개선하기 위해 LC 발진기를 사용한다면 보다 좋은 위상 잡음 특성을 기대할 수 있을 것이다. 위상고정 시간을 보다 단축시

키기 위해서는 불필요한 초기 동작 영역(그림 4.6)를 없애고 바로 동작할 수 있도록 한다면 보다 빠른 위상고정 시간을 가질 것으로 기대된다.

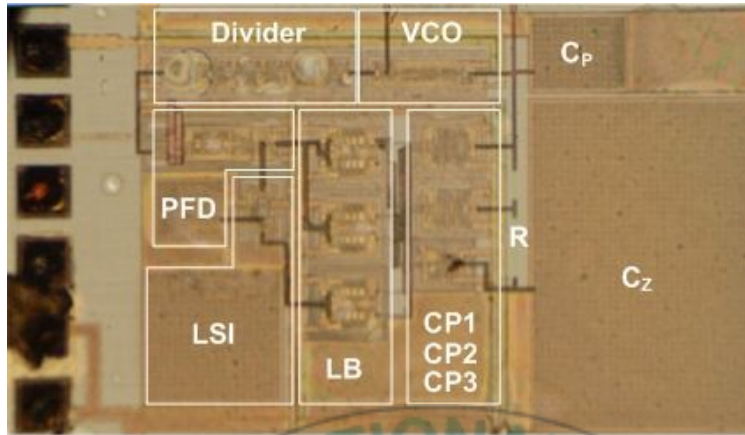


그림 4.7 제안된 위상고정루프 칩 사진  
 Fig. 4.7 Die photograph of the proposed PLL.

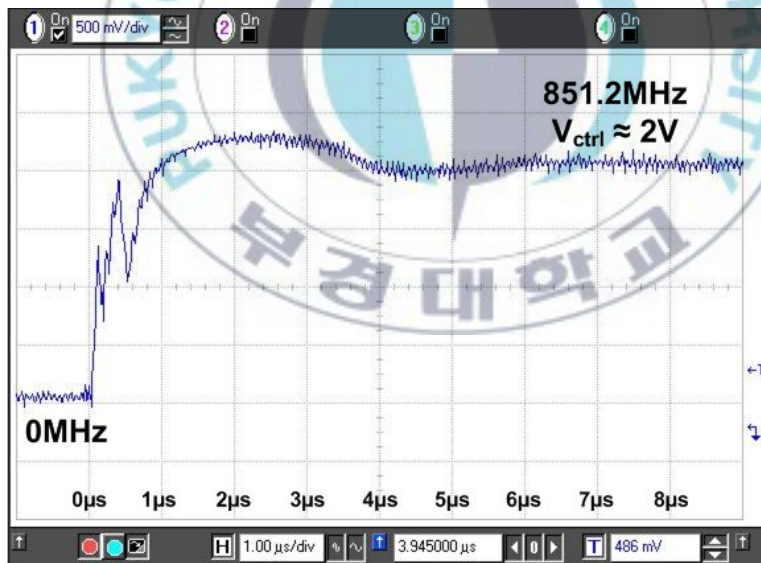


그림 4.8 측정된 위상고정 시간  
 Fig. 4.8 Measured locking time.

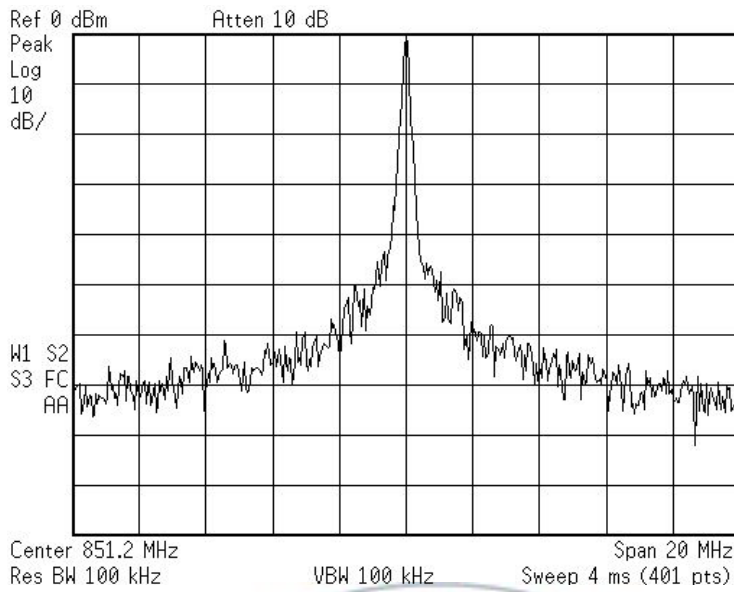


그림 4.9 측정된 출력 스펙트럼 @851.2MHz

Fig. 4.9 Measured output spectrum @851.2MHz.

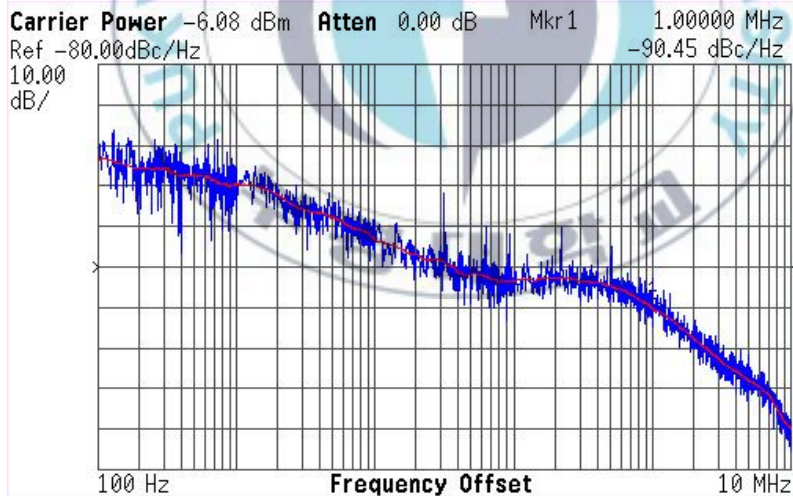


그림 4.10 측정된 위상 노이즈 @1MHz offset

Fig 4.10 Measured phase noise @1MHz offset.

표 4.1 제안된 위상고정루프의 성능 요약

Table 4.1 Performance summary of the proposed PLL

공정	0.35 $\mu$ m CMOS
전압	3.3V
출력 주파수	851.2MHz
입력 주파수	13.3MHz
위상잡음	-90.54 dBc/Hz @ 1MHz
위상고정 시간	6 $\mu$ s 이하
칩 크기	990 $\mu$ m $\times$ 670 $\mu$ m

## 4.2 저잡음 위상고정루프

### 4.2.1 시뮬레이션

저항 및 커패시턴스 스케일링 구조를 이용한 저잡음 위상고정루프의 기본적인 시뮬레이션 조건으로 기준 주파수( $F_{ref}$ )를 13.3MHz,  $R_{Z1}=200\Omega$ ,  $R_{Z2}=300\Omega$ ,  $C_Z=6nF$ ,  $C_P=600pF$  그리고 분주비(N)는 64로 설정하였다. 따라서 출력 주파수는 851.2MHz가 된다.

그림 4.11은 저잡음 위상고정루프에 사용되는 세 개의 전하펌프에 대한 시뮬레이션 결과를 보여준다. 전하펌프1은 영역I과 III에서  $20\mu A$  그리고 영역II에서는  $500\mu A$ 가 루프필터에 공급되도록 하였다. 전하펌프2는 위상/주파수 추적 영역II에서만  $500\mu A$ 가 흐르고, 전하펌프III은 항상  $18\mu A$ 가 흐르도록 하였다.

그림 4.12는 위상고정루프의 위상 여유와 대역폭 시뮬레이션 결과를 나타낸 것이다. 시뮬레이션 결과, 위상/주파수 추적 영역II에서 위상 여유는  $53^\circ$  그리고 루프 대역폭은 210.2kHz임을 확인할 수 있다. 또한 영역I과 III에서의 위상 여유는  $51.2^\circ$  그리고 루프 대역폭은 6.751kHz로 나타났다. 위 시뮬레이션 결과로부터 다중 전하펌프를 이용한 루프필터의 저항과 커패시턴스 스케일링 효과 및 위상고정 상태에 따른 적응적 대역폭 구조임을 확인할 수 있었다.

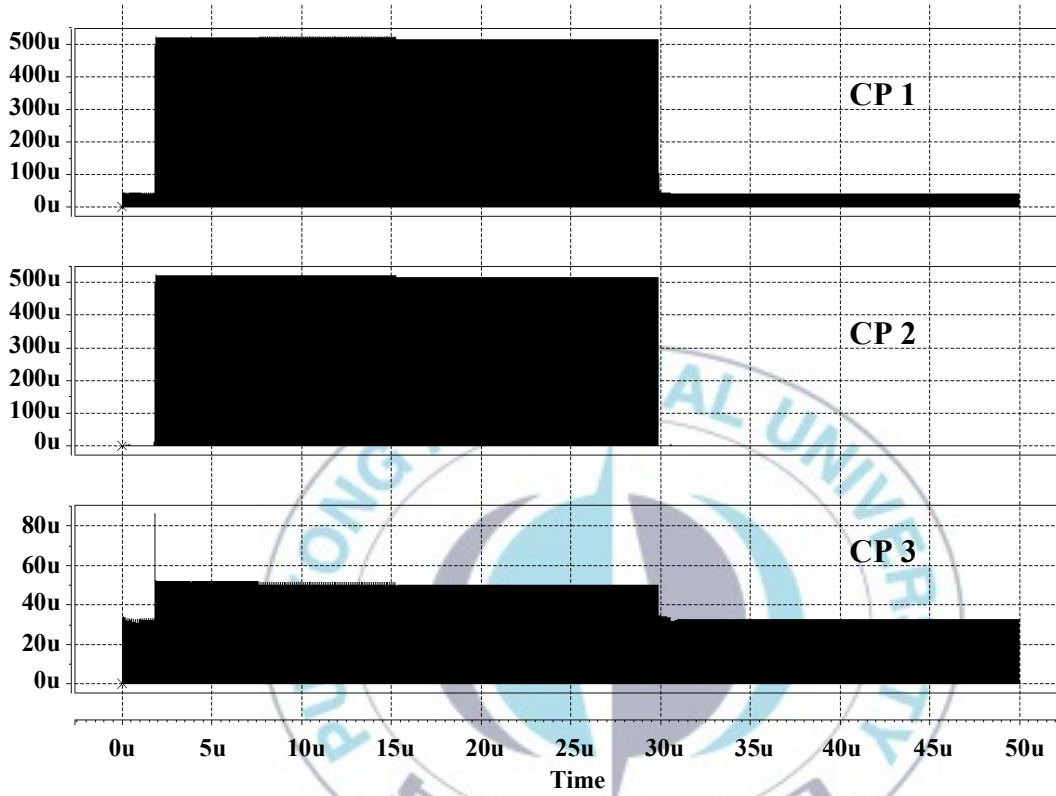


그림 4.11 제안된 위상고정루프의 전하펌프 출력

Fig 4.11 Charge pump output of the proposed PLL.

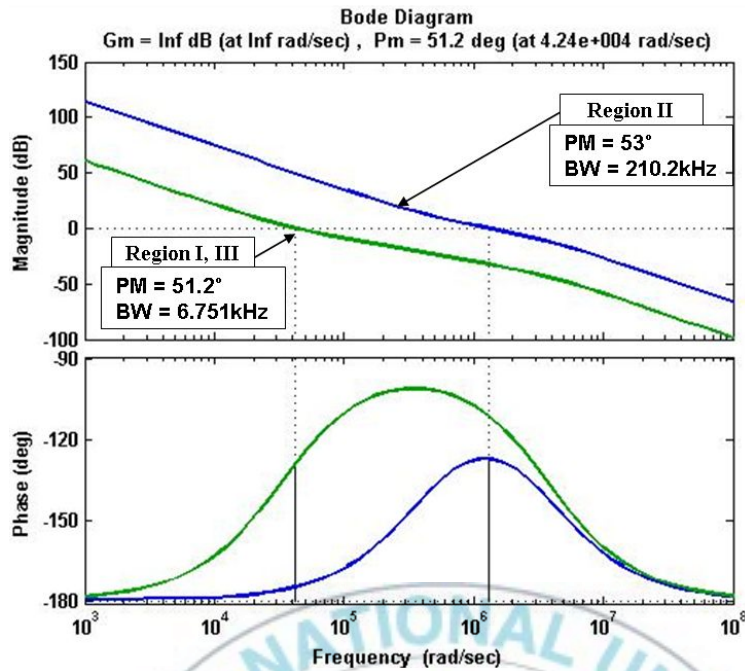


그림 4.12 제안된 위상고정루프의 보드선도

Fig 4.12 Bode plot of the proposed PLL.

그림 4.13은 루프의 위상고정 상태에 따른 전압제어발진기의 입력 전압과 위상 고정상태 표시기의 출력 신호를 나타내고 있다. 영역I는 위상 고정상태 표시기가 동작하기 시작하는 초기 상태를 의미하며, 영역II는 위상고정루프가 위상을 일치시켜 나가는 추적단계이고 영역III는 위상이 고정된 상태이다.

위 시뮬레이션 결과로부터 제안된 구조의 위상 고정시간이  $30\mu\text{s}$  정도로 나타났다. 이러한 결과는 위상잡음과 위상고정 시간이 루프 대역폭에 대해 trade-off에 있기 때문이다. 즉, 낮은 위상잡음을 위해 대역폭을 상대적으로 좁게 설정하여 위상고정 시간이 증가하였다.



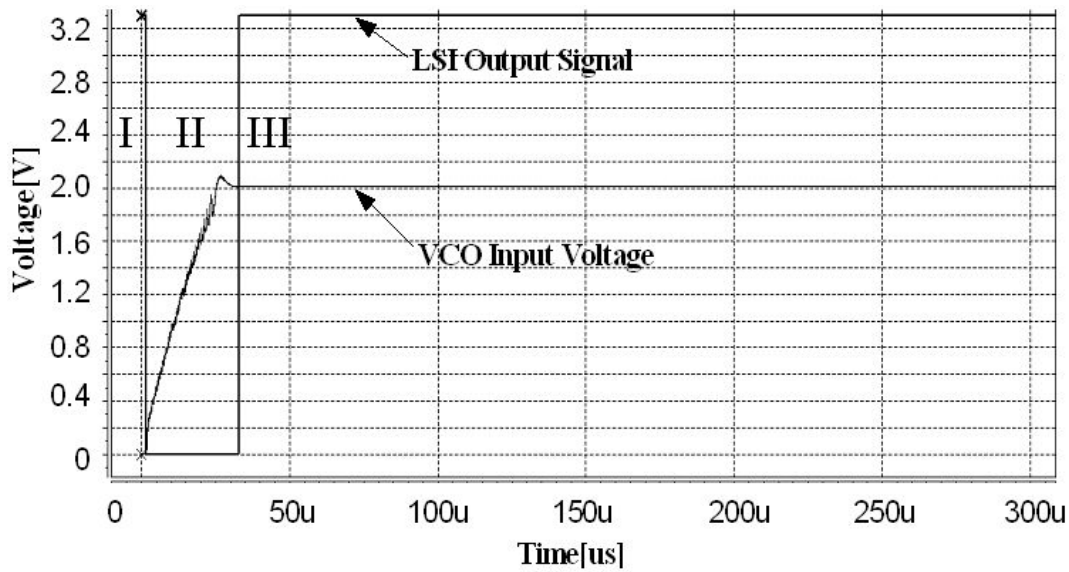
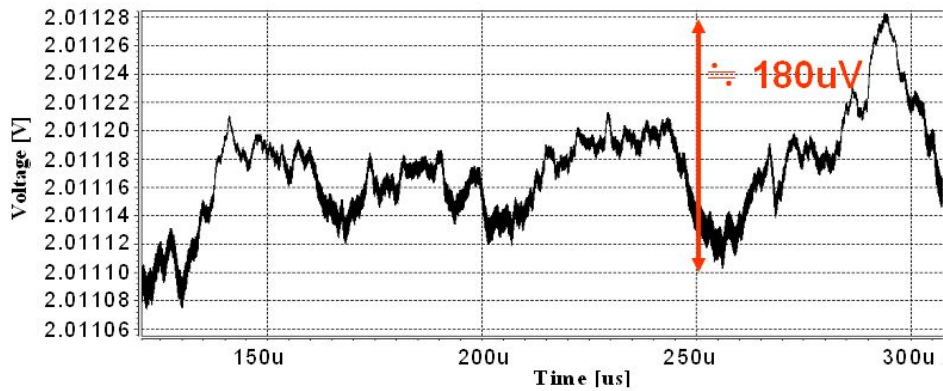
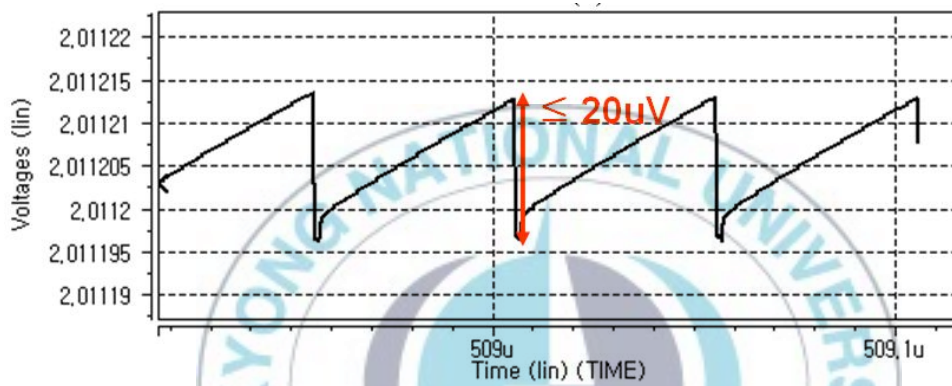


그림 4. 13 전압제어발진기의 입력 전압과 위상 고정상태 표시기의 출력  
 Fig. 4. 13 Input voltage of the VCO and Output signal of the LSI.

그림 4.14의 (a)와 (b)는 전압제어발진기의 입력전압을 확대하여 나타낸 것이다. 전체적인 전압제어 발진기의 리플 진폭( $V_m$ )은 최대  $180\mu V$ 로 나타났으며, 짧은 영역에서의 리플 진폭은 최대  $20\mu V$  이었다. 이러한 작은 리플 진폭은 전압제어발진기의 발진 주파수의 변화폭이 작다는 것을 의미하며, 보다 우수한 지터 특성과 기준 주파수 의사 잡음 특성 그리고 위상 잡음 특성을 가지게 된다.



(a)



(b)

그림 4. 14 전압제어 발진기 입력 전압 확대

(a) 전압제어발진기 입력 전압 확대 - 전체 영역

(b) 전압제어발진기 입력 전압 확대 - 짧은 영역

Fig. 4.14 Enlargement of the VCO input voltage

(a) Enlargement of the VCO input voltage - Long term

(b) Enlargement of the VCO input voltage - Short term.

## 4.2.2 측정 결과 및 논의

저잡음 위상고정루프는 4.1절과 같은 3.3V 0.35 $\mu\text{m}$  CMOS 공정을 이용하여 제작하여 실험적으로 저잡음 특성을 확인하였다. 그림 4.15는 제작된 저잡음 위상고정루프의 칩 사진이다. 제작된 칩은 외부에 연결되는 커패시터  $C_Z$ 를 제외한 루프필터의 모든 구성 요소를 다 포함하여 1700 $\mu\text{m} \times 670\mu\text{m}$  면적을 가지고 있다.

그림 4.16은 제안된 위상고정루프의 위상고정 시간 측정 결과이다. 위상고정 시간은 30 $\mu\text{s}$  이하의 위상고정 시간을 갖는 것으로 나타났으며, 이는 시뮬레이션 결과와도 거의 일치한다.

그림 4.17은 제안된 구조의 출력 스펙트럼 측정 결과로서 13.3MHz의 입력 주파수를 함수 발생기로 인가하였으며, 851.2MHz의 출력 주파수를 확인할 수 있었다.

그림 4.18은 위상잡음 특성으로 출력주파수인 851.2MHz에서 1MHz 오프셋으로 측정한 위상잡음은 -105.37 dBc/Hz이었다.

그림 4.19는 기준 주파수 의사 잡음 특성으로 출력 주파수 851.2MHz에서는 -3 dBm이었으며 이로부터 13.3MHz 떨어진 위치에서의 측정된 값은 -53 dBm 이었다. 이러한 결과로부터 기준 주파수 의사 잡음은 약 -50 dBc임을 확인할 수 있었다.

표 4.2에 제안된 위상고정루프의 측정 결과와 성능을 요약하여 나타내었다.

선행된 문헌에서 살펴보면 스위치-커패시터를 사용한 경우 -102 dBc/Hz @100kHz의 위상잡음 특성, -55 dBc 이하의 기준 주파수 의사 잡음 그리고 위상고정 시간이 2ms 이하로 나타났다[40]. 작은 이득을 가진 전압제어 발진기를 사용한 구조에서는 위상잡음이 -113 dBc/Hz @1MHz 그리고 위상고정 시간은 76 $\mu\text{s}$  이하로 나타났다[43].

제안한 위상고정루프의 위상잡음은  $-105.37 \text{ dBc/Hz @1MHz}$  이하이고 위상고정시간은  $30\mu\text{s}$  이하로 위상잡음 특성은 그다지 우수하지 않지만 비교적 빠른 위상고정 시간을 가지고 있음을 알 수 있다. 위상잡음 특성 결과는 링형 발진기의 사용과 더불어 측정할 때 기준 주파수 공급원으로 사용한 함수 발생기의 잡음에 영향을 받은 것으로 생각된다. LC 발진기를 도입하고, 측정 환경을 개선한다면 더 좋은 위상잡음 특성 결과가 있을 것으로 기대된다.

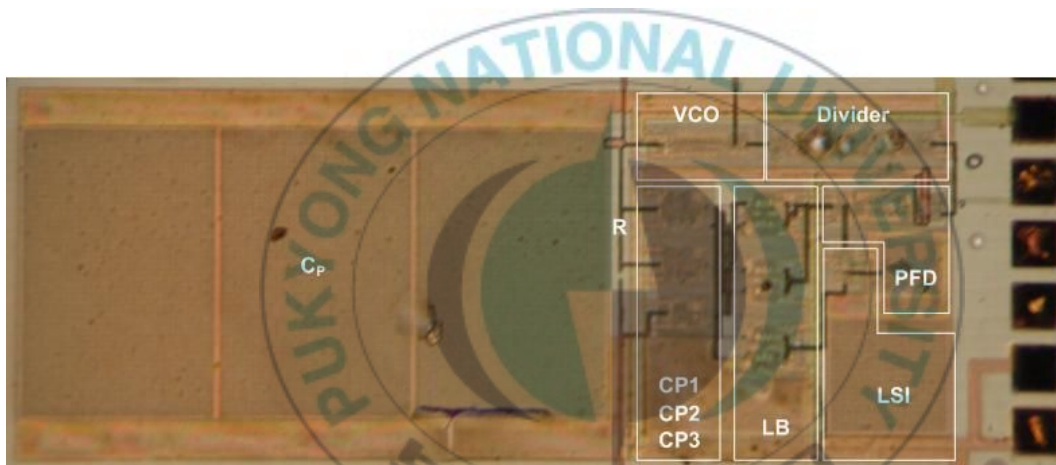


그림 4.15 제안된 위상고정루프 칩 사진

Fig 4. 15 Die photograph of the proposed PLL.

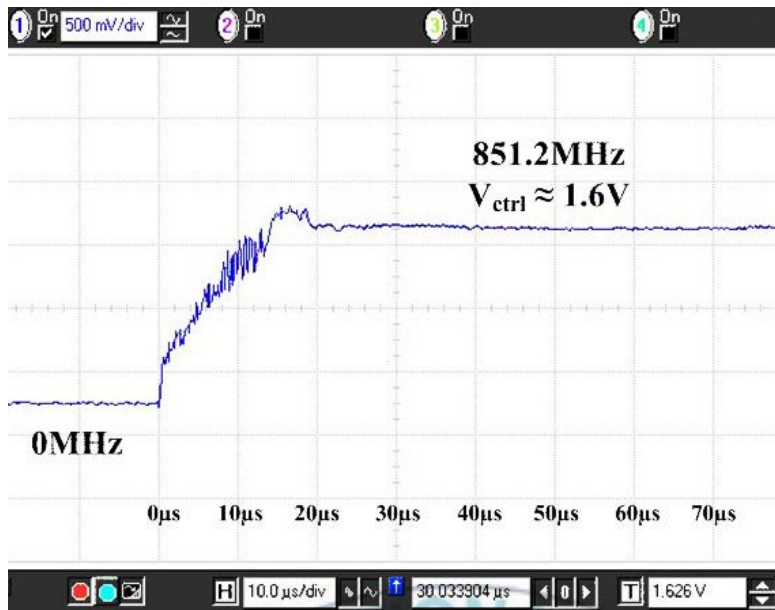


그림 4.16 측정된 위상고정 시간

Fig 4.16 Measured locking time.

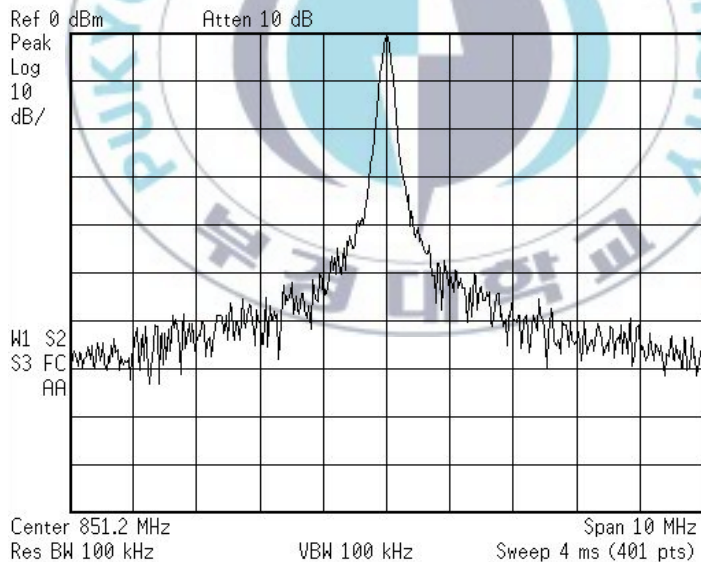


그림 4.17 측정된 출력 스펙트럼 @851.2MHz

Fig 4.17 Measured output spectrum @851.2MHz.

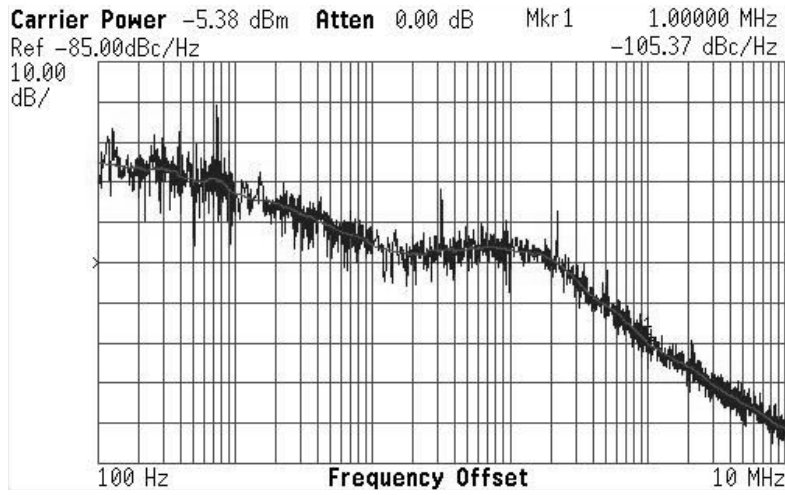


그림 4.18 측정된 위상 노이즈 @1MHz offset

Fig. 4.18 Measured phase noise @1MHz offset.

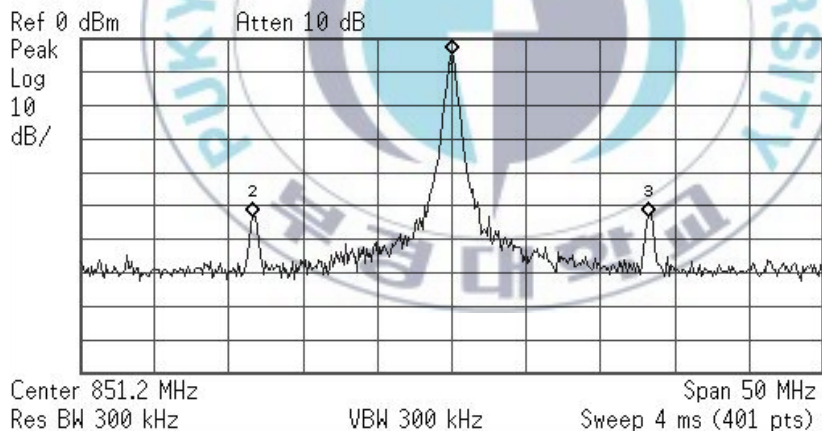


그림. 4.18 측정된 기준 주파수 의사 잡음

Fig. 4.18 Measured reference spurs.

표 4.2 제안된 위상고정루프의 성능 요약

Table 4.2 Performance summary of the proposed PLL

공정	0.35 $\mu$ m CMOS
전압	3.3V
출력 주파수	851.2MHz
입력 주파수	13.3MHz
위상잡음	-105.37 dBc/Hz @ 1MHz
위상고정 시간	30 $\mu$ s 이하
칩 크기	1700 $\mu$ m $\times$ 670 $\mu$ m

## V. 결 론

본 논문에서는 저항 및 커패시턴스 스케일링 구조를 이용한 위상고정루프 구조를 제안하였다. 제안된 구조를 이용하여 빠른 위상고정 시간을 목표로 한 고속 위상고정루프와 낮은 위상잡음을 위한 저잡음 위상고정루프를 각각 설계하였다. 고속 위상고정루프는 빠른 위상고정 시간을 위해 루프필터 스케일링 효과를 이용하여 최대한 넓은 대역폭을 갖게 하고, 저잡음 위상고정루프는 위상잡음과 기준 주파수 의사 잡음 크기를 최소화하기 위해 좁은 대역폭과 작은 리플 진폭을 갖도록 하고 커패시터의 면적도 최소화 하도록 설계 하였다. 각 위상고정루프는 0.35 $\mu\text{m}$  표준 CMOS 공정으로 제작한 후, 그 특성을 조사한 결과는 다음과 같다.

1. 위상고정루프의 위상고정 상태에 따라서 세 개의 전하펌프 전류 크기와 방향을 제어하여 루프필터의 저항과 커패시턴스 실효값을 스케일링 할 수 있었다.
2. 위상고정 상태 표시기를 이용하여 위상이 고정되지 않을 때는 큰 전하펌프 전류와 루프필터 스케일링 구조를 통해 넓은 대역폭을 갖도록 하고, 위상이 고정된 상태에서는 좁은 대역폭과 작은 리플 진폭을 가지도록 하여 위상고정 시간, 위상잡음 그리고 기준 주파수 의사 잡음 특성이 개선되었다.
3. 고속 위상고정루프는 6 $\mu\text{s}$  이하의 비교적 빠른 위상고정 시간을 가지며, 851.2MHz 출력 주파수에서 측정된 위상잡음은 -90.45 dBc/Hz @1MHz 이었다.
4. 저잡음 위상고정루프는 30 $\mu\text{s}$  이하의 비교적 빠른 위상고정 시간을 가지며, 851.2MHz 출력 주파수에서 측정된 위상잡음은 -105.37 dBc/Hz



@1MHz 그리고 기준 주파수 의사 잡음은 -50dBc 이었다.

제안된 링 발진기를 사용한 위상고정루프의 위상잡음 특성은 그다지 우수하지 않지만 위상고정 시간은 빠른 것으로 나타났다. 향후 보다 빠른 위상고정 시간을 위해 위상고정 상태 표시기 회로를 개선하고 위상잡음 특성을 위해 LC 발진기를 이용한 저잡음 위상고정루프에 관한 연구를 진행한다면 더욱 우수한 특성을 얻을 수 있을 것으로 기대된다.



## 참 고 문 헌

- [1] K. M. Ware, H. Lee and C. G. Sodini, "A 200-MHz CMOS Phase-Locked Loop with Dual Phase Detectors," *IEEE J. Solid-State Circuits*, vol. 24, no. 6, pp. 1560-1568, Dec., 1989.
- [2] K. Mastsuo et al., "A High-Performance Perpendicular FDC Using Analog and Digital Standard Cell Methodology," in Proc. *IEEE Custom Integrat. Circuits Conf.*, 1989, pp. 7.4.1-7.4.4.
- [3] Floyd M. Gardner, *Phaselock Techniques*, 2nd ed., John Wiley & Sons, 1979.
- [4] T. Liu and R. G. Meyer, "A 250-MHz Monolithic Voltage-Controlled Oscillator with Low Temperature Coefficient," *IEEE J. Solid-State Circuits*, vol. 25, no. 2, pp. 555-561, Apr. 1990.
- [5] D. H. Wolaver, *Phase-Locked Loop Circuits Design*, Prentice Hall, 1991.
- [6] K. Asahina, S. Kato and S. Kayano, "Output Buffer with On-Chip Compensation Circuits," in Proc. *IEEE Custom Integrated Circuits Conf.*, 1993, pp. 29.1.1-29.1.4
- [7] Behzad Razavi, *Monolithic Phase-Locked Loops and Clock Recovery Circuits*, IEEE Press, 1996.
- [8] I. I. Novof, J. Austin, R. Kelar, D. Strayer, and S. Wyatt, "Fully Integrated CMOS Phase-Locked Loop with 156 to 240 MHz Locking Range and  $\pm 50$  ps Jitter," *IEEE J. Solid-State Circuits*, vol. 30, no. 11, pp. 1259-1266, Nov., 1995.

- [9] Roland E. Best, *Phase-Locked Loops*, 4th ed., McGraw-Hill, 1999.
- [10] J. G. Maneatis, "Low-Jitter and Process-Independent DLL and PLL Based on Self-Biased Techniques," in *ISSCC Dig. Tech. Papers*, 1996, pp. 130-131.
- [11] Behzad Razavi, "RF microelectronics," Prentice Hall, 1998.
- [12] Paul R. Gray and Robert R. Meyer, "Future Directions in Silicon ICs for RF Personal Communications," *Proceedings, 1995 Custom Integrated Circuits Conference*, pp. 83-90, May 1995.
- [13] A. A. Abdi, A. Rofougaran, G. Chang, J. Rael, J. Chang, M. Fofogaran and P. Chang, "The Future of CMOS Wireless Transceivers," *Digest of Technical Papers, International Solid-State Circuits Conference*, pp. 118-119, San Francisco 1997.
- [14] P. Larsson, "Reduced pull-in time of phase-locked loops using a simple nonlinear phase detector," *IEE proc. Commun.*, vol. 142, no. 4, pp. 221-226, Aug. 1995.
- [15] J. Dunning et al., "An all-digital phase-locked loop with 50-cycle lock time suitable for high-performance microprocessors," *IEEE J. Solid-State Circuits*, vol. 30, pp. 412-422, Apr. 1995.
- [16] Joonsuk. Lee, Beomsup Kim, "A low-noise fast-lock phase-locked loop with adaptive bandwidth control," *IEEE J. Solid-States Circuits*, vol. 35, pp. 1137-1145, 2000.
- [17] L.C Liu and B.H Li, "Fast locking scheme for PLL frequency synthesizer," *Electronics Letters*, vol. 40, no. 15, pp. 918-920, July 2004.

- [18] Keliu Shu, Edgar Snchez-Sinencio, Jos Silva-Martnez and Sherif H. K. Embabi, " A 2.4-GHz Monolithic Fractional-N Frequency Synthesizer With Robust Phase-Switching Prescaler and Loop Capacitance Multiplier," *IEEE J. Solid-State Circuits*, vol. 38, no. 6, pp. 866-874, June 2003.
- [19] Jan Craninckx and Michel S. J. Steyaert, "A Fully Integrated CMOS DCS-1800 Frequency Synthesizer," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp.2054-2065, Dec. 1998.
- [20] Sung-Rung Han, Chi-Nan Chuang and Shen-Iuan Liu, "A Time-Constant Calibrated Phase-Locked Loop With a Fast-Locked Time," *IEEE Transaction on Circuits and Systems II*, vol. 54, issue. 1, pp.37-37, Jan. 2007.
- [21] 박홍준, "CMOS 아날로그 집적회로 설계 (하)," 시그마프레스, pp. 949 -1121, 1999.
- [22] G. Roh, Y. lee, and B. Kim, " An optimum phase-acquisition technique for charge-pump phase-locked loops," *IEEE Trans. Circuit Syst. II*, vol. 44, pp. 729-740, Sept. 1997.
- [23] Dean Banerjee, " *PLL Performance, Simulation, and Design*," National Semiconductor Corp., second edition, 1998.
- [24] Syed Irfan Ahmed, " Submicron CMOS Components for PLL-Based Frequency Synthesis," master of applied science, Carleton University Ottawa Ontario, Aug. 2002.
- [25] William B. Wilson, Un-Ku Moon and Kadab R. Lakshmikumar, "A CMOS Self-Calibrating Frequency Synthesizer", *IEEE J. Solid-State Circuits*, vol. 35,

- no. 10, pp. 1437-1444, Oct. 2000.
- [26] Yiwu Tang and Mohammed Ismail et al, "A new fast-settling gearshift adaptive PLL to extend loop bandwidth enhancement in frequency synthesizers", *Procs. of ASIC/SOC Conference*, pp. 787-790, 2002.
- [27] Juha Hakkinen and Juha Kostamovaara, "Speeding Up and Integer-N PLL by Controlling the Loop Filter Charge", *IEEE Trans. Circuits and Systems-II:ANALOG AND DIGITAL PROCESSING*, vol. 50, no. 7, pp. 343-354, July. 2003.
- [28] Yan Ge, Wennan Feng, Zhongjian Chen, Song Jia and Lijiu Ji, "A Fast Locking PLL with Adaptive Bandwidth", *ASICON 2005*. volume 1, pp.383-386. Shanghai, China. Oct. 2005.
- [29] K. B. Kim, D. Helman, and P. Gray, "A 30-Mhz hybrid analog-digital clock recovery circuit in 2- $\mu$ m CMOS," *IEEE J. Solid-State Circuits*, vol. 25, pp. 1385-1394, Dec. 1990.
- [30] S. K. Enam and A. Abidi, "NMOS ICs for clock and data regeneration in gigabit-per-second optical-fiber receivers," *IEEE J. Solid-State Circuits*, vol. 27, pp. 1763-1774, Dec. 1992.
- [31] Lizhong Sun and Tadeusz A. Kwasniewski, "A 1.25-GHz 0.35- $\mu$ m Monolithic CMOS PLL Based on a Multiphase Ring Oscillator," *IEEE J. Solid-State Circuits*, vol. 36, pp. 910-916, June. 2001.
- [32] Ian A. Young et al., " A PLL Clock Generator with 5 to 110MHz of Lock range for Microprocessors," *IEEE J. Solid-State Circuits*, vol. 27, pp.

1599–1607, Nov. 1992.

- [33] Bram De Muer and Michiel Steyaert, *CMOS FRACTIONAL-N SYNTHESIZERS Design for High Spectral Purity and Monolithic Integration*, Kluwer Academic Publishers, London, pp. 13–50, 2003.
- [34] S. Pellerano, S. Levantino, "A 13.5mV 5-GHz Frequency Synthesizer With Dynamic- Logic Frequency Divider," *IEEE J. Solid-State Circuits*, vol. 39, no. 2, Feb. 2004.
- [35] Qiuting Huang and Robert Rogenmoser, "Speed Optimization of Edge-Triggered CMOS Circuits for Gigahertz Single-Phase Clocks," *IEEE J. Solid-State Circuits*, vol 31, no. 3, March. 1996.
- [36] Joonsuk Lee and Beomsup Kim, "A 250MHz Low Jitter Adaptive Bandwidth PLL," in *ISSCC Dig. Tech. papers*, pp. 346–347, 1999.
- [37] Patik Larsson, "A 2–1600-MHz CMOS Clock Recovery PLL with Low-Vdd Capability", *IEEE J. Solid-State Circuits*, vol. 34, no. 12, pp. 1951–1960, Dec., 1999.
- [38] J. Dunning et al., "An all-digital phase-locked loop with 50-cycle lock time suitable for high-performance microprocessors," *IEEE J. Solid-State Circuits*, vol. 30, no. 4, pp.412–422, Apr. 1995.
- [39] Yue-Gang Kuo, Ro-Min Weng and Chuan-Yu Liu, "A Fast Locking PLL With Phase Error Detector", *IEEE Conference on Electron Devices and Solid-State Circuits*, pp. 423–426, Kowloon, Hong Kong, Dec 2005.
- [40] Tsung-Hsien. Lin and William J. Kaiser, "A 900-MHz 2.5-mA CMOS

- frequency synthesizer with an automatic SC tuning loop," *IEEE J. Solid-State Circuits*, vol. 36, no. 3, pp. 424-431, Mar. 2001.
- [41] S. Pellerano, S. Levantino, C. Samori, and A. L. Lacaita, "A 13.5-mW 5-GHz Frequency Synthesizer With Dynamic-Logic Frequency Divider" *IEEE J. Solid-State Circuits*, vol. 39, no. 2, Feb. 2004.
- [42] Che-Fu Liang, Hsin-Hua Chen and Shen-Iuan Liu, "Spur-Suppression Techniques for Frequency Synthesizers", *IEEE Trans. Circuits Syst. II*, vol. 54, no. 8, pp. 653-657, Aug. 2007.
- [43] Chun-Yi Kuo, Jung-Yu Chang and Shen-Iuan Liu, "A Spur-Reduction Technique for a 5-GHz Frequency Synthesizer," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 53, no. 3, pp. 526-533, Mar. 2006.
- [44] Joonsuk Lee and Beomsup Kim, "A Low-Noise Fast-Lock Phase-Locked Loop with Adaptive Bandwidth Control," *IEEE J. Solid-State Circuits*, vol. 35, no. 8, pp. 1137-1145, August. 2000.
- [45] Kyoohyun Lim, Chan-Hong Park, Dal-Soo Kim and Beomsup Kim, "A Low-Noise Phase-Locked Loop Design by Loop Bandwidth Optimization," *IEEE J. Solid-State Circuits*, vol. 35, no. 6, pp. 807-815, June. 2000.
- [46] Ching-Yuan Yang and Shen-Iuan Liu, "Fast-Switching Frequency Synthesizer with a Discriminator-Aided Phase Detector," *IEEE J. Solid-State Circuits*, vol. 35, no. 10, pp. 1445-1452, Oct. 2000.
- [47] Kuo-Hsing Cheng, Wei-Bin Yang and Cheng-Ming Ying, "A Dual-Slope Phase Frequency Detector and Charge Pump Architecture to Achieve Fast

Locking of Phase-Locked Loop," *IEEE Trans. Circuits and Systems-II : ANALOG AND DIGITAL PROCESSING*, vol. 50, no. 11, pp. 892-896, Nov. 2003.

