



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

MOS

커패시터를

이용한

연속

근사화

아날로그

디지털

변환기

구현

2015년

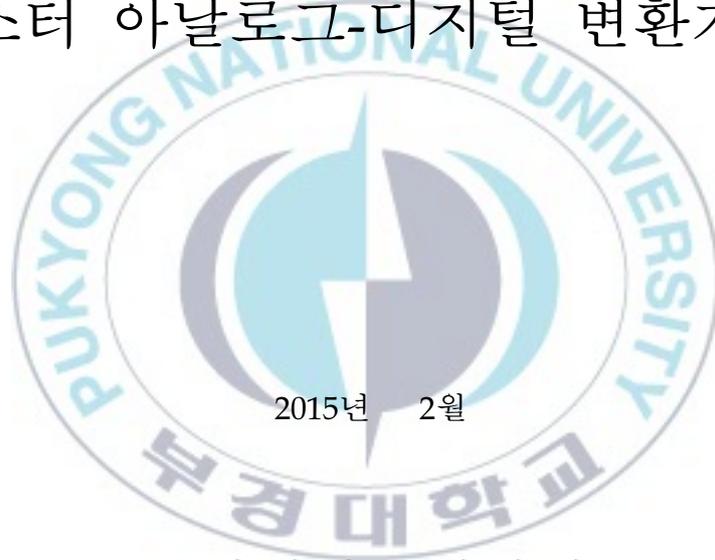
2월

성명우



공학 석사 학위 논문

MOS 커패시터를 이용한 저면적 연속 근사화
레지스터 아날로그-디지털 변환기 구현



2015년 2월

부경대학교 대학원

정보통신공학과

성명우

공학석사학위논문

MOS 커패시터를 이용한 저면적 연속 근사화
레지스터 아날로그-디지털 변환기 구현

지도교수 : 류 지 열

이 논문을 공학석사 학위논문으로 제출함.

2015년 2월

부경대학교 대학원

정보통신공학과

성명우

성명우의 공학석사 학위논문을 인준함.

2015년 2월 27일



| | | | |
|---|---|------|-----------|
| 주 | 심 | 공학박사 | 하 덕 호 (인) |
| 위 | 원 | 공학박사 | 박 규 칠 (인) |
| 위 | 원 | 공학박사 | 류 지 열 (인) |

목 차

| | | |
|-----------------|---|-----------|
| Abstract | | iv |
| 제1장 | 서 론 | 1 |
| 제2장 | ADC의 구조 및 동작원리 | 4 |
| 2.1 | 일반적인 ADC의 구조 및 동작원리 | 4 |
| 2.2 | 주요 성능 지수 및 수식 | 6 |
| 2.3 | SAR ADC의 구조 및 동작원리 | 8 |
| 제3장 | MOS 커패시터의 구조 및 동작원리 | 14 |
| 제4장 | 제안하는 MOS 커패시터를 이용한 SAR ADC 설계 및 구현 | 17 |
| 4.1 | 샘플-앤-홀드단 | 17 |
| 4.2 | 커패시터 어레이 네트워크단 | 19 |
| 4.3 | 비교기단 | 22 |
| 4.4 | SAR 제어 로직단 | 25 |
| 4.5 | DAC 제어 로직단 | 27 |
| 4.6 | DAC단 | 29 |
| 4.7 | SAR ADC | 30 |
| 제5장 | 결과 및 분석 | 33 |
| 5.1 | 시뮬레이션 결과 | 33 |
| 5.2 | 성능 분석 | 39 |
| 제6장 | 결 론 | 41 |
| 참고문헌 | | 42 |

그림 목차

| | | |
|-----------|---------------------------|----|
| [그림 2.1] | ADC를 사용하는 시스템의 블록도 | 5 |
| [그림 2.2] | ADC의 샘플링율과 해상도 | 6 |
| [그림 2.3] | ADC의 DNL 및 INL 특성 | 7 |
| [그림 2.4] | 기본적인 SAR ADC | 9 |
| [그림 2.5] | 6비트 전하-재분배 SAR ADC | 11 |
| [그림 3.1] | MOS 커패시터 구조 | 14 |
| [그림 3.2] | 평행판 커패시터 | 15 |
| [그림 3.3] | 반도체 기판을 가진 MOS 커패시터 | 16 |
| [그림 4.1] | 샘플-앤-홀드단 회로도 | 17 |
| [그림 4.2] | 샘플-앤-홀드단 레이아웃 | 19 |
| [그림 4.3] | 커패시터 어레이 네트워크단 회로도 | 20 |
| [그림 4.4] | 비교기단 회로도 | 25 |
| [그림 4.5] | SAR 제어 로직단 회로도 | 26 |
| [그림 4.6] | DAC 제어 로직단 회로도 | 28 |
| [그림 4.7] | 딜레이 버퍼 레이아웃 | 29 |
| [그림 4.8] | DAC단 회로도 | 30 |
| [그림 4.9] | SAR ADC의 전체 블록도 | 31 |
| [그림 4.10] | SAR ADC의 전체 레이아웃 | 32 |
| [그림 5.1] | 샘플-앤-홀드단 시뮬레이션 결과 | 34 |
| [그림 5.2] | 프리앰프 시뮬레이션 결과 | 34 |
| [그림 5.3] | 래치 시뮬레이션 결과 | 36 |
| [그림 5.4] | SAR 제어 로직단 시뮬레이션 결과 | 37 |
| [그림 5.5] | DAC 제어 로직단 시뮬레이션 결과 | 38 |
| [그림 5.6] | 고속 푸리에 변환 결과 | 39 |

표 목차

| | | |
|---------|--|----|
| [표 4.1] | 커패시터 어레이 네트워크단의 커패시터 개수 및 평균 스위칭 에너지 비교 | 22 |
| [표 5.1] | SAR ADC 성능 요약 및 비교 | 40 |



Implementation of a Low Area SAR ADC using MOS Capacitor

Myeong U Seong

Department of Information and Communications Engineering, The Graduate School
Pukyong National University

Abstract

Due to the development of integrated circuit technology, many of the features that have been implemented in the analog domain are easily implemented in the digital domain. Although many types of signal processing are moved to the digital domain, the need for analog signal processing in the processing of the natural signal is still important. Therefore, many systems are composed of the ADC(Analog-to-Digital Converter) and DSP(Digital Signal Processor).

This thesis presents the Implementation of a low area SAR(Successive Approximation Register) ADC using MOS(Metal-Insulator-Metal) capacitor. The proposed SAR ADC consists of sample-and-hold stage, capacitor array network stage, comparator stage, SAR control logic stage, digital-to-analog converter(DAC) stage and DAC control logic stage. This SAR ADC is designed to have performance of 12-bit resolution and 1MSps(1 Mega Sampling per second). The proposed circuit is designed using Magnachip/SK Hynix 0.18 μ m CMOS process, and it is powered by 1.8V supply. Total chip area is reduced by replacing the MOS capacitors instead of the capacitors consisting of overall part in chip area. The proposed circuit in this thesis showed high SNDR(Signal-to-Noise Distortion Ratio) of 70.51dB, and excellent effective bit number of 11.4-bit as compared to conventional research results. The designed circuit also showed low power dissipation of 1.93mW, and small chip area of 0.51mm².

제1장 서론

집적회로(Integrated Circuit, IC) 기술의 발전으로 인해 전통적으로 아날로그 영역에서 구현되어 왔던 많은 기능들이 디지털 영역에서 쉽게 구현되었고, 많은 사람들은 IC 제조 기술만 충분하다면 모든 신호 처리는 디지털로 구현될 것이라고 인식되고 있다. 1초 동안에 수십억 번의 연산을 수행할 수 있을 정도로 비약적인 기술의 발전을 이루었고, 실제로 많은 종류의 신호 처리는 디지털 영역으로 이동하였지만, 자연 신호의 처리에 있어서 아날로그 신호 처리에 대한 필요성은 여전히 큰 비중을 차지한다. 이러한 이유로 오늘날 많은 시스템들은 아날로그 신호를 디지털 신호로 변환시켜 주는 아날로그-디지털 변환기(Analog-to-Digital Converter, ADC)와 ADC를 통해 변환된 신호를 고속으로 처리하는 디지털 신호 처리 장치(Digital Signal Processor, DSP)로 구성된다[1-4].

이와 같은 시스템에서 사용하는 ADC는 입력 신호에 대해 분석이 용이한 출력 신호로의 변환과정에서 낮은 공급 전압으로 인해 신호 대 잡음비(Signal-to-Noise Ratio, SNR)가 감소하는 문제점이 있고, ADC의 주요 회로 구현에 사용되는 커패시터 어레이 및 스위치들의 크기가 커져 전체 회로 면적을 커지게 하는 단점이 있다. 특히, 커패시터의 경우에는 다른 주요 회로를 구성하는 소자들에 비해 아주 큰 면적을 차지하기 때문에 커패시터를 어떻게 효과적으로 구성하느냐에 따라 전체 시스템의 면적에도 영향을 미친다[5-6].

일반적으로 사용되는 ADC에는 플래시 ADC, 파이프라인 ADC, 연속

근사화 레지스터(Successive Approximation Register, SAR) ADC, 시그마-델타(Sigma-Delta, Σ - Δ) ADC 등이 있다. 각각의 ADC마다 구현 가능한 해상도와 샘플링율이 다르고 회로를 구성하는 전체 면적과 소비전력이 다르기 때문에 필요에 따라 적절한 선택이 요구된다. 10비트 미만 저해상도에 주로 사용되는 플래시 ADC는 동작 속도가 빠른 장점이 있고, 16비트 미만의 해상도를 가지는 파이프라인 ADC는 수십 kHz ~ 수백 MHz의 빠른 샘플링율을 가지는 장점이 있으나, 두 종류의 ADC는 소비전력이 크다는 단점이 있다. Σ - Δ ADC는 16비트 이상의 고해상도를 가지지만, 수백 kHz의 낮은 샘플링율을 가지는 단점이 있다. SAR ADC의 경우 샘플링율이 비교적 저속인 단점이 있으나, 파이프라인 ADC와 비슷한 해상도를 가지고 내부 블록을 재활용하기 때문에 전체 설계 면적을 줄일 수 있는 장점이 있어 저면적을 요구하는 시스템에 적합하다.

본 논문에서는 저면적 시스템에 적용이 용이한 SAR ADC를 제안한다. 일반적인 구조의 SAR ADC에 사용되는 MIM(Metal-Insulator-Metal) 커패시터를 MOS(Metal-Oxide-Semiconductor) 커패시터로 대체하여 기존의 연구에 비해 더 작은 면적으로 구현하였다. SAR ADC를 구성하는 주요 블록중 하나인 샘플-앤-홀드단에서 사용되는 커패시터를 MOS 커패시터로 대체하여 샘플-앤-홀드단의 면적을 약 70% 줄였다. 또 다른 주요 블록중 하나인 DAC(Digital-to-Analog Converter) 제어 로직단에 사용되는 커패시터 역시 MOS 커패시터로 대체함으로써 전체 DAC 제어 로직단 면적을 약 50% 줄였다.

본 논문의 2장에서는 일반적인 ADC와 SAR ADC의 구조 및 동작원리를 설명하고, ADC의 주요 성능 지수 등을 알아본다. 3장에서는 MOS 커패시터의 구조와 동작원리에 대해 기술한다. 4장에서는 제안하는

MOS 커패시터를 이용한 SAR ADC의 각 블록 구성과 기능에 대해 기술한다. 5장에서는 시뮬레이션 결과 및 성능 분석에 대한 기술을 하고, 마지막으로 6장에서는 결론과 함께 향후 연구 방향에 대해 간략히 서술한다.

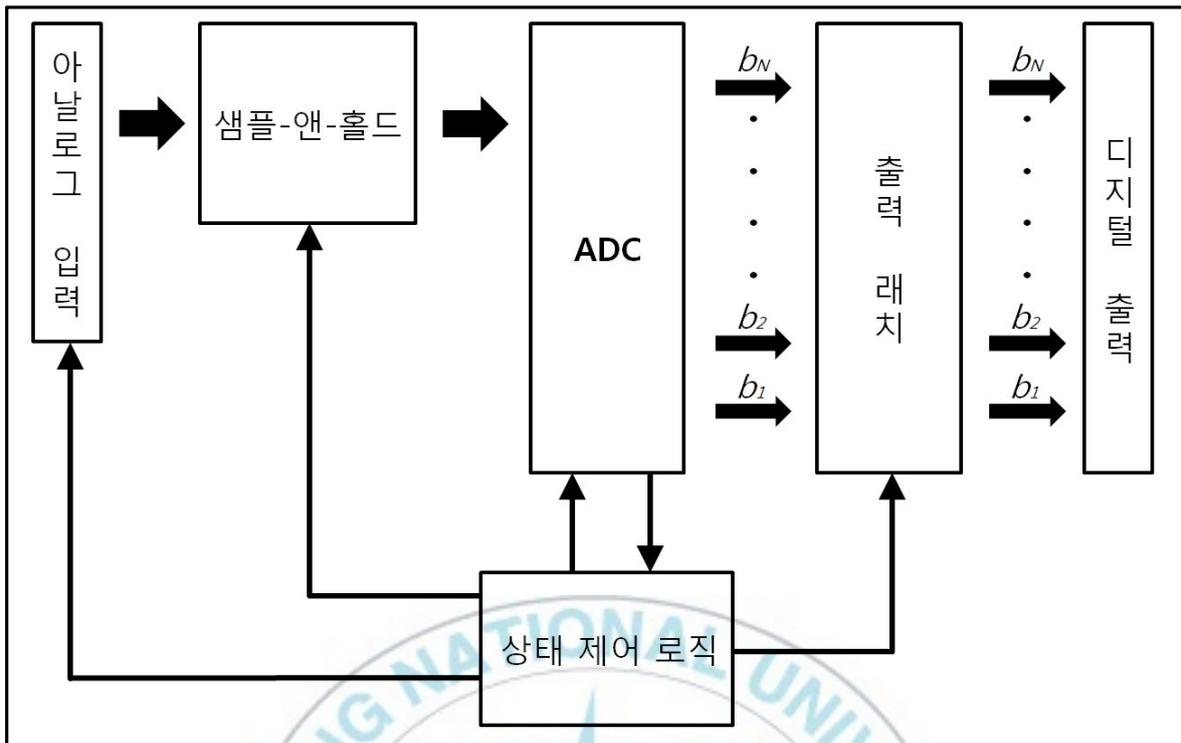


제2장 ADC의 구조 및 동작원리

이 장에서는 일반적인 ADC의 구조 및 동작원리를 알아보고 주요 성능 지수 및 수식에 대해 간단히 서술한다. 그리고 본 연구에서 설계 및 구현하고자 하는 SAR ADC의 구조 및 동작원리에 대해 설명한다.

2.1 일반적인 ADC의 구조 및 동작원리

전압이나 전류 등과 같은 아날로그 입력 신호를 디지털 출력 신호로 변환시키는 역할을 하는 ADC는 정보통신 분야, 음성 및 영상 신호 처리 분야, 의료기기 분야 등 산업 전반에 널리 사용되고 있다. 많은 분야에서 사용되는 ADC는 시스템의 성능 향상을 위하여 다른 회로들과 함께 사용되는데, [그림 2.1]은 ADC를 사용하는 시스템의 블록도를 나타낸 것이다. [그림 2.1]에서 ADC는 샘플-앤-홀드단으로부터 샘플링된 신호를 입력으로 받아서 출력 래치단으로 디지털 데이터를 출력하는 역할을 한다. 출력 래치단은 ADC의 출력이 마이크로프로세서 등의 데이터 버스와 연결되므로 디지털 회로와의 인터페이스 문제를 해결하기 위해 삽입되고, 이 과정을 상태 제어 로직단을 통하여 제어하는 형태로 구성된다.

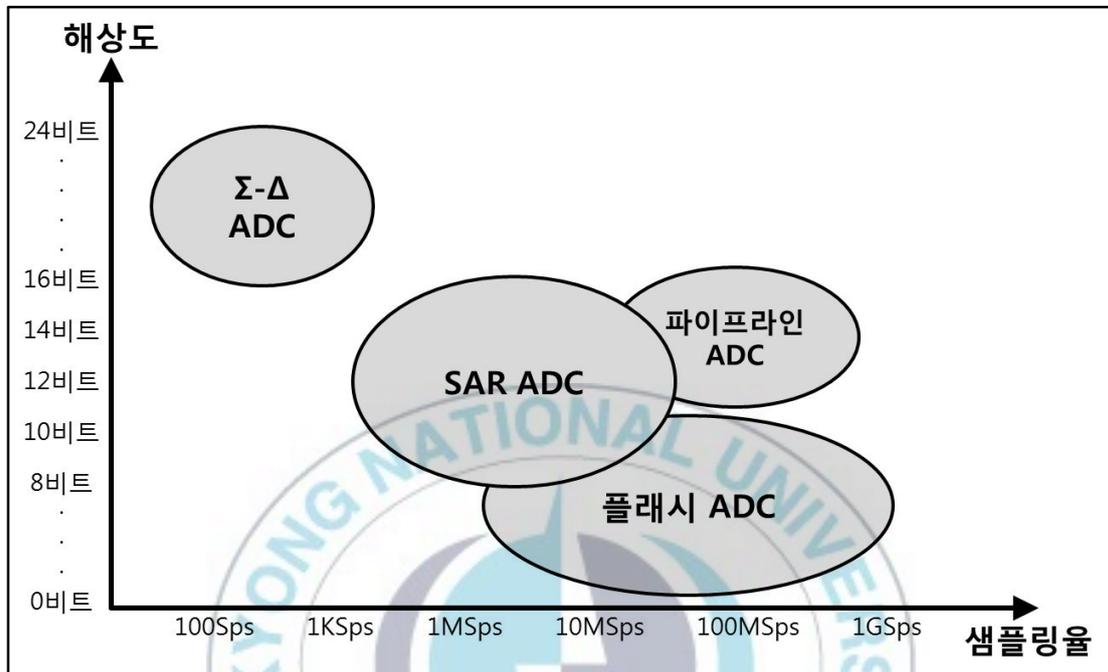


[그림 2.1] ADC를 사용하는 시스템의 블록도

일반적으로 널리 사용되고 있는 ADC에는 플래시 ADC, 파이프라인 ADC, SAR ADC, Σ - Δ ADC 등이 있는데, 각각의 ADC마다 구현 가능한 해상도와 샘플링율이 다르고 회로를 구성하는 전체 면적과 소비전력이 다르기 때문에 필요에 따라 적절한 선택이 요구된다.

[그림 2.2]는 ADC의 샘플링율과 해상도에 관한 그림을 나타낸 것이다. 10비트 미만 저해상도에 주로 사용되는 플래시 ADC는 동작 속도가 빠른 장점이 있지만 소비전력이 큰 단점이 있다. 16비트 미만의 해상도를 가지는 파이프라인 ADC는 수십 kHz ~ 수백 MHz의 빠른 샘플링율을 가지는 장점이 있지만 플래시 ADC와 마찬가지로 소비전력이 크다는 단점이 있다. SAR ADC의 경우에는 샘플링율이 비교적 저속인 단점이 있으나, 파이프라인 ADC와 비슷한 해상도를 가지면서 저전력을 요

구하는 구조이고, 내부 블록을 재활용하기 때문에 설계 면적을 줄일 수 있어 저면적을 요구하는 시스템에 적합하다고 할 수 있다.



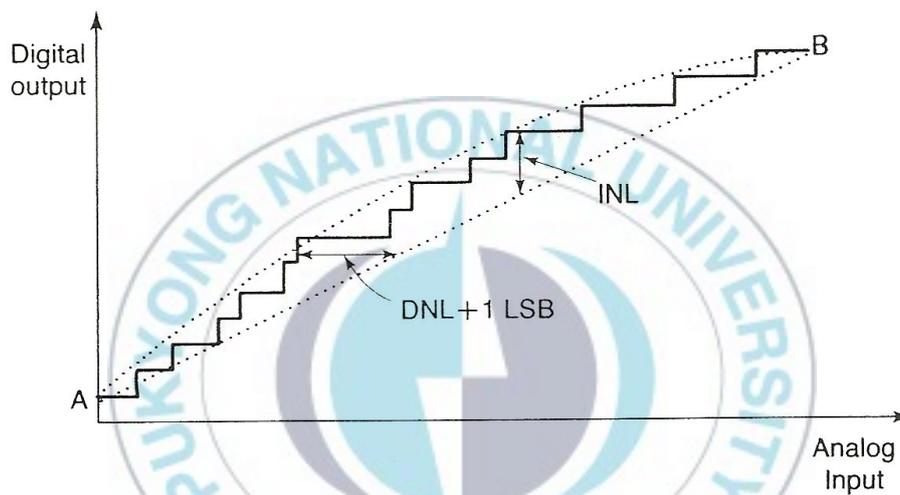
[그림 2.2] ADC의 샘플링율과 해상도

2.2 주요 성능 지수 및 수식

ADC의 성능을 나타내는 주요 성능 지수에는 차동 비선형(Differential Non-Linearity, DNL) 오차, 적분 비선형(Integral Non-Linearity, INL) 오차, 유효비트수(Effective Number Of Bits, ENOB), 신호 대 잡음 왜곡비(Signal-to-Noise and Distortion Ratio, SNDR) 등이 있다.

[그림 2.3]은 ADC의 DNL 및 INL 특성을 나타낸 것이다. DNL은 입력 축에서 연속하는 두 코드 사이의 계단함수 폭이 1LSB보다 크거나 작아지는 값들의 변화량 중 가장 크게 변화된 값을 의미한다. ADC에 인가

되는 아날로그 입력 신호가 증가할 때, 디지털 출력이 일정하게 증가할 경우 ADC의 성능이 우수한 것으로 판단할 수 있다. INL은 입출력 특성 곡선에서 각 시작점과 끝점을 연결한 직선을 중심으로 실제 특성 곡선과의 최대 차이를 뜻한다. 즉, INL은 ADC의 선형성에 대한 특성을 나타내는 지표로서 특성 곡선과 이상적인 직선 사이의 차이가 작을수록 선형성이 우수한 ADC라고 판단할 수 있다.



[그림 2.3] ADC의 DNL 및 INL 특성

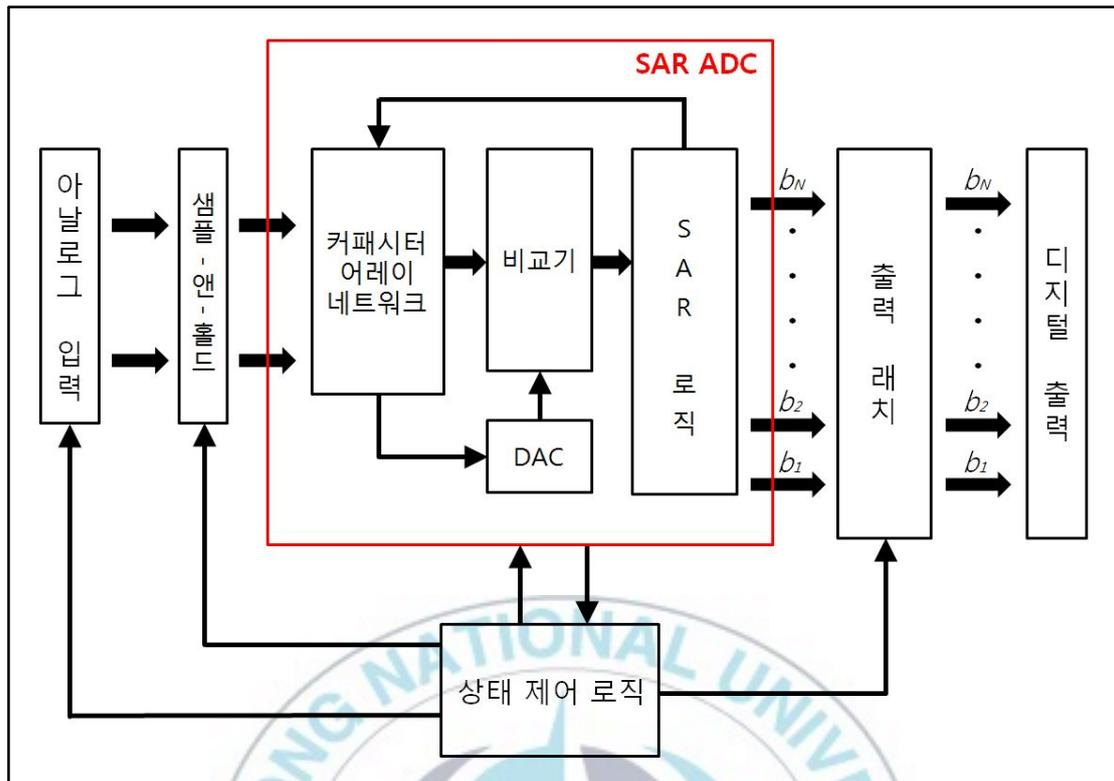
ADC의 주요 성능 지수 중 하나인 ENOB는 ADC의 출력 신호를 주파수축에서 고속 푸리에 변환(Fast Fourier Transform, FFT)을 거친 성능 지수로 식 (2.1)과 같이 정의한다.

$$ENOB = \frac{SNDR - 1.76}{6.02} \quad (2.1)$$

식 (2.1)에서 SNDR은 입력 신호에 대하여 왜곡 신호를 포함하는 잡음 신호의 비를 의미하며, FFT 스펙트럼 성분으로 표현되는 값이다. 식 (2.1)과 같이 정의되는 ENOB는 ADC의 성능을 나타내는 대표적인 성능 지수로 활용되고 있으며, 본 연구에서도 설계 및 구현한 ADC의 성능을 평가하기 위한 기준으로 활용한다. ENOB와 비례관계에 있는 SNDR에 대한 성능 지수를 먼저 측정 후, 식 (2.1)을 통하여 ENOB의 성능 지수를 계산한다.

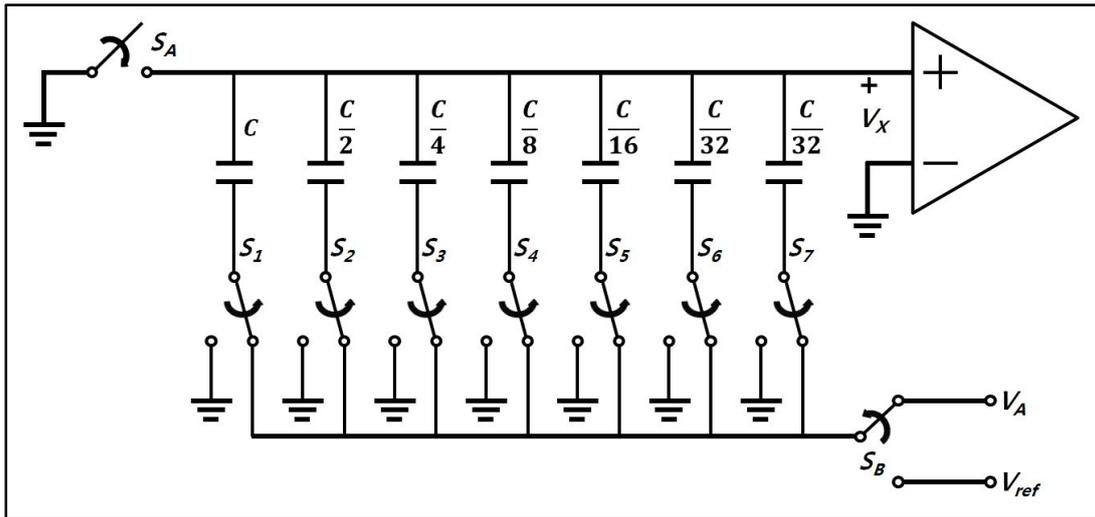
2.3 SAR ADC의 구조 및 동작원리

[그림 2.4]는 기본적인 SAR ADC의 블록도를 나타낸 것이다. 일반적인 시스템에서 사용하는 SAR ADC는 커패시터 어레이 네트워크단, 비교기단, SAR 로직단 및 DAC단으로 구성되어 있다. SAR ADC는 전하-재분배 과정을 통해 연속 근사화 과정을 수행하는데, 아날로그 입력 신호를 디지털 코드화하기 위하여 샘플-앤-홀드단에서 입력 신호의 샘플링 및 홀드 과정을 거쳐 샘플링된 신호를 비교기단로 전달한다. 동시에 커패시터 어레이 네트워크단에서는 계속해서 전하-재분배 동작을 수행하면서 연속 근사화 과정을 진행하고, 비교기단에서는 샘플-앤-홀드단으로부터 입력된 신호를 기준전압과 비교하여 출력 신호를 SAR 로직단으로 전달한다. SAR 로직단으로 전달된 신호는 축차 근사화 알고리즘에 따라 디지털 코드를 결정하게 된다.

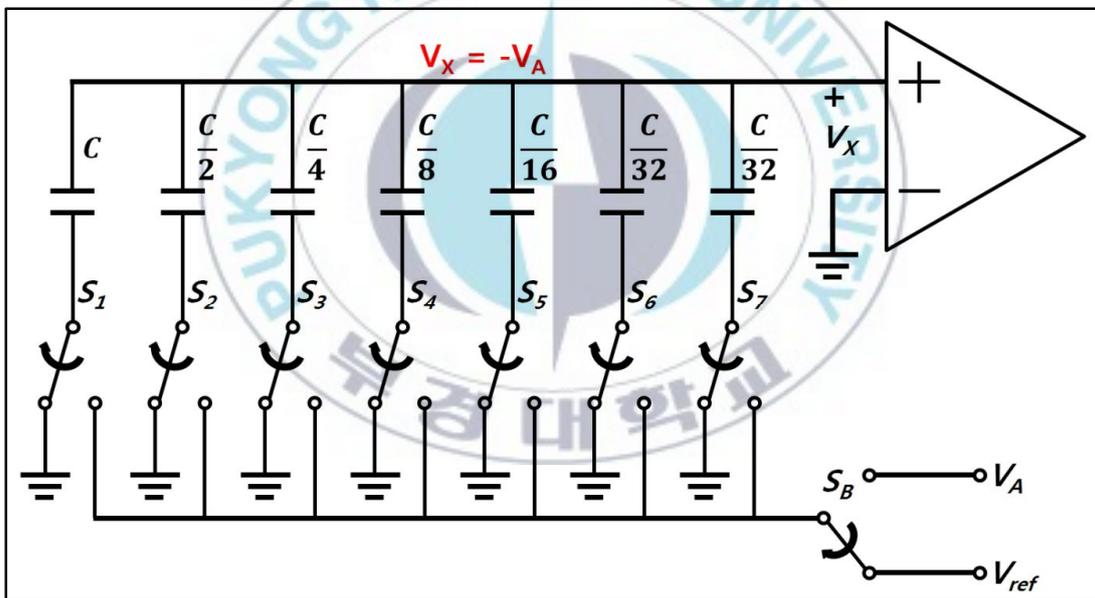


[그림 2.4] 기본적인 SAR ADC

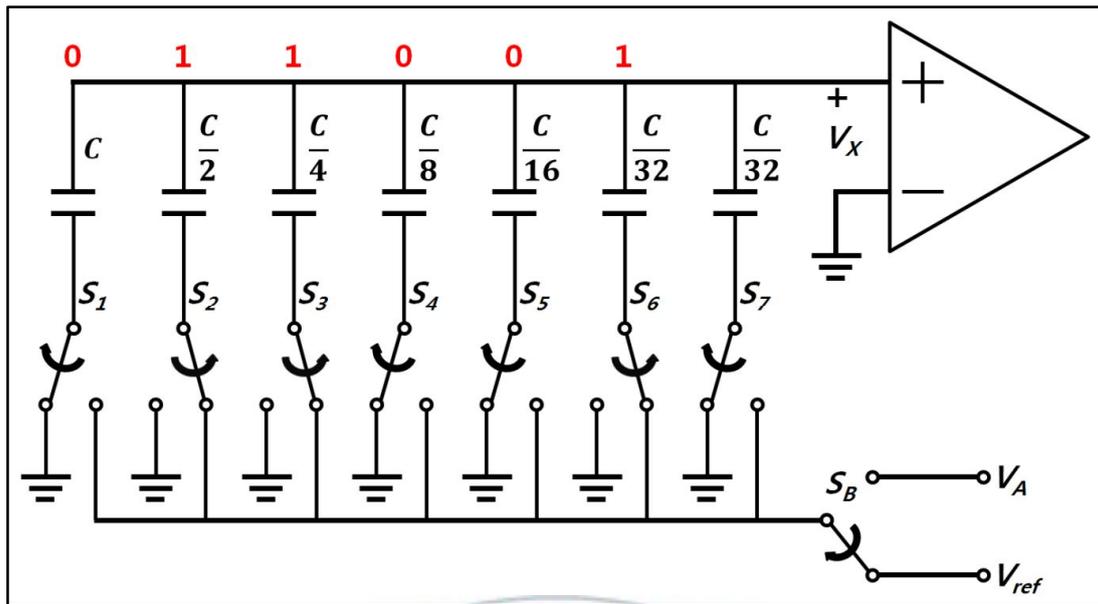
일반적으로 SAR ADC는 [그림 2.5]와 같이 샘플 모드, 홀드 모드 및 재분배 모드의 3단계로 구분되어 전하-재분배 동작을 수행한다. [그림 2.5]는 6비트의 해상도를 가지는 SAR ADC의 3가지 동작을 나타낸 것으로 전하-재분배 동작에 대해 간단히 기술한다.



(a) 샘플 모드



(b) 홀드 모드



(c) 재분배 모드

[그림 2.5] 6비트 전하-재분배 SAR ADC

SAR ADC의 3가지 동작 모드 중 첫 번째 단계인 샘플 모드에서는 [그림 2.5(a)]와 같이 스위치 S_A 가 단락되어 모든 커패시터의 상부 플레이트는 접지에 연결되고, 모든 커패시터의 하부 플레이트에는 아날로그 입력(V_A)에 연결된다. 따라서 전체 커패시터의 상부 플레이트에는 V_A 에 비례하는 전하가 충전된다. 이때 충전되는 전하량(Q_X)을 수식으로 나타내면 식 (2.2)와 같다.

$$Q_X = C_{total} V_A = 2CV_A \quad (2.2)$$

두 번째 단계인 홀드 모드에서는 [그림 2.5(b)]와 같이 스위치 S_A 가 개방되고 스위치 S_B 는 기준전압(V_{ref})에 연결되며 모든 커패시터의 하부

플레이트는 접지에 연결된다. 이때 커패시터에 충전되어 있던 전하는 그대로 유지되어 상부 플레이트의 전압(V_X)은 $-V_A$ 의 값을 가지게 된다.

마지막 단계인 재분배 모드에서는 [그림 2.5(c)]와 같이 연속 근사화 과정을 수행한다. 먼저 최상위 비트에 해당하는 스위치 S_1 이 V_{ref} 에 연결되고 나머지 스위치들은 접지에 연결된 상태를 유지한다. 이때 V_X 는 $-V_A$ 에서 $V_{ref}/2$ 만큼 증가하게 되는데 이를 전하 방정식을 통해 살펴보면 식 (2.3), 식 (2.4) 및 식 (2.5)와 같다.

$$Q_i = -2CV_A \quad (2.3)$$

$$Q_f = CV_X + C(V_X - V_{ref}) \quad (2.4)$$

$$V_X = -V_A + \frac{V_{ref}}{2} \quad (2.5)$$

즉 샘플 모드에서의 초기 전하량을 Q_i 라 하고 스위치 S_1 이 V_{ref} 에 연결된 후의 전하량을 Q_f 라고 하면 식 (2.3) 및 식 (2.4)와 같이 된다. 이때 전체 전하량에는 변화가 없으므로 $Q_i = Q_f$ 의 조건에 의해 식 (2.3) 및 식 (2.4)를 이용하여 식 (2.5)와 같은 결과를 얻을 수 있다.

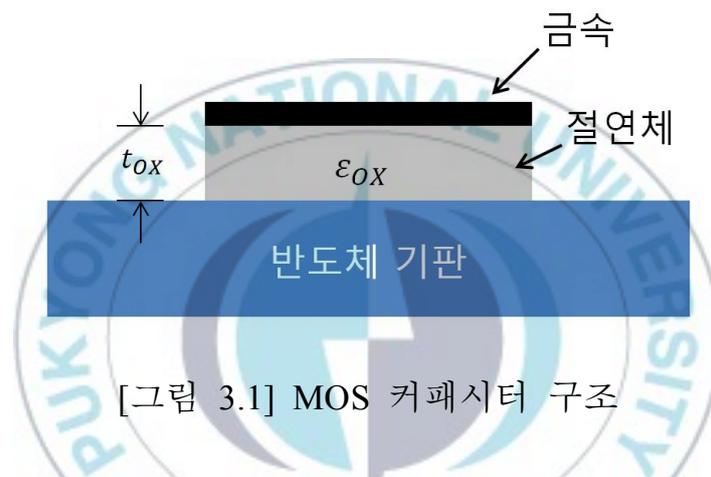
식 (2.5)에서 V_A 의 값이 $V_{ref}/2$ 보다 큰 값을 가지게 되면 V_X 는 음의 값을 가지며, 비교기의 출력은 ‘Low’가 되고, 스위치 S_1 은 V_{ref} 에 연결된 상태를 유지한다. 이 경우 최상위 비트의 코드값은 ‘1’로 결정된다. 반면 V_X 가 양의 값을 가지게 되면 이는 V_A 가 $V_{ref}/2$ 보다 작음을 의미하므로 스위치 S_1 은 V_{ref} 에서 접지로 연결된다. 이 경우 최상위 비트의

코드값은 '0'으로 결정된다. 최상위 비트를 결정한 후 스위치 S_2 부터 최하위 비트에 해당하는 스위치 S_6 까지 이와 같은 방법으로 나머지 코드값을 결정하게 된다. 마지막 커패시터에 연결되어 있는 스위치 S_7 은 재분배 과정 동안 계속해서 접지에 연결된 상태를 유지한다.



제3장 MOS 커패시터의 구조 및 동작원리

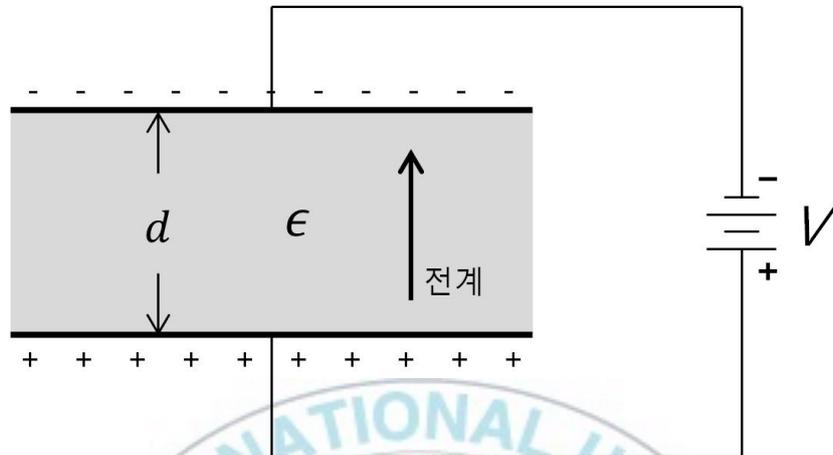
[그림 3.1]은 MOS 커패시터의 구조를 나타낸 것이다. MOS 커패시터는 금속, 절연체 및 반도체 기판으로 이루어진 적층 구조로서 2개의 전극을 갖는다. [그림 3.1]에서 t_{OX} 는 절연체의 두께를 의미하며, ϵ_{OX} 는 절연체의 유전율을 의미한다.



[그림 3.1] MOS 커패시터 구조

MOS 커패시터를 보다 쉽게 설명하기 위해 간단한 평행판 커패시터를 생각할 수 있다. [그림 3.2]는 평행판 커패시터를 나타낸 것으로 상단에 위치한 평판은 하단에 위치한 평판에 대해 음의 전위에 있으며, 두 평판 사이에는 절연물질이 있다. 이때 상단에 위치한 평판에는 음(-)의 전하가 대전되고 하단에 위치한 평판에는 양(+)의 전하가 대전되어 두 평판 사이에는 전계가 유도된다. 두 평판 사이의 거리가 d 이고 절연물질의 유전율이 ϵ 일 때, 평행판 커패시터의 단위면적당 정전용량(C')은 식 (3.1)과 같다.

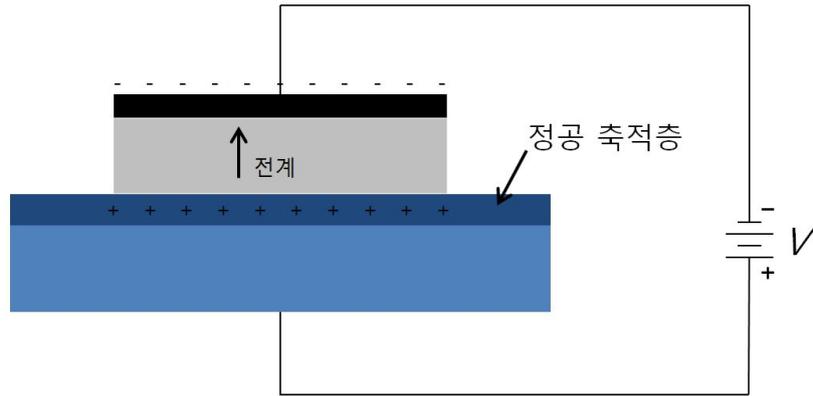
$$C' = \frac{\epsilon}{d} \quad (3.1)$$



[그림 3.2] 평행판 커패시터

[그림 3.3]은 반도체 기판을 가진 MOS 커패시터를 나타낸 것이다. 상단에 위치한 금속은 거리가 t_{OX} 만큼 떨어진 하단에 위치한 반도체 기판에 대하여 음의 전위에 있다. 앞서 예를 든 평행판 커패시터와 같이 상단에 위치한 금속에는 음의 전하가 존재하게 되고, 유전율이 ϵ_{OX} 인 절연체와 반도체 기판의 접합부분에서는 정공 축적층이 생겨 MOS 커패시터의 하단 평판의 양전하 역할을 한다. 이때 MOS 커패시터의 정전용량(C_{OX})은 다음 식 (3.2)와 같이 나타낼 수 있다[7].

$$C_{OX} = \frac{\epsilon_{OX}}{t_{OX}} \quad (3.2)$$



[그림 3.3] 반도체 기판을 가진 MOS 커패시터



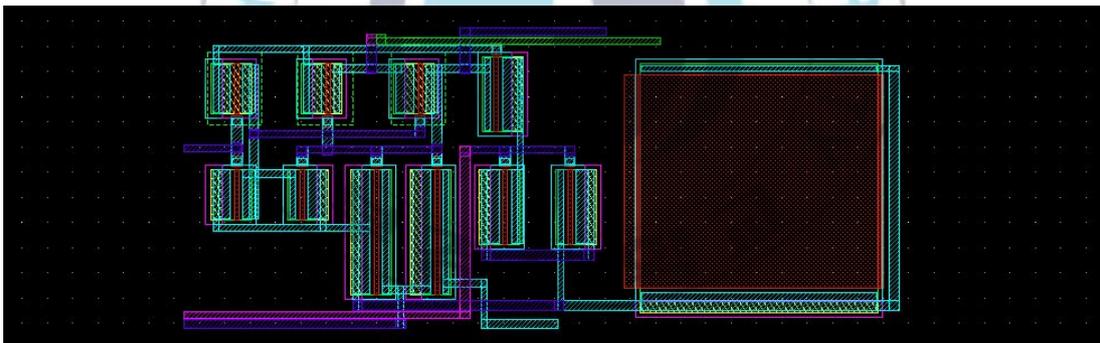
외부에서 인가되는 클럭 신호인 $Clks$ 가 'Low'일 때 샘플링을 위한 스위치 기능을 하는 M_9 는 M_8 과 M_{10} 에 의해서 접지로 연결되며 동작하지 않는다. 이 때 M_3 과 M_5 에 의해서 V_{DD} 가 커패시터 C_1 에 인가되는데, C_1 은 M_9 가 켜진 상태에서 축전지 역할을 하며, M_6 과 M_7 은 C_1 이 충전되는 동안 C_1 과 M_9 가 연결되지 않도록 유지시켜 주는 기능을 한다.

외부에서 인가되는 클럭 신호인 $Clks$ 가 'High'가 되면 M_2 에 의해서 M_6 이 동작하게 되고 C_1 의 전하가 M_9 의 게이트에 유입이 된다. 따라서 M_9 와 M_7 이 동작하게 되고 M_7 의 게이트 단자에서 입력 전압(V_{INT})이 V_{DD} 로 천이되어 나타난다.

한편, 축전지 역할을 하는 커패시터 C_1 은 기존의 MIM 커패시터를 사용하였을 때 샘플-앤-홀드단 면적의 약 77%를 차지한다. [그림 4.2(a)]는 기존의 샘플-앤-홀드단의 레이아웃을 나타낸 것으로, MIM 커패시터의 특성상 정전용량을 높이기 위해서 커패시터의 면적이 커지는 단점이 있다. 반면, [그림 4.2(b)]와 같이 MOS 커패시터를 사용하였을 때 샘플-앤-홀드단의 면적($27.4 \times 10.7 \mu\text{m}^2$)은 기존의 샘플-앤-홀드단 면적($40.2 \times 25.1 \mu\text{m}^2$)보다 약 70%의 면적 감소 효과를 보였다.



(a) 기존의 샘플-앤-홀드단 레이아웃



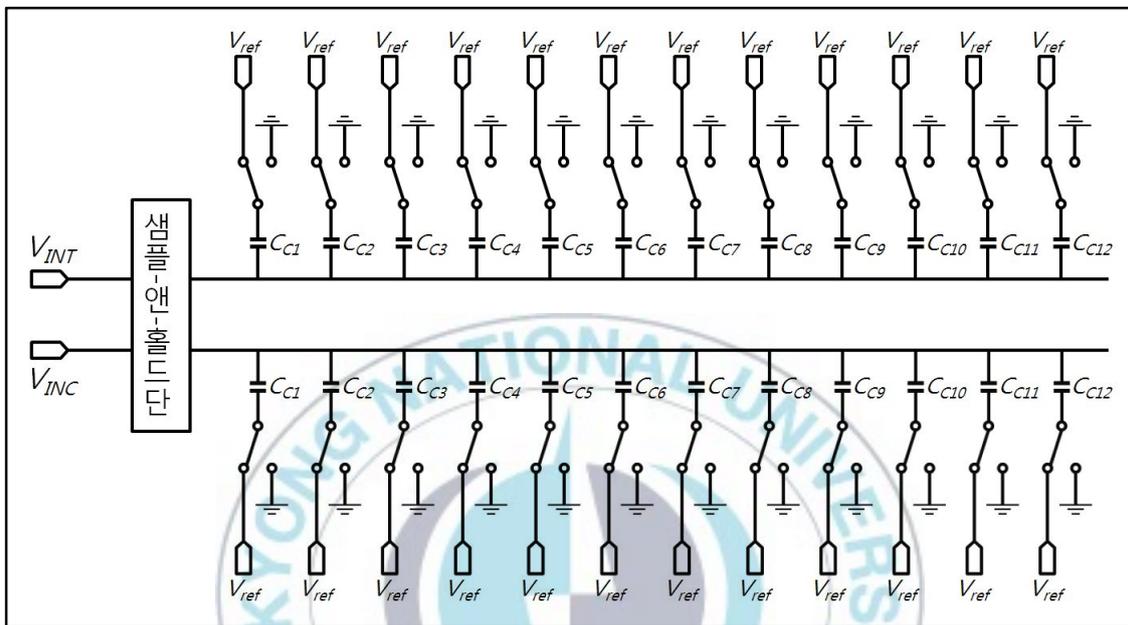
(b) MOS 커패시터를 사용한 샘플-앤-홀드단 레이아웃

[그림 4.2] 샘플-앤-홀드단 레이아웃

4.2 커패시터 어레이 네트워크단

[그림 4.3]은 커패시터 어레이 네트워크단 회로도를 나타낸 것이다. 커

패시터 어레이 네트워크단은 샘플-앤-홀드단으로부터 제공되는 신호를 12비트의 디지털 신호로 단계화할 수 있도록 전하-재분배 기능을 수행한다.



[그림 4.3] 커패시터 어레이 네트워크단 회로도

샘플-앤-홀드단으로부터 인가되는 차동 입력 신호를 받기 위해서 커패시터 어레이 네트워크단은 2개의 어레이 구조를 가지며, 각 어레이는 12개의 커패시터를 병렬로 연결하여 구성한다. 이와 같이 구성된 커패시터 어레이 네트워크단은 전하-재분배 과정을 수행하여 순차적으로 재분배되는 신호를 단계적으로 비교기단으로 전달한다.

일반적으로 12비트의 해상도를 가지는 SAR ADC의 커패시터 어레이 네트워크단은 각 어레이에 13개의 커패시터를 병렬로 연결한 2개의 어레이로 구성한다. 이 경우 전하-재분배 동작의 첫 번째 단계에서, 커패

시터 어레이의 상부 플레이트에는 공통모드 전압이 연결되고 샘플-앤-홀드단으로부터 인가되는 신호는 커패시터 어레이의 하부 플레이트에 연결되어 전하-재분배 동작 및 디지털 코드 결정 과정을 수행하게 된다. 일반적으로 N비트의 해상도를 가지는 SAR ADC의 커패시터 어레이 네트워크단의 평균 스위칭 에너지(E_{avr})는 식 (4.1)과 같다.

$$E_{avr} = \sum_{i=1}^N 2^{N+1-2i} (2^i - 1) CV_{ref}^2 \quad (4.1)$$

그러나 본 연구에서는 샘플-앤-홀드단의 출력 신호를 커패시터 어레이의 상부 플레이트에 직접 인가하여 전하-재분배 동작을 수행한다. 이로 인하여 기존 방식보다 각 어레이당 커패시터 개수를 1개씩 줄여 총 24개의 커패시터를 이용하여 커패시터 어레이 네트워크단을 구성할 수 있다. 본 연구에 적용한 커패시터 어레이 네트워크단의 평균 스위칭 에너지(E'_{avr})는 식 (4.2)와 같다.

$$E'_{avr} = \sum_{i=1}^{N-1} (2^{N-2-i}) CV_{ref}^2 \quad (4.2)$$

[표 4.1]은 일반적인 구조의 커패시터 어레이 네트워크단과 본 연구에 적용한 커패시터 어레이 네트워크단의 커패시터 개수 및 평균 스위칭 에너지를 비교한 것이다. 본 연구에 적용한 커패시터 어레이 네트워크단의 커패시터 개수는 일반적인 구조의 커패시터 어레이 네트워크단보다 2개 적은 개수의 커패시터를 사용하였고, 커패시터의 개수가 줄어들

에 따라 단위 커패시터 개수도 줄어 전체 면적을 줄이는 효과가 있다. 또한 일반적인 구조의 커패시터 어레이 네트워크단의 평균 스위칭 에너지는 $5,459.3 CV_{ref}^2$ 이지만 본 연구에 적용한 커패시터 어레이 네트워크단의 평균 스위칭 에너지는 $1,023.5 CV_{ref}^2$ 로서 저전력 구현에 적합하다 [9].

[표 4.1] 커패시터 어레이 네트워크단의 커패시터 개수 및 평균 스위칭 에너지 비교

| | 일반적인 구조 | 본 연구 |
|------------|----------------------|----------------------|
| 커패시터 개수 | $2(N+1)$ | $2N$ |
| 단위 커패시터 개수 | 2^N | 2^{N-1} |
| 평균 스위칭 에너지 | $5,459.3 CV_{ref}^2$ | $1,023.5 CV_{ref}^2$ |

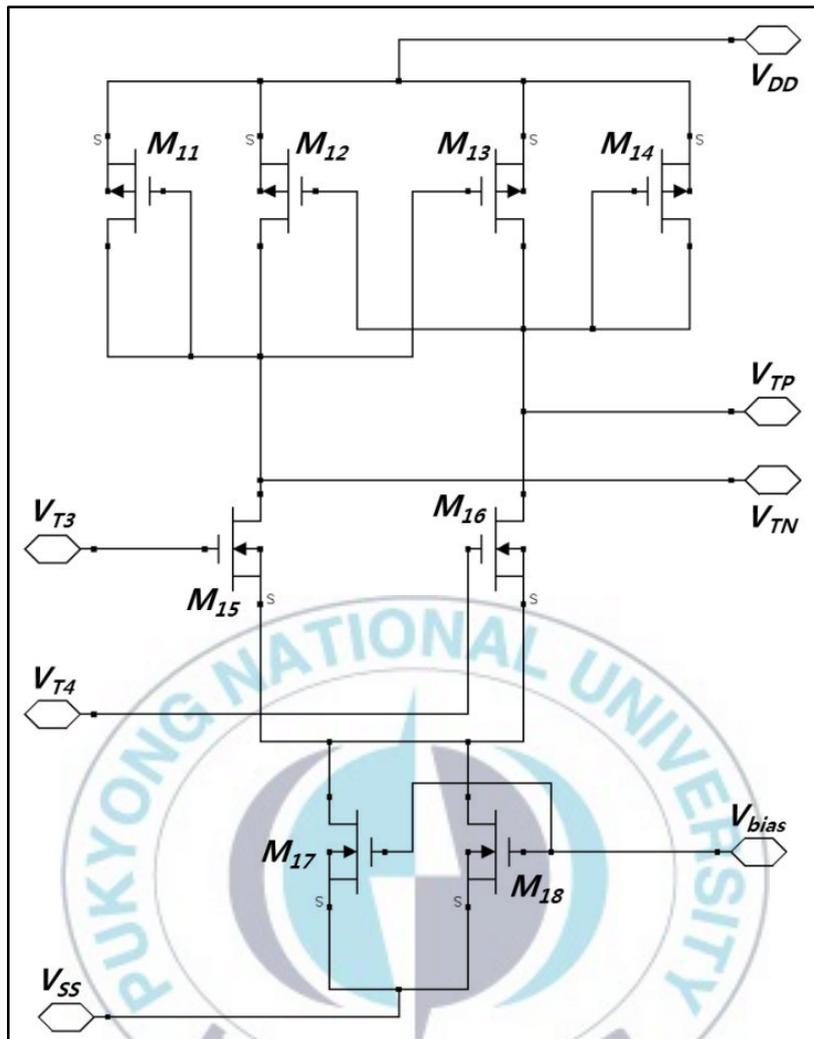
4.3 비교기단

[그림 4.4]는 비교기단의 회로도를 나타낸 것으로, 프리앰프와 래치 및 버퍼로 구성하였다. 비교기단은 커패시터 어레이 네트워크단으로부터 전하-재분배 과정을 통하여 제공된 신호를 비교하여 그 결과를 SAR 제어 로직단과 DAC 제어 로직단의 입력으로 보내는 역할을 한다. 본 연

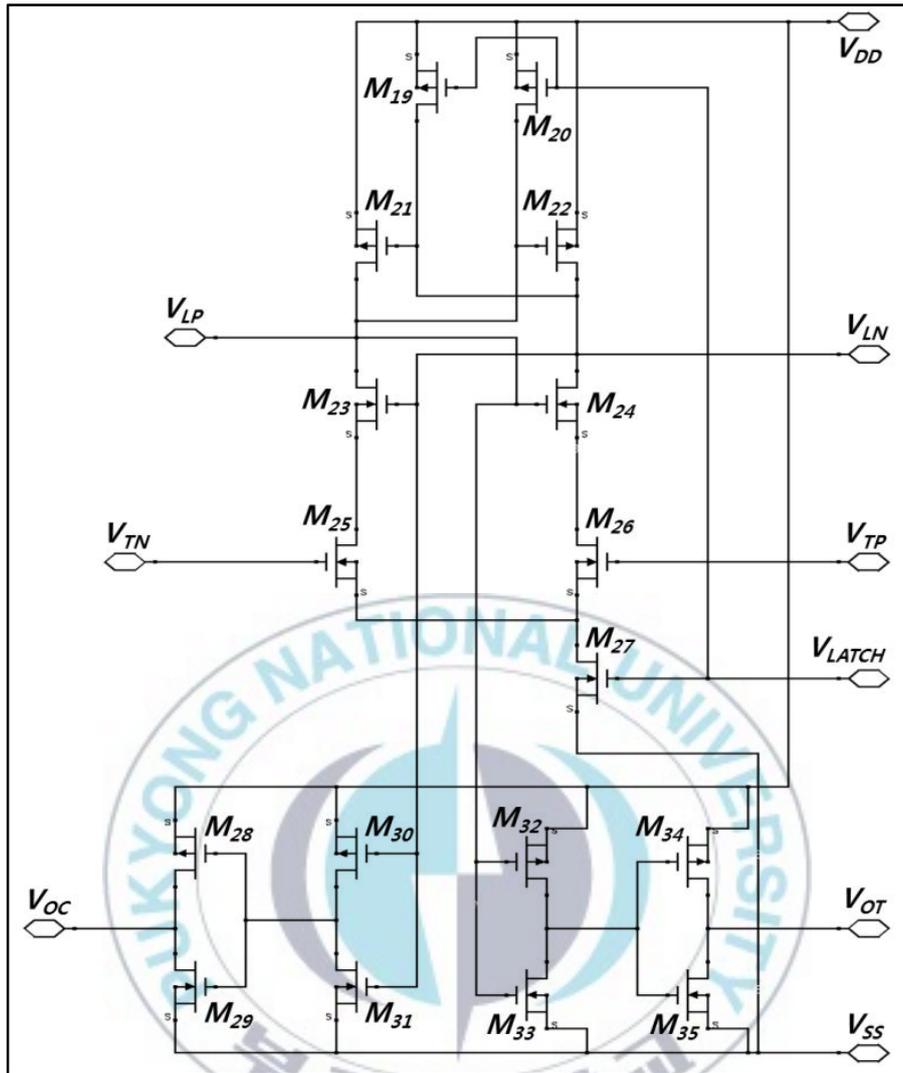
구에 적용한 비교기단은 프리앰프를 사용하여 전압 이득을 증가시켜서 래치의 오프셋에 의한 영향을 줄이고 원하는 정확도를 가지도록 하였다.

[그림 4.4(a)]는 프리앰프의 회로도를 나타낸 것이다. 프리앰프의 입력에는 커패시터 어레이 네트워크단으로부터 전하-재분배 과정을 거친 신호인 V_{T3} 과 V_{T4} 가 인가된다. 인가된 신호에 의해 차동 입력 전압이 나타나고 프리앰프는 이를 이득만큼 증폭시켜 출력 신호인 V_{TN} 과 V_{TP} 를 래치로 전달한다.

[그림 4.4(b)]는 래치 및 버퍼의 회로도를 나타낸 것이다. $M_{19} \sim M_{27}$ 로 구성된 래치는 평형 상태에서 V_{LN} 과 V_{LP} 가 V_{DD} 로 미리 충전되어 입력 신호를 기다린다. 샘플-앤-홀드단의 클럭 신호인 $Clks$ 가 'Low'가 되기 직전에 래치 신호가 'High'가 되면 M_{27} 이 켜진다. 이때 M_{19} 와 M_{20} 이 꺼지면서 래치는 M_{25} 와 M_{26} 의 게이트 입력 신호의 차이를 순간적으로 감지하게 된다. 감지된 입력 신호의 차이는 M_{21} , M_{22} , M_{23} 및 M_{24} 로 이루어진 퀘환을 통해 로직 레벨로 신호를 출력한다. $M_{28} \sim M_{35}$ 로 구성된 버퍼는 래치와 직렬로 연결되어 비교기의 전압 레벨을 전원 전압 레벨부터 접지 레벨까지 보장하는 역할을 하는데, 래치의 출력 신호는 버퍼를 통해 V_{OT} 및 V_{OC} 로 출력된다.



(a) 프리앰프 회로도



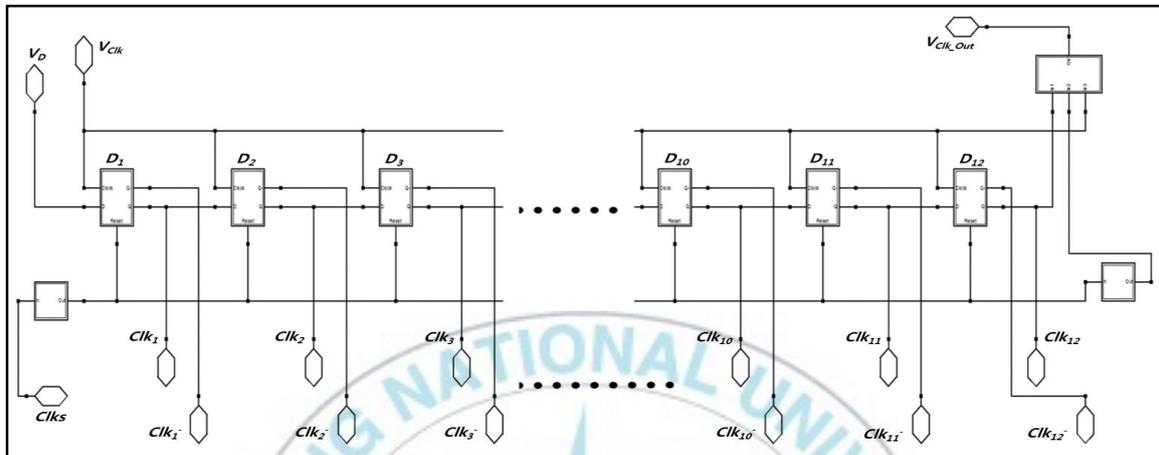
(b) 래치 및 버퍼 회로도

[그림 4.4] 비교기단 회로도

4.4 SAR 제어 로직단

[그림 4.5]는 SAR 제어 로직단 회로도를 나타낸 것이다. SAR 제어 로직단은 12비트의 디지털 신호를 단계적으로 얻을 수 있도록 12개의 순차적인 제어 신호를 만드는 동작을 수행한다. 비교기단으로부터 신호를

입력 받아 12개의 순차적인 제어 신호를 만들고, 만들어진 제어 신호를 클럭 형태로 DAC 제어 로직단으로 전달한다. SAR 제어 로직단은 12개의 D-플립플롭과 다수의 논리 게이트로 구성한다.



[그림 4.5] SAR 제어 로직단 회로도

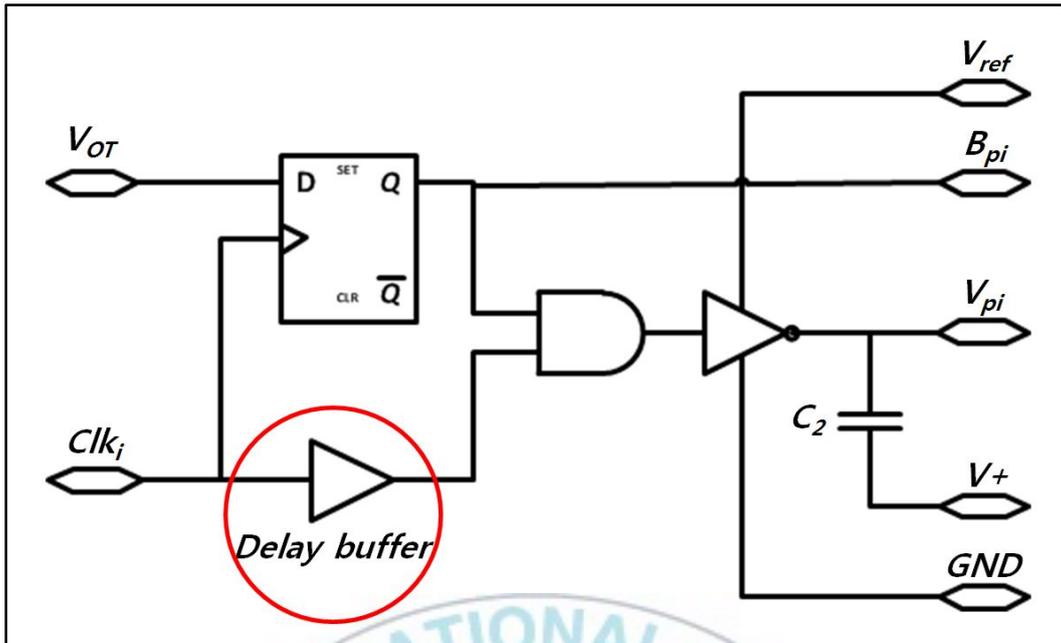
비교기단의 출력 신호인 V_{OT} 와 V_{OC} 는 NAND 게이트를 거쳐 SAR 제어 로직단에 인가된다. 그리고 샘플-앤-홀드단의 클럭 신호인 $Clks$ 가 'Low'일 때 SAR 제어 로직단의 리셋이 'High'가 되도록 구현하였다. SAR 제어 로직단의 출력 신호인 V_{Clk_Out} 은 비교기단의 'LATCH' 제어 신호로 사용한다. SAR 제어 로직단에서 순차적으로 출력되는 신호인 $Clk_1 \sim Clk_{12}$ 는 비교기단의 출력 신호와 연동하여 디지털 출력 코드를 샘플링하고 커패시터 어레이 네트워크단의 스위칭 과정을 수행하기 위한 제어 신호로 사용한다.

SAR 제어 로직단에서 만들어진 12개의 순차적인 제어 신호를 이용하여 생성된 12비트의 2진 코드는 '100000000000'에서 시작을 하고 이후

에는 비교기단의 결과에 따라 결정된다. 비교기단의 첫 번째 결과가 'High'가 되면 SAR 제어 로직단으로부터 출력되는 클럭 제어 신호와 DAC 제어 로직단이 연동되어 '010000000000'을 출력한다. 반대로 비교기단의 출력이 'Low'이면 '110000000000'을 출력하며 이와 같은 과정을 12번 반복하여 최종적으로 12비트의 2진 코드를 결정한다.

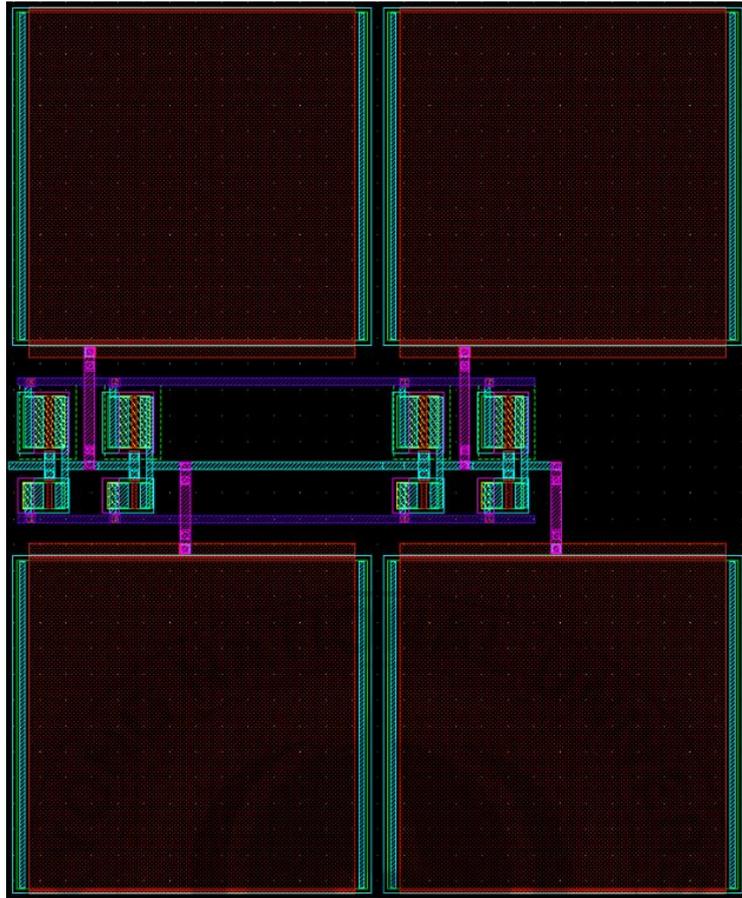
4.5 DAC 제어 로직단

[그림 4.6]은 DAC 제어 로직단 회로도를 나타낸 것이다. DAC 제어 로직단은 SAR 제어 로직단으로부터 제공받은 12개의 클럭 신호와 비교기단의 비교 정보 신호에 따라 동작하는데, 커패시터 어레이 네트워크단의 커패시터가 기준 전압이나 접지로 스위칭되도록 전하-재분배 과정을 제어하여 그 결과를 DAC단으로 보내는 역할을 한다. DAC 제어 로직단은 D-플립플롭, 딜레이 버퍼, AND 게이트 및 인버터로 구성한다.



[그림 4.6] DAC 제어 로직단 회로도

[그림 4.7]은 딜레이 버퍼의 레이아웃을 나타낸 것이다. DAC 제어 로직단의 구성 요소 중 하나인 딜레이 버퍼는 1개의 인버터와 4개의 커패시터로 이루어져 있는데 딜레이 버퍼에 사용되는 커패시터의 면적은 DAC 제어 로직단 면적의 대부분을 차지한다. DAC 제어 로직단의 면적을 줄이기 위하여 딜레이 버퍼에 사용되는 MIM 커패시터를 대신해 MOS 커패시터를 적용함으로써 딜레이 버퍼의 면적을 기존보다 약 75% 줄였고, 이로 인해 DAC 제어 로직단의 면적이 줄어 전체 칩 면적을 줄이는 효과가 있다.

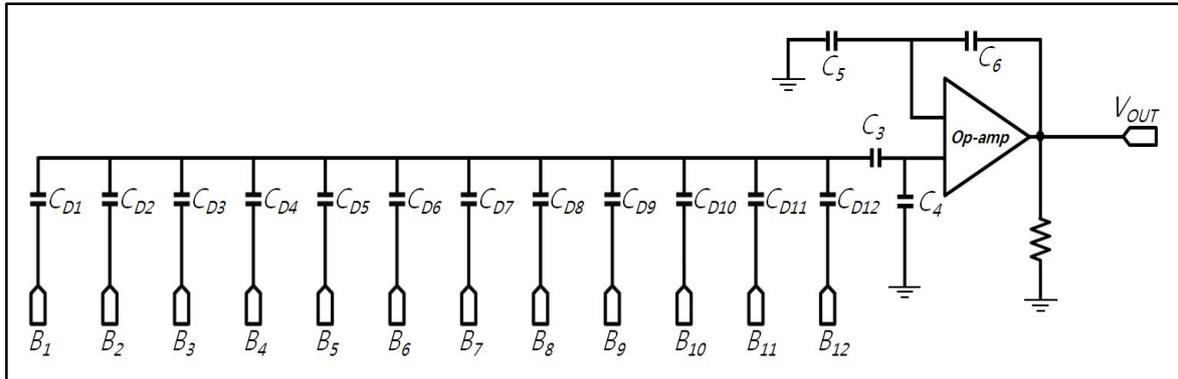


[그림 4.7] 딜레이 버퍼 레이아웃

4.6 DAC단

[그림 4.8]은 DAC단 회로를 나타낸 것이다. DAC단은 DAC 제어 로직 단으로부터 전달된 디지털 신호를 아날로그 신호로 변환하여 SAR ADC가 연속 근사화 과정을 수행할 수 있도록 비교기단으로 보내는 기능을 한다. DAC단은 Op-amp와 12개의 커패시터를 이용하여 12비트의 해상도를 가지도록 구성하였고, 4.2절의 커패시터 어레이 네트워크단과 같은 원리로 동작하는데 비교기 대신 버퍼를 사용하여 디지털 코드에 해당하

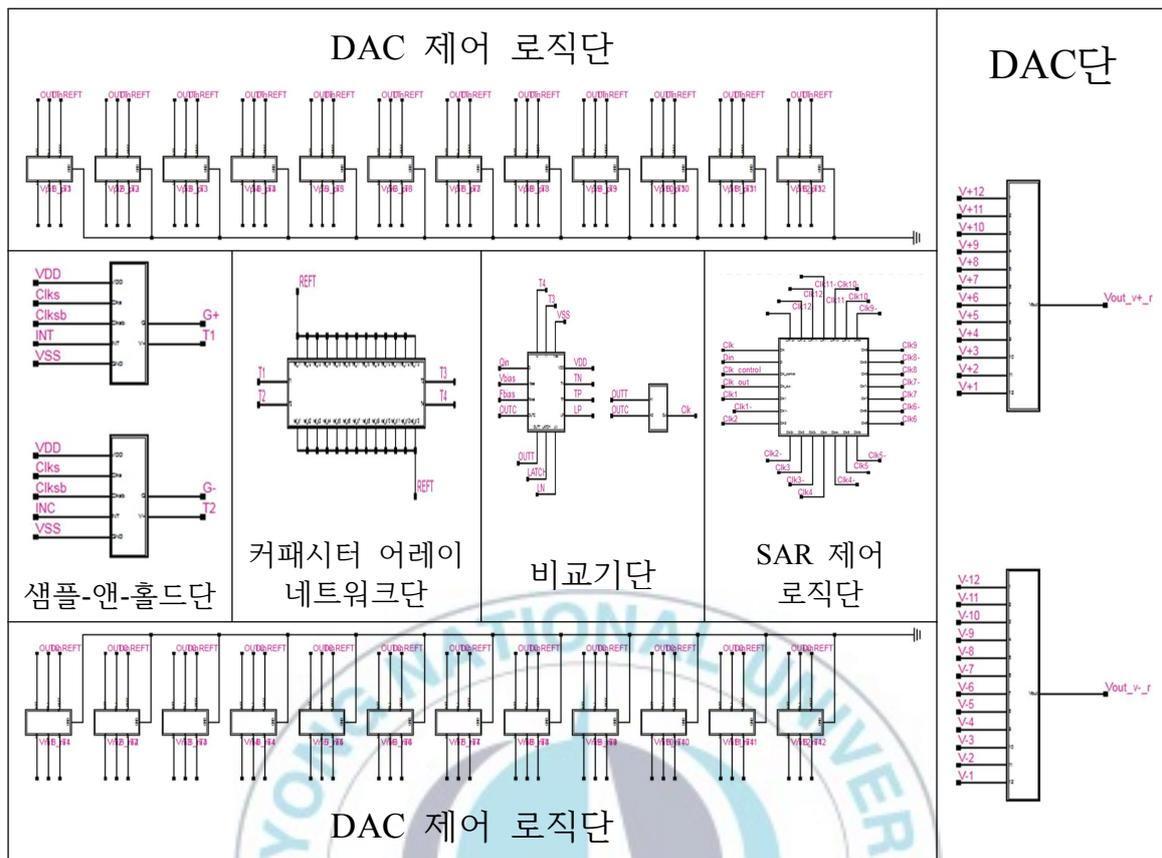
는 아날로그 출력을 얻을 수 있다.



[그림 4.8] DAC단 회로도

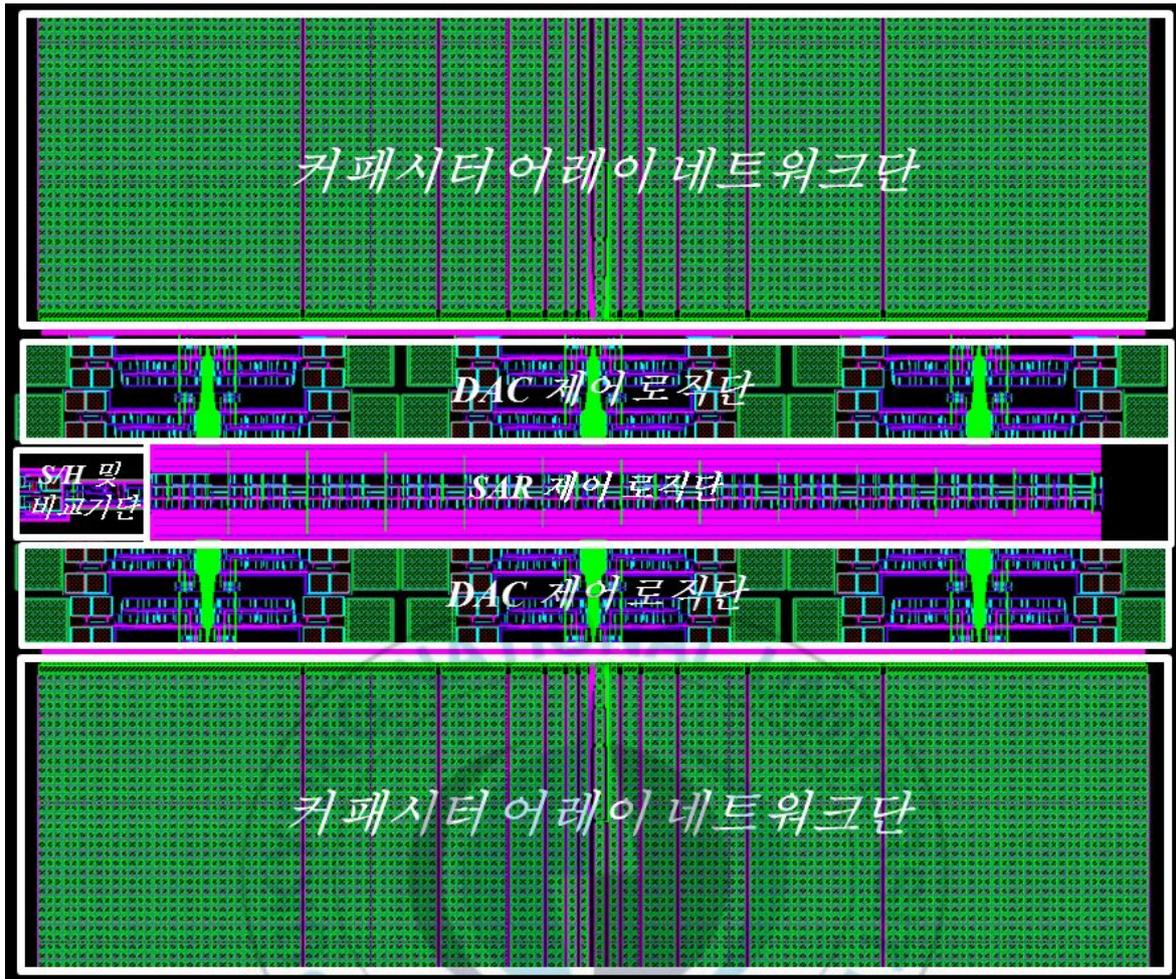
4.7 SAR ADC

[그림 4.9]는 본 연구에서 구현하고자 하는 SAR ADC의 전체 블록도를 나타낸 것이다. SAR ADC는 샘플-앤-홀드단, 커패시터 어레이 네트워크단, 비교기단, SAR 제어 로직단, DAC 제어 로직단 및 DAC단으로 구성하였다.



[그림 4.9] SAR ADC의 전체 블록도

[그림 4.10]은 본 연구에서 구현하고자 하는 SAR ADC의 전체 레이아웃을 나타낸 것이다. 전체 칩 면적을 줄이기 위하여 커패시터 어레이 네트워크단에 사용되는 전체 커패시터 및 단위 커패시터 개수를 줄였다. 그리고 DAC 제어 로직단의 면적 중 많은 부분을 차지하는 딜레이 버퍼의 면적을 줄이기 위하여 딜레이 버퍼를 구성하는 MIM 커패시터를 MOS 커패시터로 대체하여 설계 및 레이아웃을 수행하였다. 레이아웃 결과 유효 칩 면적은 0.51mm^2 으로 구현하였다.

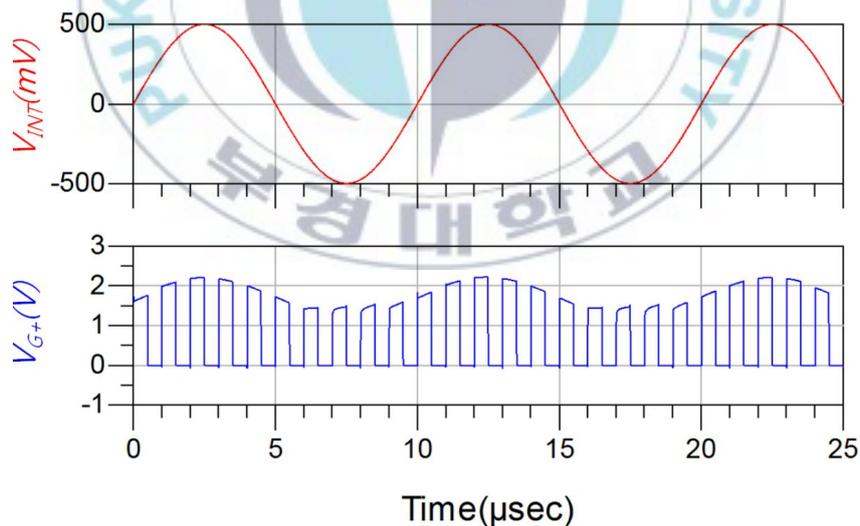


[그림 4.10] SAR ADC의 전체 레이아웃

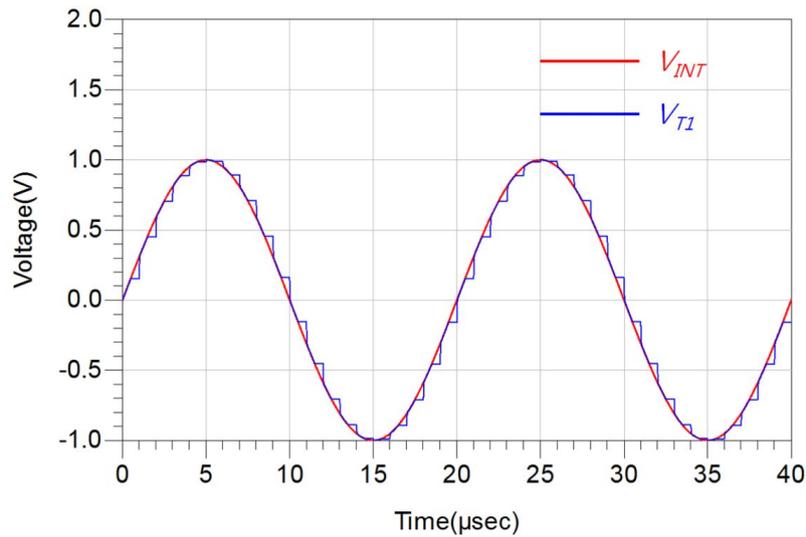
제5장 결과 및 분석

5.1 시뮬레이션 결과

[그림 5.1]은 샘플-앤-홀드단의 시뮬레이션 결과를 나타낸 것이다. [그림 5.1(a)]는 [그림 4.2] M_9 의 게이트 출력(V_{G+})에 대한 시뮬레이션 결과로서 입력 전압(V_{INT})이 V_{DD} 로 천이됨을 알 수 있다. [그림 5.1(b)]는 샘플-앤-홀드단의 출력 신호인 V_T 에 대한 시뮬레이션 결과로서 샘플-앤-홀드단에 사용되는 MIM 커패시터 대신 MOS 커패시터를 적용하였음에도 입력 신호가 1MSps의 정상적인 속도로 샘플링이 되는 것을 확인할 수 있다.



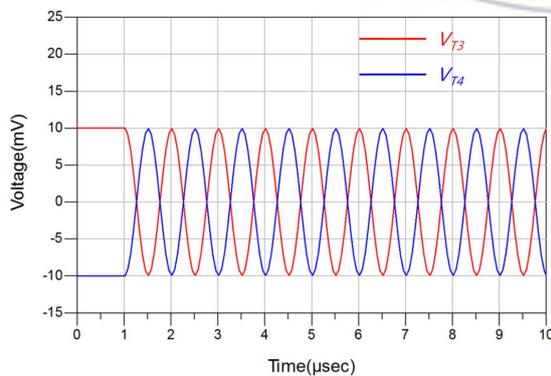
(a) 입력 신호(V_{INT})와 M_9 의 게이트 신호(V_{G+})



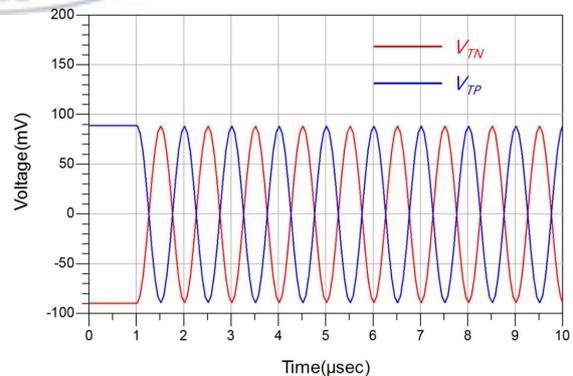
(b) 입력 신호(V_{INT})와 샘플링된 신호(V_{T1})

[그림 5.1] 샘플-앤-홀드단 시뮬레이션 결과

[그림 5.2]는 비교기단을 구성하는 프리앰프의 시뮬레이션 결과를 나타낸 것이다. 프리앰프의 입력 신호로 5mV가 인가되었고, 출력 신호는 입력 신호에 비해 약 19배 증폭된 신호가 출력되었다. 이렇게 증폭된 신호는 래치로 전달된다.



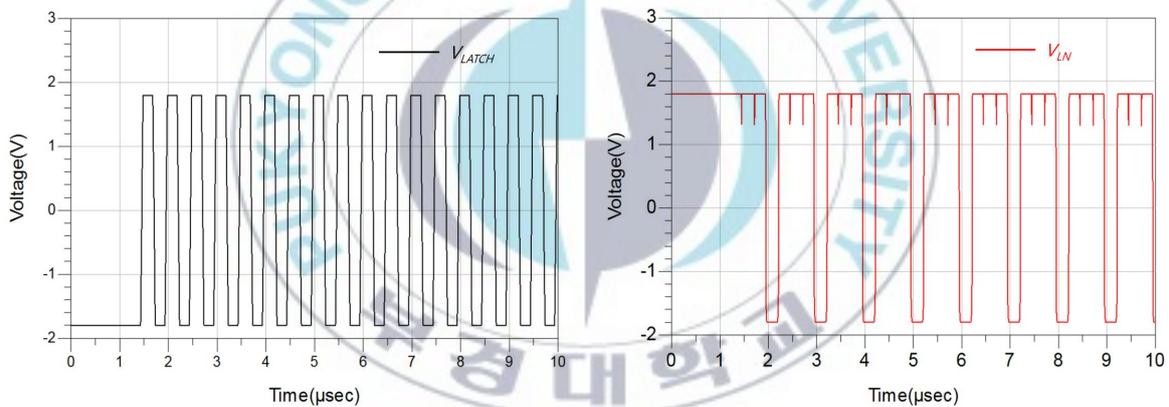
(a) 프리앰프 입력 신호



(b) 프리앰프 출력 신호

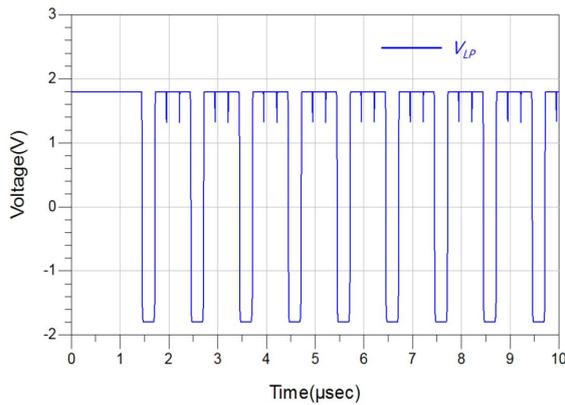
[그림 5.2] 프리앰프 시뮬레이션 결과

[그림 5.3]은 비교기단을 구성하는 래치의 시뮬레이션 결과를 나타낸 것이다. [그림 5.3(a)]와 같이 래치 클럭 신호(V_{LATCH})가 ‘Low’일 때 V_{LN} 과 V_{LP} 는 모두 ‘High’가 되어 입력 신호를 기다린다. V_{LATCH} 가 ‘High’가 되면 V_{LN} 과 V_{LP} 는 출력이 서로 반대가 되는 ‘High’ 또는 ‘Low’로 값이 결정된다. 최종적인 비교기단의 출력 신호는 래치의 출력이 변할 때 같이 변하게 됨으로 래치가 ‘High’일 때 V_{OC} 및 V_{OT} 의 출력값이 결정된다. 이렇게 결정된 비교기단의 출력 신호는 SAR 제어 로직단과 DAC 제어 로직단으로 전달된다.

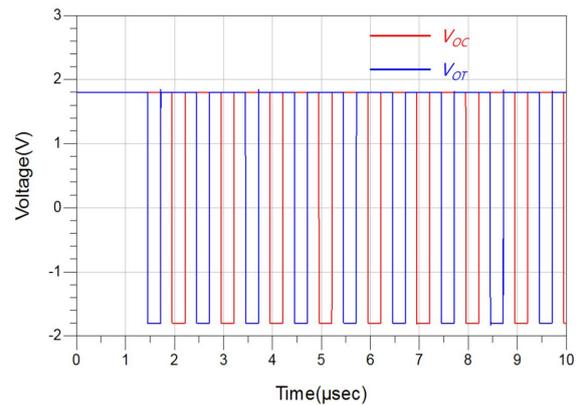


(a) 래치 클럭 신호

(b) 래치 출력 신호(V_{LN})



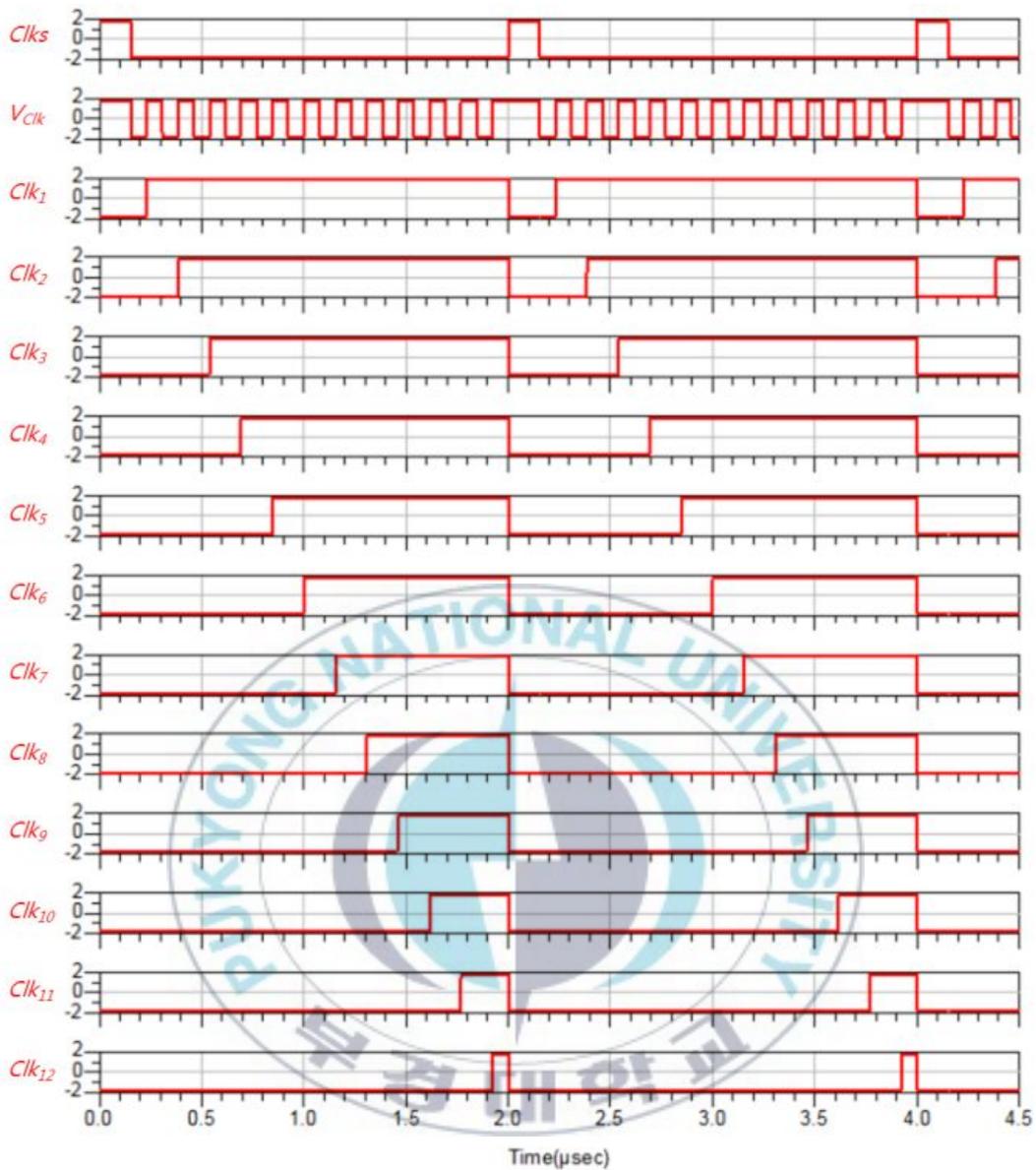
(c) 래치 출력 신호(V_{LP})



(d) 비교기단 출력 신호

[그림 5.3] 래치 시뮬레이션 결과

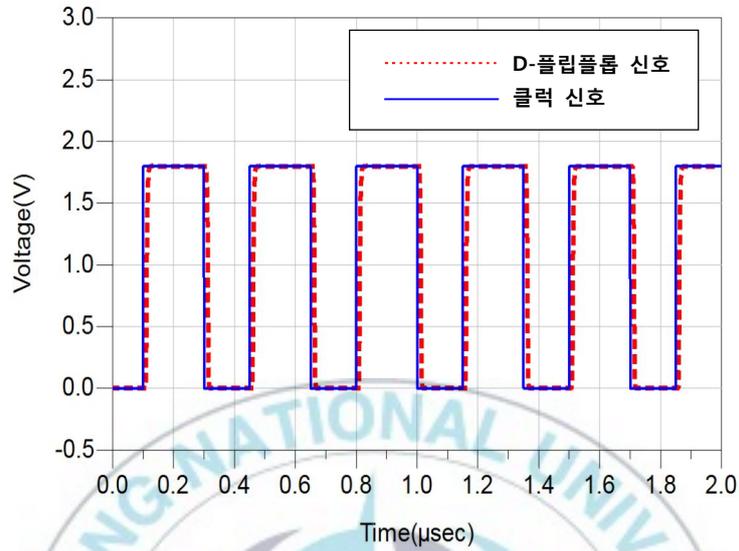
[그림 5.4]는 SAR 제어 로직단의 시뮬레이션 결과를 나타낸 것이다. SAR 제어 로직단에서 순차적으로 출력되는 12개의 클럭 신호는 $Clks$ 신호가 리셋된 후에 커패시터 어레이 네트워크단의 스위칭 과정을 위한 제어 신호로 사용된다. 그리고 한 주기의 제어가 끝나면 기준 전압으로 스위칭이 이루어질 수 있도록 12개의 클럭이 모두 ‘Low’가 된다.



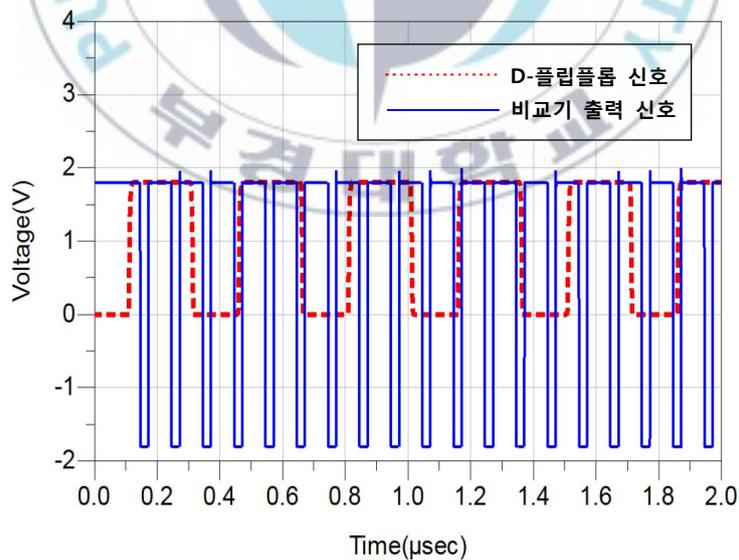
[그림 5.4] SAR 제어 로직단 시뮬레이션 결과

[그림 5.5]는 DAC 제어 로직단의 시뮬레이션 결과를 나타낸 것이다. [그림 5.5(a)]와 같이 D-플립플롭은 SAR 제어 로직단으로부터 제공되는 순차적인 클럭 신호의 상승에지에서 비교기 출력을 샘플링하게 되는데, [그림 5.5(b)]와 같이 비교기 출력이 'High'가 되면 기준 전압에서 접지

로 스위칭하고 비교기 출력이 'Low'가 되면 기준 전압에 연결된 상태를 유지한다.



(a) D-플립플롭 신호와 클럭 신호

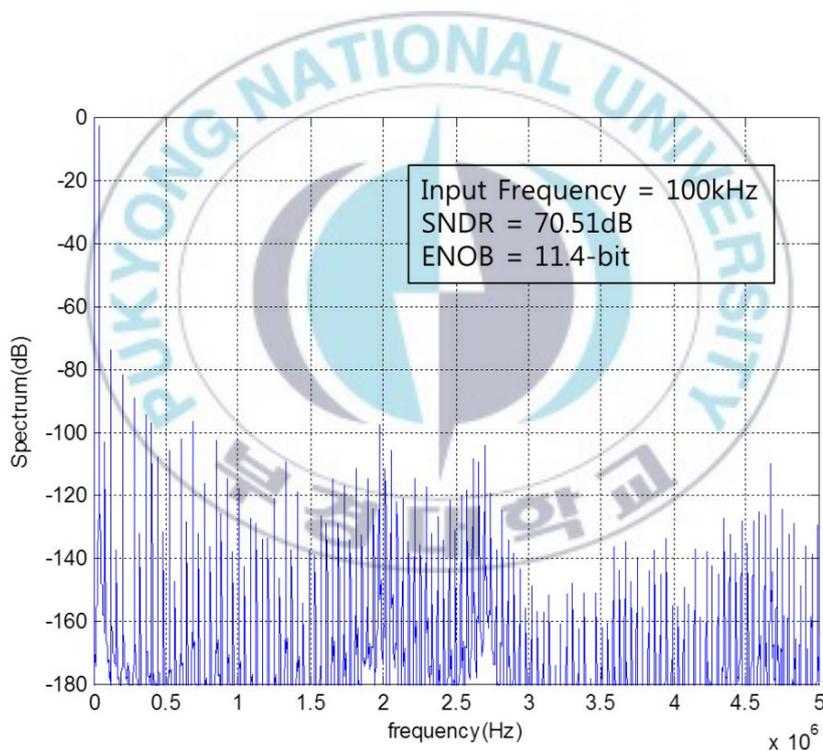


(b) D-플립플롭 신호와 비교기 출력 신호

[그림 5.5] DAC 제어 로직단 시뮬레이션 결과

5.2 성능 분석

[그림 5.6]는 입력 신호의 주파수가 100kHz일 때, 구현한 SAR ADC의 출력 신호를 주파수 축에서 고속 푸리에 변환(Fast Fourier Transform, FFT)을 거친 결과를 나타낸 것이다. SAR ADC의 주요 성능 지수인 SNDR은 70.51dB였고, 식 (2.1)로 정의되는 또 다른 성능 지수인 ENOB는 11.4비트로 기존의 연구결과에 비해 우수한 특성을 보였다[10-14].



[그림 5.6] 고속 푸리에 변환 결과

[표 5.1]은 본 연구에서 구현한 SAR ADC의 성능 요약 및 기존의 연구결과와 비교한 것이다. SNDR과 ENOB는 값이 클수록 우수한 특성을

나타내고, 소비전력과 유효 칩 면적은 값이 작을수록 우수한 특성을 나타낸다. [표 5.1]에서 알 수 있듯이 본 연구에서 구현한 SAR ADC는 동일한 해상도를 가지는 기존 연구결과에 비해 SNDR, ENOB, 소비 전력 및 유효 칩 면적에서 우수한 특성을 보였다.

[표 5.1] SAR ADC 성능 요약 및 비교

| 참고문헌 | 본 연구 | [10] | [11] | [12] | [13] | [14] |
|---------------------------|-------|---------|-------|--------------------|------|----------------|
| 구조 | SAR | SAR | SAR | SAR | SAR | SAR |
| 해상도(비트) | 12 | 12 | 12 | 12 | 12 | 12 |
| 변환 속도(Sps) | 1M | 1M | 1M | 1M | 200K | 1M |
| ENOB(비트) | 11.4 | 11.3 | 10.5 | 11 | 11.4 | 10.3 |
| SNDR(dB) | 70.51 | 69.79 | 64.97 | 67.98 | - | 63.76 |
| 소비 전력(mW) | 1.93 | 15 | 2 | 2.2 | 6.6 | 10 |
| 공급 전압(V) | 1.8 | 3.0-5.5 | 1.8 | 1.8(A/D) 3.3(A) | 3.3 | 1(A) 3.3(D) |
| 유효 칩 면적(mm ²) | 0.51 | 1.5 | 1 | 1 | 2 | 0.31 |
| 공정(nm) | 180 | 600 | 180 | 180 | 130 | 90 |

제6장 결론

본 논문에서는 MOS 커패시터를 이용하여 저면적 시스템에 적용이 용이한 연속 근사화 레지스터 아날로그-디지털 변환기(Successive Approximation Register Analog-to-Digital Converter, SAR ADC)를 구현하였다. SAR ADC의 전체 면적 중 많은 부분을 차지하는 커패시터 부분의 면적을 줄이기 위하여 기존에 사용하던 MIM 커패시터를 대신하여 MOS 커패시터를 적용함으로써 전체 칩 면적을 줄였고, 전력소모를 최소화하기 위한 최적화를 고려하여 설계하였다.

SAR ADC는 샘플-앤-홀드단, 커패시터 어레이 네트워크단, 비교기단, SAR 제어 로직단, DAC 제어 로직단 및 DAC단으로 구성하였고, 구현된 SAR ADC는 12비트의 해상도와 1MSps의 속도 성능을 가진다.

본 논문에서 구현한 SAR ADC는 매그나칩/SK하이닉스 0.18 μm CMOS 공정 기술을 이용하여 설계 및 레이아웃을 진행하였다. 그 결과 70.51dB의 높은 SNDR과 11.4비트의 우수한 ENOB 특성을 보였다. 또한 1.93mW의 낮은 소비전력 특성과 0.51mm²의 작은 칩 면적 특성을 보였다.

참고문헌

- [1] 성명우, 이정훈, 류지열, “저면적 12비트 1MSps 연속 근사형 레지스터 아날로그-디지털 변환기 설계”, 한국정보기술학회 논문지, 제13권, 제1호, 2015년 1월.
- [2] 성명우, 김철환, 최성규, 최근호, 김신곤, 한기정, Habib Rastegar, 류지열, 노석호, “MOS 커패시터를 이용한 12비트 1MSps 연속 근사화 레지스터 아날로그-디지털 변환기 설계”, 한국정보통신학회 종합학술대회 논문집, 제18권, 제2호, pp. 293-294, 2014년 10월.
- [3] 최성규, 성명우, 김성우, 류지열, “시스템-온-칩을 위한 12비트 1MSps 연속 근사형 아날로그-디지털 변환기 설계”, 한국정보기술학회 논문지, 제12권, 제5호, pp. 1-6, 2014년 5월.
- [4] 최성규, 김철환, 성명우, 김신곤, 임재환, 최근호, Habib Rastegar, 류지열, 노석호, “저전력 12비트 1MSps 연속 근사형 레지스터 아날로그-디지털 변환기 설계”, 한국정보통신학회 종합학술대회 논문집, 제18권, 제1호, pp. 156-157, 2014년 5월.
- [5] 성명우, 최성규, 김성우, 김신곤, 이주섭, 오세명, 서민수, 류지열, “0.18 μ m CMOS 공정을 이용한 12-bit 1MSps 연속 근사화 아날로그-디지털 변환기 설계”, 한국정보통신학회 종합학술대회 논문집, 제17권, 제2호, pp. 365-367, 2013년 10월.
- [6] 최성규, 김성우, 성명우, 류지열, “12bit 1MSps CMOS 연속 근사화 아날로그-디지털 변환기 설계”, 한국정보통신학회 종합학술대회 논문집, 제17권, 제1호, pp. 352-353, 2013년 5월.

- [7] D. A. Neamen, *Semiconductor Physics and Devices*, McGraw-Hill, 2003.
- [8] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter", *IEEE Journal of Solid-State Circuits*, vol. 34, no. 5, pp. 599-606, May 1999.
- [9] C. C. Liu, S. J. Chang, G. Y. Huang and Y. Z. Lin, "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure", *IEEE Journal of Solid-State Circuits*, vol. 45, no. 4, pp. 731-740, Apr. 2010.
- [10] G. Promitzer, "12 bit low power fully differential switched capacitor non-calibrating successive approximation ADC with 1MS/s", *Proceedings of 26th European Solid-State Circuits Conference*, vol. 26, No. 1, pp. 176-179, Sep. 2000.
- [11] 민경직, 김주성, 조후현, 부영건, 허정, 이강윤, "고해상도 저전력 SAR ADC의 면적 최적화를 위한 타이밍 레지스터 구조 설계", *대한전자공학회 논문지*, 제47권, SD편, 제8호, pp. 47-55, 2010년 8월.
- [12] 김주성, 민경직, 박형구, 박영호, 김상우, 남철, 이강윤, "저전력, 소면적에 적합한 1MSPS, 12-bit, SAR형 아날로그디지털 변환기 설계", *대한전자공학회 하계종합학술대회*, 제32권, 제1호, pp. 433-434, 2009년 7월.
- [13] A. Shrivastava, "12-bit non-calibrating noise-immune redundant SAR ADC for System-on-a-chip", *Proceedings of IEEE International Symposium on Circuits and Systems*, pp. 1515-1518, May 2006.
- [14] C. Shan, T. Xingyuan, C. Naiqiong, and Y. Yintang, "A 12-bit

Non-calibrating SAR A/D Converter based on 90nm CMOS Process”,
Proceedings of International Conference on Machine Vision and
Human-machine Interface, pp. 784-787, Apr. 2010.



별 첨

[게재 논문]

| 논문제목 (Paper Title) | 논문 발표일 (Date) | 논문지명 (Journal Title) | 저자 구분 |
|--|---------------------|-------------------------|----------|
| Low-Power CMOS Programmable Gain Amplifier with a DC-offset Cancellation for a Direct Conversion Receiver | 게재확정 | Scopus | 제2저자 |
| 저면적 12비트 1MSps 연속 근사형 레지스터 아날로그-디지털 변환기 설계 | 2015.01 | 한국정보기술학회 논문지 | 제1저자 |
| 시스템-온-칩을 위한 12비트 1MSps 연속 근사형 아날로그-디지털 변환기 설계 | 2014.05 | 한국정보기술학회 논문지 | 제2저자 |

[발표 논문]

| 논문제목 (Paper Title) | 논문 발표일 (Date) | 논문지명 (Journal Title) | 저자 구분 |
|---|---------------------|---|----------|
| MOS 커패시터를 이용한 12비트 1MSps 연속 근사화 레지스터 아날로그-디지털 변환기 | 2014.10 | 한국정보통신학회 종합학술대회 논문집 | 제1저자 |
| 직류 오프셋 제거 기능을 가진 저 전력 PGA 설계 | 2014.10 | 한국정보통신학회 종합학술대회 논문집 | 제2저자 |
| 고 이득 및 저 잡음 77GHz CMOS 저 잡음 증폭기 설계 | 2014.10 | 한국정보통신학회 종합학술대회 논문집 | 제4저자 |
| 고 변환이득 및 저 전력 24GHz CMOS 믹서 설계 | 2014.10 | 한국정보통신학회 종합학술대회 논문집 | 제4저자 |
| 저전력 12비트 1MSps 연속 근사형 레지스터 아날로그-디지털 변환기 설계 | 2014.05 | 한국정보통신학회 종합학술대회 논문집 | 제3저자 |
| A High Linearity Ultra-Wide-Band(UWB) LNA | 2014.05 | 한국정보기술학회 하계종합학술대회 논문집 | 제4저자 |
| 차량 충돌 방지 단거리 레이더용 24-GHz CMOS 고주파 전력 증폭기 설계 | 2014.05 | 한국정보통신학회 종합학술대회 논문집 | 제4저자 |
| 차량 충돌 방지 장거리 레이더용 77-GHz CMOS 믹서 설계 | 2014.05 | 한국정보통신학회 종합학술대회 논문집 | 제4저자 |
| 24GHz/77GHz 차량 레이더 센서를 이용한 차량충돌 방지 알고리즘 설계 | 2014.05 | 한국정보통신학회 종합학술대회 논문집 | 제4저자 |
| 0.18um CMOS 공정을 이용한 12-bit 1MSps 연속 근사화 아날로그-디지털 변환기 설계 | 2013.10 | 한국정보통신학회 종합학술대회 논문집 | 제1저자 |
| 차량 충돌 예방 레이더용 24GHz 전압제어발진기 설계 | 2013.10 | 한국정보통신학회 종합학술대회 논문집 | 제1저자 |
| A New Low-Power Programmable CMOS Gain Amplifier | 2013.07 | Advances in Information Technology and Computer Science | 제6저자 |
| 12bit 1MSps CMOS 연속 근사화 아날로그-디지털 변환기 설계 | 2013.05 | 한국정보통신학회 종합학술대회 논문집 | 제3저자 |