



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공 학 석 사 학 위 논 문

직류 오프셋 제거기능을 가진 저전력 자동
이득 조절 증폭기 설계



부 경 대 학 교 대 학 원

정보통신공학과

김 철 환

공 학 석 사 학 위 논 문

직류 오프셋 제거기능을 가진 저전력 자동
이득 조절 증폭기 설계

지도교수 : 류 지 열

이 논문을 공학석사 학위논문으로 제출함.

2015년 2월

부 경 대 학 교 대 학 원

정보통신공학과

김 철 환

김철환의 공학석사 학위논문을
인준함.



주	심	공학박사	하 덕 호 (인)
위	원	공학박사	박 규 칠 (인)
위	원	공학박사	류 지 열 (인)

직류 오프셋 제거기능을 가진 저전력 자동 이득 조절 증폭기 설계
2015년 2월 김철환



목 차

I. 서론	01
II. 직류 오프셋을 제거한 PGA 회로	03
2.1. PGA의 기본개념	03
2.2. 제안된 직류 오프셋 제거 PGA의 회로 구조	05
III. 제안된 직류 오프셋 제거 PGA 회로	07
3.1. 축퇴 저항 차동증폭기	07
3.2. Gm-boosting 궤환 시스템	11
3.3. 변형된 Gm-boosting 증폭기의 이득 조절단	15
3.4. 직류 오프셋 제거 회로	20
3.4.1. 직류 오프셋	20
3.4.2. 직류 오프셋 제거	21
3.4.3. 제안하는 직류 오프셋 제거 회로	23
IV. 시뮬레이션 결과 및 분석	28
4.1. 직류 오프셋을 제거한 시간 응답 시뮬레이션	28
4.2. 주파수 응답 시뮬레이션	31
4.3. CMRR 시뮬레이션	32
4.4. 고조파 균형 시뮬레이션	34
V. 결 론	36
참 고 문 헌	37
별 첨	39

그림 목차

[그림 2.1] 아날로그 전단부 블록다이어그램	04
[그림 2.2] 제안된 PGA 구성 요소 블록다이어그램	05
[그림 3.1] 축퇴저항 차동증폭기	08
[그림 3.2] 간단한 부궤환 시스템 블록다이어그램	11
[그림 3.3] 변형된 능동부하 부궤환 차동증폭기	13
[그림 3.4] 부궤환 회로의 소신호 모델	13
[그림 3.5] 제안된 PGA	16
[그림 3.6] 제안된 이득 조절단	17
[그림 3.7] 차동쌍 오프셋 측정회로	20
[그림 3.8] 정전용량 단순 증폭기	21
[그림 3.9] 보조 증폭기를 추가한 오프셋 제거 블록다이어그램	22
[그림 3.10] 밀러효과 AC-Coupling	25
[그림 3.11] 제안된 직류 오프셋 제거 블록다이어그램	26
[그림 3.12] 제안된 직류 오프셋 제거 PGA 회로	26
[그림 3.13] 제안된 직류 오프셋 제거 PGA 레이아웃	26
[그림 4.1] 직류 오프셋 제거 전 시간영역 시뮬레이션	29
[그림 4.2] 직류 오프셋 제거 후 시간영역 시뮬레이션	30
[그림 4.3] 주파수 영역 시뮬레이션 결과	31

[그림 4.4] 공통모드 제거비 주파수 응답 33
[그림 4.5] 고조파 균형 시뮬레이션 결과 35



표 목차

[표 3.1] 스위치 변화에 따른 PGA 이득 변화	19
[표 4.1] PGA의 차동모드이득, 공통모드이득 및 공통모드 제거비 결과	33
[표 4.2] PGA 성능 요약	35



Design of Low-Power Programmable Gain Amplifier with DC-offset cancellation.

Cheol-Hwan Kim

Department of Information and Communications Engineering,
The Graduate School, Pukyong National University

Abstract

This paper presents low-power Programmable Gain Amplifier (PGA) with a DC-offset cancellation for a direct conversion receiver (DCR) to reduce chip area, cost and power. In the receiver stage, the direct conversion architecture has simplified scheme as compared to the conventional super-heterodyne architecture because IF stage could be omitted in the direct conversion architecture, and the system can be a single chip. The PGA has fully differential scheme to reduce the noises and distortions in the input signal and supply voltage. This circuit is also designed to adjust gains in the range of 4dB to 60dB in 8 steps for detecting signals with various amplitudes into the system. We designed PGA gains in 8 steps by adjusting on-resistors of 16 MOS switches and 8 resistors considering linearity and total chip size, and DC-offset circuit is based on a Miller effect technique. It is fabricated using Magnachip/SK Hynix 0.18- μm CMOS 1poly-6metal process. The proposed system showed excellent gain error of less than 0.24dB, very small die area of 0.015mm² and low power consumption of 1.137mW.

I. 서론

정보화 시대를 살아가는 요즘 다양한 분야에서 디지털 기기들을 사용하여 언제, 어디서나 원하는 정보를 주고받을 수 있게 되었다. 그 예로 스마트폰을 이용한 전화 및 인터넷, GPS 신호를 이용한 네비게이션, 위성신호를 이용하여 실시간 TV 시청이 가능한 DMB(Digital Multimedia Broadcasting) 등 많은 디지털기기들이 우리생활에 자리를 잡았다.

이러한 기기들이 대중화가 되면서 시간과 장소의 제약 없이 원하는 정보를 바로 얻을 수 있는 시대가 온 것이다. 디지털 기기를 사용하여 정보를 얻기 위해서는 아날로그 정보들을 디지털 정보로 변환하여야 하고 변환과정에서 중요한 기술 중 하나가 미약한 신호를 증폭시키는 기술이며 증폭된 신호를 왜곡없이 전송을 해야만 원하는 정보를 얻을 수 있다. 신호를 증폭시키고 증폭된 신호를 왜곡없이 전송하기 위하여 자동 이득 조절 증폭기(Programmable Gain Amplifier, PGA)를 사용한다. 증폭된 신호를 왜곡없이 전송하기 위하여 직류 오프셋(DC-offset)을 제거하는 연구가 필요하며 또한 칩 면적을 줄여 소비전력을 줄이고자 연구가 활발히 진행중이다[1-5].

이득 조절 증폭기는 미약한 입력 신호를 원하는 크기의 출력신호가 되도록 이득을 자동으로 조절하는 시스템에 많이 사용이 되며, 보청기, 신호검출기, 무선 통신 시스템, 디스크 드라이브 등 다양한 분야에서 광범위하게 사용되고 있다. 여기서 PGA에 입력된 전기신호를 일정 크기 이상으로 증폭하는 과정에서 입력 대비 출력의 이득 제어 과정을 거치게 된다. 일반적으로 PGA는 아날로그 이득 제어 방식과 디지털 이득 제어 방식이 있는데 본 연구에서는 디지털 이득 제어 방식을 사용하였다[2].

오프셋은 공정 시 발생하는 구조적인 결점, 온도에 의한 문턱전압 변

화, 잡음 등의 원인으로 증폭되어진 신호의 왜곡이 발생하게 되는데 여러 요인 중에서 가장 큰 원인은 연산 증폭기 내부의 차동 입력 트랜지스터의 부정합으로 발생하고 그로 인하여 이득에 왜곡이 발생하게 된다. 이러한 이득 왜곡을 줄이고 원하는 증폭 값을 얻기 위하여 직류 오프셋을 제거하고 저면적 및 저전력으로 동작하는 PGA를 제안한다.

본 논문에서 제안하는 PGA는 스위치 어레이를 사용한 디지털 이득 제어 방식을 사용하였고 입력 신호 대비 출력 이득을 크게 할 때는 스위치를 닫고 반대로 이득을 작게 할 때는 스위치를 열어 이득 값을 제어한다 [3]. 또한 직류 오프셋을 제거하기 위하여 auto-zeroing 방식, 초핑 방식 등 다양한 제거 방법이 있지만 본 논문에서는 칩 면적을 줄이면서 직류 오프셋을 제거할 수 있는 밀러 효과(Miller effect)를 활용한 AC-coupling 방식을 사용한다[4].

2장에서는 PGA의 개념과 용도, 구조 및 간단한 동작 원리에 대한 설명과 직류 오프셋이 기기에 미치는 영향에 대하여 설명한다.

3장에서는 제안하는 PGA의 구성 요소인 변형된 차동증폭기 CMOS(Complementary Metal-Oxide Semiconductor) 스위치와 직류 오프셋을 제거하기 위하여 사용되어진 AC-coupling 방식에 대해 요약한다.

4장에서는 직류 오프셋을 제거한 제안하는 PGA 회로를 Magnachip /SK Hynix 0.18 μ m CMOS 1poly-6metal 공정을 이용하여 시뮬레이션하고 그 결과에 대한 성능을 분석한다.

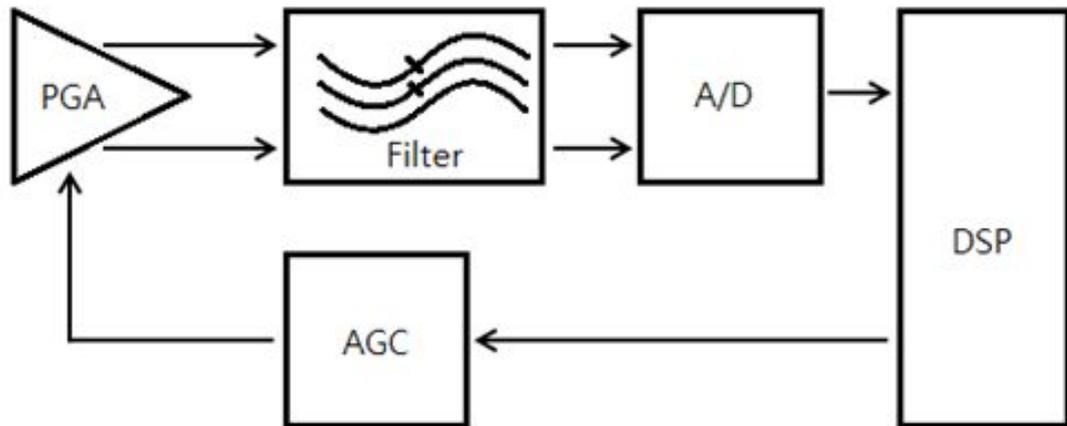
마지막으로 본 논문의 5장에서는 직류 오프셋을 제거한 제안하는 PGA 회로에 대한 결론과 향후 연구 방향에 대해서 기술한다.

II. 직류 오프셋을 제거한 PGA 회로

이 장에서는 아날로그 전단부(Analog Front-End, AFE)의 블록 중 하나인 PGA의 기본 개념 및 동작원리에 대해서 알아보고, PGA의 출력에서 직류 오프셋의 제거 방법과 동작원리에 대해 서술한다.

2.1 PGA의 기본개념

정보화 시대가 가속화되면서 많은 무선 통신기기들이 개발되었으며 기기의 가격을 낮추기 위해 많은 기업들이 경쟁을 벌이고 있다. 이러한 무선 통신기기중 가장 큰 비용을 차지하는 것이 아날로그 전단부이며 아날로그 전단부의 면적은 전체 칩의 20% 정도를 차지한다. 하지만 아날로그 전단부는 설계 자동화가 되지 않고 온도변화, 전압 등의 영향에 의해 성능이 많이 바뀌기 때문에 보다 세밀한 설계가 요구된다. 이러한 아날로그 전단부의 한 부분인 PGA를 직류 오프셋을 제거한 형태로 설계 면적을 줄이면서 저전력으로 동작하는 PGA 설계가 본 연구의 목적이다. 일반적으로 PGA는 유비쿼터스 센서 네트워크(Ubiquitous Sensor Network, USN) 시스템이나 통신 시스템 등의 많은 응용분야에서 기본 구성요소로 사용되어지며 정보신호를 적절한 신호로 증폭시켜주는 기능을 담당하고 있다. [그림 2.1]은 아날로그 전단부에서 PGA의 일반적인 역할을 나타낸 것이다. PGA의 이득은 자동 이득 제어(Automatic Gain Control, AGC) 루프에 의해 디지털 방식으로 제어가 되며, 이득 제어 계산은 DSP에 의해서 실행된다.



[그림 2.1] 아날로그 전단부 블록다이어그램

아날로그 전단부가 최상의 성능을 얻기 위해서는 PGA 설계의 경우 대역폭과 왜곡에 대한 영향을 동시에 고려해야 한다. PGA는 모든 시스템의 주파수 동작에 제한이 없다는 장점이 있지만 왜곡 측면에서는 좋은 선형성을 얻기가 힘들다. CMOS 기술에서 저전압, 넓은 대역폭, 넓은 선형성 그리고 허용 전력 소비를 위한 PGA 설계는 많은 기술이 필요하다. 하지만 이러한 성능을 가진 PGA 설계를 위해 부궤환 페루프 형태와 개루프 증폭기를 사용하는데, 페루프 구조는 좋은 선형성을 보이며 더 나은 이득 제어와 정확도를 보이지만, 대역폭의 크기에 따라 많은 양의 소비전력이 소모된다는 단점이 있다. 반면에 개루프 구조는 저전력과 광대역에 적합하지만, 개루프 회로의 본질은 입력단의 고유 선형성에 크게 의존하며 좋은 선형성을 만들기는 어렵다는 단점이 있다. 이 둘의 회로를 적절히 조합함으로써 저전력, 넓은 대역폭 그리고 좋은 선형성의 PGA를 설계할 수 있다[5]. 본 연구의 PGA는 가장 광범위한 개루프 가변 이득 증폭기를 기반으로 설계를 진행하였으며 이는 간단한 차동 쌍, 소스 축퇴 기술, 아날로그 곱셈기 그리고 능동부하 형태의 차동 쌍의 구성으로 설계를 하였다.

2.2. 제안된 직류 오프셋 제거 PGA의 회로 구조

[그림 2.2]는 [그림 2.1]에서 언급한 PGA의 구성 요소를 블록 다이어그램으로 나타낸 것으로 크게 차동 증폭기, 이득 조절단, 바이어스 회로 그리고 직류 오프셋 제거 회로로 구성되며 기존의 증폭기에서 사용된 수동 소자인 저항을 MOS로 대체 회로로 구성된다. PGA 회로의 핵심인 차동 증폭기는 2개의 입·출력 단자를 가지는 gm-boosting 증폭기로 설계하였으며 입력 단자에는 180°의 위상 차이가 나는 신호를 각각 입력하고, 출력 단자에서는 직류 오프셋을 거쳐 증폭된 전기신호가 생성된다. 이러한 과정에서 gm-boosting 증폭기 구조로 인해 최대 출력 전압 스윙이 증가하며, 잡음 및 짝수 고조파 성분이 공통모드에서 제거되기 때문에 잡음에 강하고, 높은 선형성 및 저전력 동작의 설계가 가능하다.



[그림 2.2] 제안된 PGA 구성 요소 블록다이어그램

이득 조절단에서는 제안된 PGA로 4~60dB에서, 총 8단계의 이득으로 조절이 가능하며 이득제어를 위하여 CMOS 스위치와 저항으로 구성된다. 제안된 PGA의 제어 신호를 통하여 발생된 8개의 이득에서 입력 신호 대비 큰 이득을 가지려면 스위치를 닫고 반대로 낮은 이득을 가지기 위해서는 스위치를 열어 이득을 조절하게 된다. 이렇게 증폭된 이득은 직류 전압을 제거하기 위하여 직류 오프셋 제거회로를 거쳐 최종 이득을 얻을 수 있다.

직류 오프셋 제거 회로는 밀러효과를 이용한 AC-coupling 방식을 사용하였으며 제안된 처리 방식은 연속 시간 피드백을 이용하여 작은 회로 면적으로 큰 값의 커패시터를 만들 수 있는 장점이 있는데 이 기술은 연속적으로 오프셋 전압을 제거할 수 있다. 각 회로에 대한 자세한 설명은 3장에서 설명한다.



Ⅲ. 제안된 직류 오프셋 제거 PGA 회로

3.1. 축퇴저항 차동증폭기

제안된 직류 오프셋 제거 PGA에서 신호의 증폭 역할을 하는 차동 증폭기의 동작을 파악하기 위해 먼저 축퇴저항(degeneration resistor)을 사용하는 차동증폭기를 분석하여 변형된 gm-boosting 증폭기를 활용한 제안된 직류 오프셋 제거 PGA를 설계한다. 일반적으로 PGA는 저항배열 구조 및 R-2R 사다리 구조의 축퇴저항을 활용한 차동증폭기 구조가 많이 사용되고 있는데, 이러한 기존의 차동증폭기의 축퇴저항을 활용한 방법에서는 직류전압 강하에 의해 저전압 동작이 어렵고, 높은 이득 설정 시 대역폭이 크게 제한되는 문제점이 발생한다[7]. 이러한 문제점을 해결하기 위해서 변형된 축퇴 저항의 gm-boosting 증폭기를 제안하였고 PGA 회로에서 증폭되어진 전압을 직류 오프셋 제거 회로를 거쳐 출력하도록 설계하였다. [그림 3.1]은 일반적인 PGA의 축퇴저항을 활용한 차동 증폭기 구성을 나타낸 것이다. [그림 3.1]에서 축퇴저항은 R_S 를 의미하며, 기본적인 축퇴저항 차동증폭기 구조의 차동 전압 이득(G)은 식 (3.1)과 같다.

$$G = \frac{V_{out1} - V_{out2}}{V_{in1} - V_{in2}} = \frac{R_D}{R_S + \frac{1}{g_m}} \quad (3.1)$$

발생되는 전하 주입 오차 등에 덜 민감한 장점이 있다. 두 개의 입출력 단자를 통해 유입되는 각각의 입력 신호는 공통 모드 신호와 차동 모드 신호로 구성되며 차동증폭기의 성능은 두 입력에 대한 출력으로 분석 가능하다. 차동증폭기에서는 차동 모드 출력 신호를 사용하며 공통모드 출력 신호는 이상적인 경우 모두 제거된다. 하지만 주변 환경 요소나 제작 과정에서 공통모드 출력 신호가 완전히 제거되지 않고 차동 모드 출력 신호에 악영향을 주게 된다. 이러한 악영향을 보상하기 위하여 차동증폭기 설계 시 차동 모드 이득은 높이고 공통모드 이득은 낮추게 된다. 차동증폭기의 대표적인 성능 지표로 공통모드 신호와 차동모드 신호에 대한 영향을 알 수 있는 지표가 되는 공통모드 제거비(Common Mode Rejection Ratio, CMRR)를 들 수 있다. 이러한 지표는 식 (3.2)와 같이 정의하며, 식 (3.3a)와 식 (3.3b)를 이용하여 구할 수 있다.

$$CMRR = 20 \log \left(\frac{A_{v, dm}}{A_{v, cm}} \right) \approx \frac{\frac{g_{m1} R_D}{1 + g_{m1} R_S}}{\frac{R_D/2}{1/(2g_{m1}) + R_S}} = \frac{1 + 2g_{m1} R_S}{1 + g_{m1} R_S} \quad (3.2)$$

동상모드이득 ($A_{v, cm}$) 및 차동모드이득 ($A_{v, dm}$)은 식 (3.3a) 및 식 (3.3b)로 나타낼 수 있다.

$$A_{v, cm} = -g_m (r_o \parallel R_D) \approx -\frac{R_D/2}{1/(2g_{m1}) + R_S} \quad (3.3a)$$

$$A_{v, dm} = \frac{v_{out1} - v_{out2}}{v_{in1} - v_{in2}} = \frac{-g_{m1}R_D r_{o1}}{R_D + R_S + r_{o1} + g_{m1}R_S r_{o1}} \approx \frac{-g_{m1}R_D}{1 + g_{m1}R_S} \quad (3.3b)$$

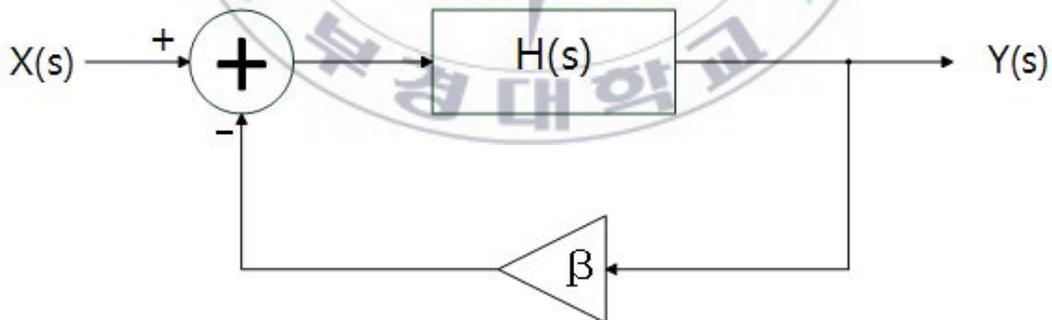
이러한 차동증폭기의 특성을 기반으로 변형된 gm-boosting 회로를 3.2절에 서술한다.



3.2. Gm-boosting 궤환 시스템

축퇴저항 차동증폭기의 차동 모드 이득은 드레인 저항과 소스 저항의 비율로 표현되며 단순히 저항만으로 정의된 이득은 그 정확도가 낮음을 식 (3.3b)를 통하여 확인된다. 또한, 식 (3.3b)의 차동모드 이득보다 식 (3.3a)의 공통모드 이득이 크다는 문제점이 발생한다. 따라서 본 논문에서는 공통모드 이득을 줄이며 이득의 정확도를 향상시키기 위해 부궤환 (negative feedback) 회로를 적용하였다[6]. 부궤환 회로의 특성은 개방 루프이득을 갖는 기본증폭기의 불안정한 동작을 보상하기 위해 궤환이득 (β)을 사용하여 출력을 간접 제어할 수 있다.

[그림 3.2]는 간단한 부궤환 시스템을 블록다이어그램으로 나타낸 것이고 부궤환 블록다이어그램을 통하여 부궤환 회로의 특성을 간략히 분석한다.

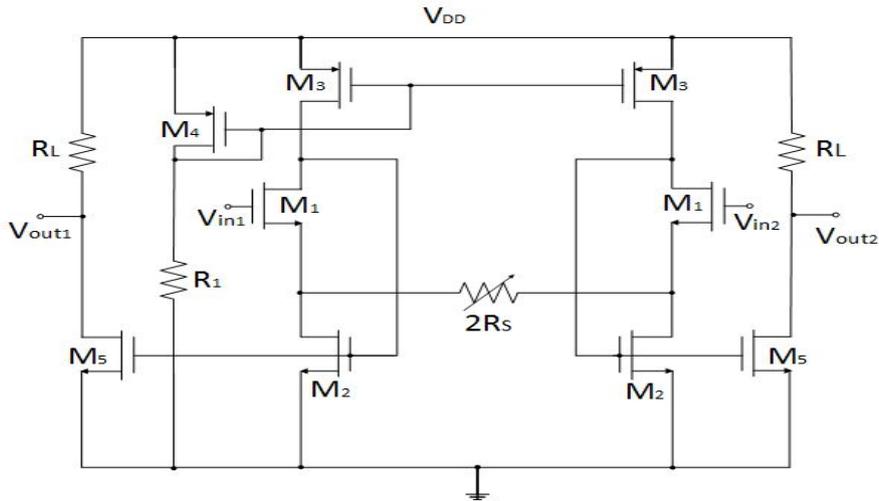


[그림 3.2] 간단한 부궤환 시스템 블록다이어그램

식(3.4)는 부궤환 시스템의 전체 이득을 나타내며 그 이득은 궤환이득에 의해 결정되기 때문에 이득($H(s)$)이 변하더라도 전체 이득은 궤환 이득만큼 전체 이득오차가 적다. 하지만 부궤환 시스템의 정확한 이득을 위해 궤환 이득을 증가시키면 전체 이득의 정확도는 증가하지만 전체 부궤환 시스템의 이득은 작아진다. 여기서 $X(s)$ 와 $Y(s)$ 는 부궤환 시스템의 입력과 출력을 각각 나타내며, $H(s)$ 는 열린루프 이득 및 β 는 궤환이득을 나타낸다.

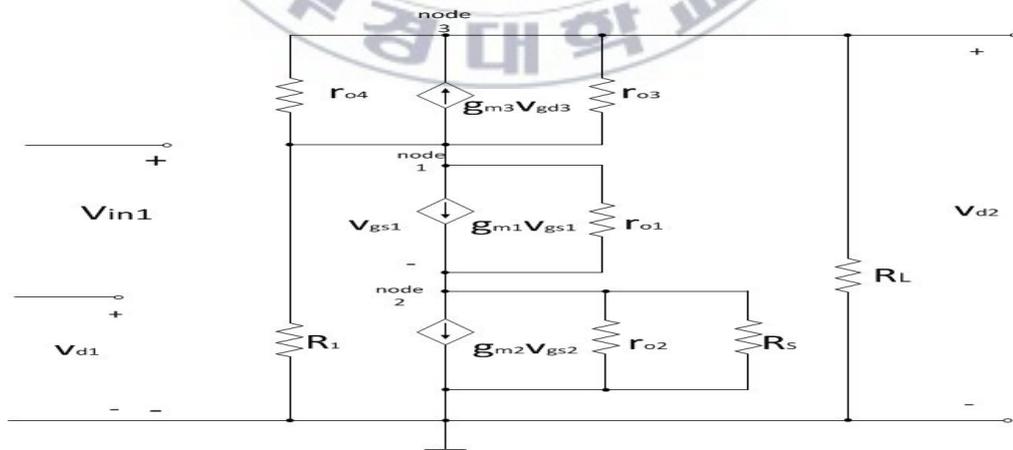
$$\frac{Y}{X}(s) = \frac{H(s)}{1 + \beta H(s)} \quad (3.4)$$

[그림 3.3]은 [그림 3.2]과 같은 축퇴저항 증폭기에 부궤환 개념을 적용한 능동부하 형태의 변형된 차동 증폭기를 나타낸 것이다. 여기서 M_1 의 출력이 M_2 및 M_5 의 게이트단자로 각각 들어가는 부궤환 구조를 이루게 된다. 만약 [그림 3.3]의 회로가 잡음과 같은 외부 영향으로 인해 M_1 의 드레인 전압이 증가할 경우 M_2 의 게이트 전압이 커지게 되어 M_2 의 드레인 전압은 낮아지게 된다. 이것은 M_1 의 오버드라이브 전압이 커짐을 의미하며, 결국 부궤환 효과로 인해 M_1 의 출력전압은 다시 낮아지게 되기 때문에 외부영향에 훨씬 덜 민감하게 된다[7].



[그림 3.3] 변형된 능동부하 부궤환 차동증폭기

[그림 3.4]는 [그림 3.3]의 부궤환 회로에 대해 이득을 구하기 위하여 절반회로 기법을 적용한 소신호 등가 모델을 나타낸 것이다. [그림 3.4]에 대해 노드1, 노드2 및 노드3에서 KCL을 적용하면 식 (3.5), 식 (3.6) 및 식 (3.7)을 구할 수 있다.



[그림 3.4] 부궤환 회로의 소신호 모델

$$g_{m1}v_{gs1} + \frac{v_1 - v_{s1}}{r_{o1}} + g_{m3}v_{gd3} + \frac{v_1 - v_{d1}}{(r_{o3} \parallel r_{o4})} + \frac{v_{d1}}{R_1} = 0 \quad (3.5)$$

$$g_{m2}v_{gs2} + \frac{v_{s1}}{(r_{o2} \parallel R_S)} = g_{m1}v_{gs1} + \frac{v_1 - v_{s1}}{r_{o1}} \quad (3.6)$$

$$g_{m3}v_{gs3} = \frac{v_{d1} - v_1}{r_{o3}} + \frac{v_{d1}}{R_L} \quad (3.7)$$

여기서 v_{d1} 은 M_1 의 드레인 전압, v_{s1} 은 M_1 의 소스 전압 및 R_L 은 출력 저항을 나타낸다.

식 (3.5)에서 식 (3.7)을 연립하여 풀면 식 (3.8)과 같이 능동부하 형태의 변형된 부궤환 차동증폭기 회로의 이득을 구할 수 있다.

$$\frac{v_{out}}{v_{in}} = \frac{ACg_{m5}r_{o1}(R_L \parallel r_{o6}) - B^2[g_{m5}r_{o1}R_1(r_{o2} \parallel R_S)\{(r_{o3} \parallel r_{o4})(r_{o6} \parallel R_L)\}]}{r_{o1}^2 R_1 AD} \quad (3.8)$$

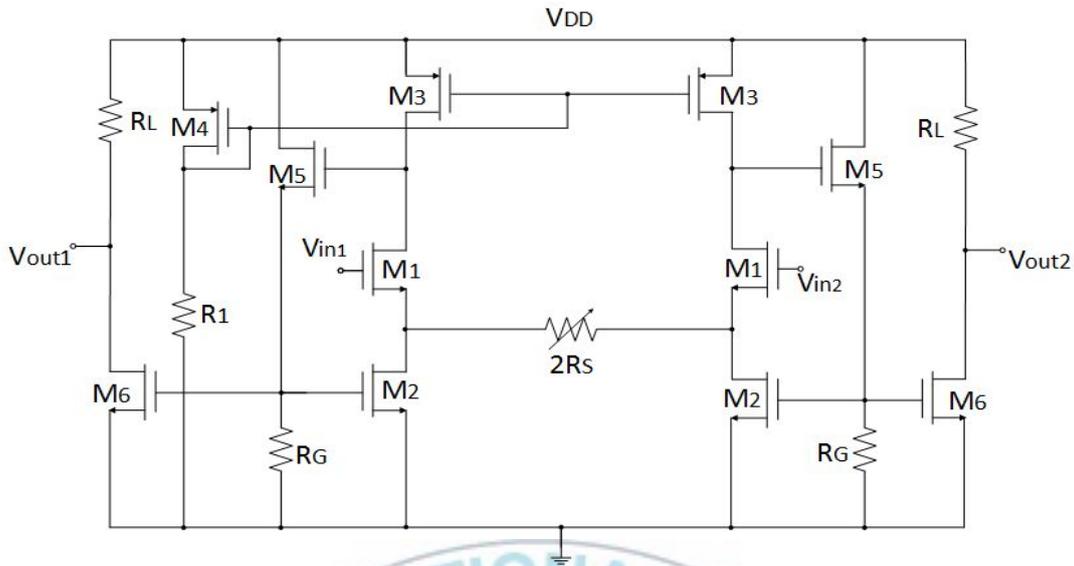
$$\text{여기서, } A = g_{m1} + g_{m2} + \frac{1}{r_{o1}} + \frac{1}{r_{o2} \parallel R_S}, \quad B = g_{m1} + \frac{1}{r_{o1}},$$

$$C = g_{m1} + g_{m3} + \frac{1}{r_{o1}} + \frac{1}{r_{o3} \parallel r_{o4}} + \frac{1}{R_1} \quad \text{및} \quad D = g_{m3} + \frac{1}{r_{o3} \parallel r_{o4}} \text{를 나타낸다.}$$

식 (3.8)로 부터 능동부하 형태의 변형된 차동 증폭기의 부궤환 회로 전체 이득은 부하저항에 비례하며 축퇴저항에는 반비례함을 확인할 수 있다.

3.3. 변형된 Gm-boosting 증폭기의 이득 조절단

[그림 3.5] 회로는 [그림 3.3]의 능동 부하 형태의 gm-boosting 증폭기를 변형시킨 것을 활용한 제안된 PGA 회로로 입력 신호가 들어오게 되면 PGA를 통해 입력 신호가 증폭된다. 여기서 기존의 gm-boosting 증폭기는 M_1 의 드레인 전압이 M_2 의 게이트 단자로 연결되어 M_2 에 높은 직류전압이 공급되기 때문에 M_2 가 트라이오드 영역에서 동작하게 된다. 이는 전체 회로의 미세한 변동에도 회로의 성능에 큰 영향을 주게 된다. 그리고 M_1 의 드레인 전압이 M_3 의 게이트 단자로 연결되어 높은 직류전압이 공급되기 때문에 전체 회로가 큰 이득을 가지기 어려운 문제점을 가진다. 따라서 본 논문에서는 높은 이득을 얻고 회로의 안정성을 향상시키기 위해 변형된 gm-boosting 증폭기를 제안된 PGA에 적용하였다. [그림 3.5] 회로는 M_4 와 R_1 을 사용하여 바이어스 전압을 만들었으며, M_6 과 R_G 의 구성을 통해 M_2 및 M_6 에 낮은 게이트 전압을 공급하기 때문에 M_2 가 포화영역에서 동작하게 되어 [그림 3.3]에서 나타낸 회로보다 더 높은 이득을 얻을 수 있다. 제안된 PGA 차동모드는 gm-boosting 증폭기 차동모드의 이득과 비교해 보면 그 결과 값은 매우 비슷하지만, 제안된 PGA 경우 M_2 와 M_4 에 낮은 직류전압을 공급하기 때문에 M_2 가 포화영역에서 동작하고 M_4 에서는 더 높은 이득을 얻기 때문에 기존의 gm-boosting 증폭기 보다 전체 회로의 안정성 및 이득을 향상시킬 수 있다.



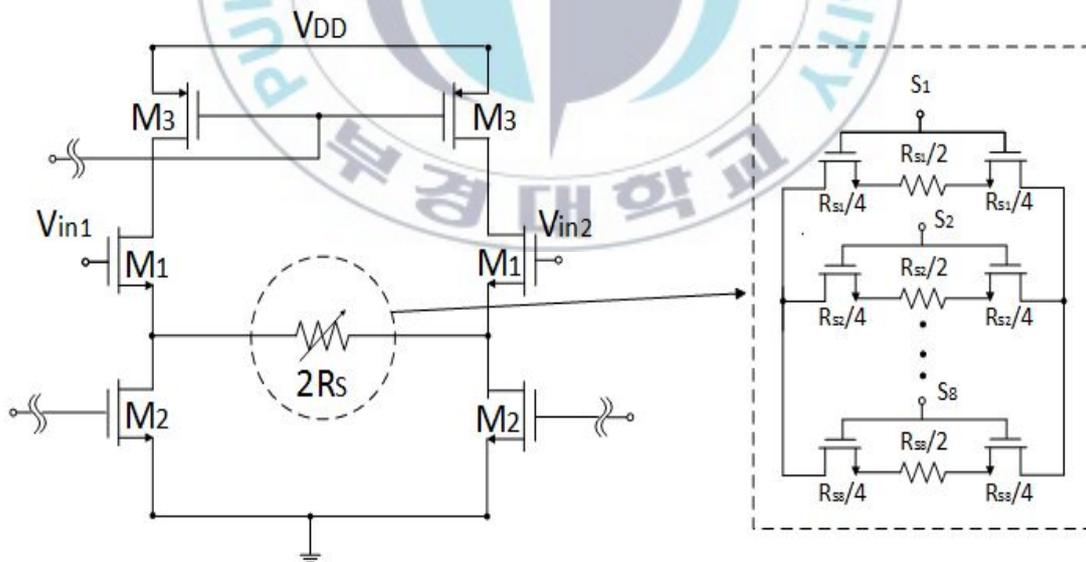
[그림 3.5] 제안된 PGA

[그림 3.6]은 제안된 이득 조절단을 나타낸 것이다. 제안된 PGA의 이득 조절단을 살펴보면 [그림 3.1]의 $2R_s$ 에 해당되며, [그림 2.1]의 DSP로부터 제어신호를 받아 제안된 PGA의 이득이 조절되는데 다양한 이득을 얻기 위해 이득 조절단의 저항크기 변화가 필요하다. 여기서 [그림 3.1]의 $2R_s$ 는 이득 조절을 위해 설계된 이득 조절단을 간략화하여 표현한 것이다. 각 단의 MOS 스위치는 게이트에 문턱전압보다 큰 전압을 걸어 줄 경우 닫히게 되고, 낮은 전압일 경우 열리게 된다. 여기서 MOS 스위치가 닫히게 될 때 온-저항이 발생하는 데 스위치의 온-저항의 크기는 게이트에 인가되는 전압과 드레인 및 소스에 흐르는 전류의 비로 구할 수 있다.

본 논문에서는 제안하는 PGA의 이득 조절단을 통해 총 8단계의 이득을 얻기 위해서 총 8단계의 서로 다른 저항 값이 되도록 설계하였으며, PGA 출력단에 신호감쇠가 발생하지 않도록 저손실 MOS 스위치를 설

계하였다. 이를 통하여 전류가 0일 때도 스위치가 켜지고, 게이트 전압에 따라 소스 또는 드레인 전압이 같이 변할 필요가 없는 장점을 가진다.

이득 조절단은 온-저항 효과를 최소로 하여 설계를 할 경우 수동소자의 크기가 커져 칩의 면적이 커지는 단점이 있지만 선형성은 좋아진다. 반대로 온-저항으로만 구성할 경우 면적은 줄어드나 선형성이 떨어진다. 따라서 제안된 PGA의 이득 조절단은 두 관계를 고려하여 축퇴 저항의 절반의 크기씩 수동 소자 및 스위치 온-저항을 활용하였다. 제안된 이득 조절단은 [그림 3.6]과 같이 총 8단계의 이득을 얻기 위해 8개의 저항과 완전 대칭 구조를 가지기 위해 16개의 MOS 스위치를 병렬 구조로 구성하였다. 병렬 구조를 통해 전체 등가 저항의 크기를 조절하며, 스위치가 닫히는 수가 많을수록 저항의 크기는 작아지기 때문에 이득 조절단의 이득이 증가한다.



[그림 3.6] 제안된 이득 조절단

스위치의 개폐 동작에 따른 특성에 대해 스위치를 활용한 PGA설계 시 스위치의 온-저항을 고려해야 한다. 따라서 스위치의 온-저항을 NMOS(N-channel Metal-Oxide Semiconductor)의 드레인 전류인 식 (3.9)를 활용하여 식 (3.10)과 같이 나타낼 수 있으며, 스위치 온-저항의 크기는 채널 폭에 반비례하고 채널 길이에 비례한다.

$$I_D = \frac{1}{2} \frac{W}{L} \mu_n C_{ox} (V_{GS} - V_t)^2 (1 + \lambda V_{DS}) \quad (3.9)$$

여기서 μ_n 은 전자의 이동도, C_{ox} 는 단위면적당 산화막 커패시턴스, W 는 트랜지스터 채널 폭, L 은 트랜지스터 채널 길이, V_t 는 문턱전압 및 λ 는 채널길이 변조 파라미터를 각각 나타낸다.

$$R_{on} = \frac{\delta V_{GS}}{\delta I_D} = \frac{L/W}{\mu_n C_{ox} (V_{GS} - V_t)(1 + \lambda V_{DS})} \quad (3.10)$$

[표 3.1]은 이득 조절단의 스위치 변화에 따른 제안된 PGA 이득 변화를 나타낸 것이다. 이득 조절단의 S_1 스위치만 닫힐 경우 4dB의 이득이 되며, 모든 스위치 $S_1 \sim S_8$ 이 닫히게 되면 제안된 PGA의 이득은 60dB가 된다. 8dB의 간격으로 이득이 조절될 수 있도록 구성되어 있다.

[표 3.1] 스위치 변화에 따른 PGA 이득 변화

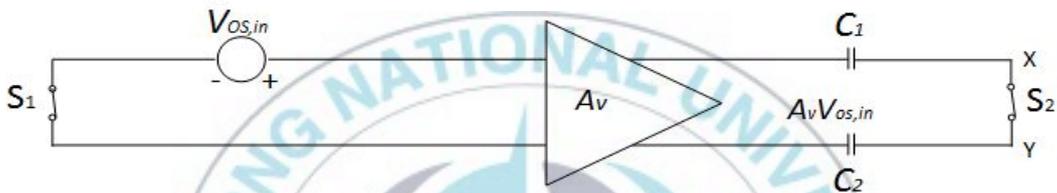
	S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8
4dB	On	Off						
12dB	On	On	Off	Off	Off	Off	Off	Off
20dB	On	On	On	Off	Off	Off	Off	Off
28dB	On	On	On	On	Off	Off	Off	Off
36dB	On	On	On	On	On	Off	Off	Off
44dB	On	On	On	On	On	On	Off	Off
52dB	On	Off						
60dB	On							

스위치의 온-저항 크기는 다양한 반도체 공정 파라미터들로 인해서 정확한 계산이 어렵다. 그러나 시뮬레이터를 이용하여 그 크기를 정확히 구할 수 있다.



3.4.2. 직류 오프셋 제거

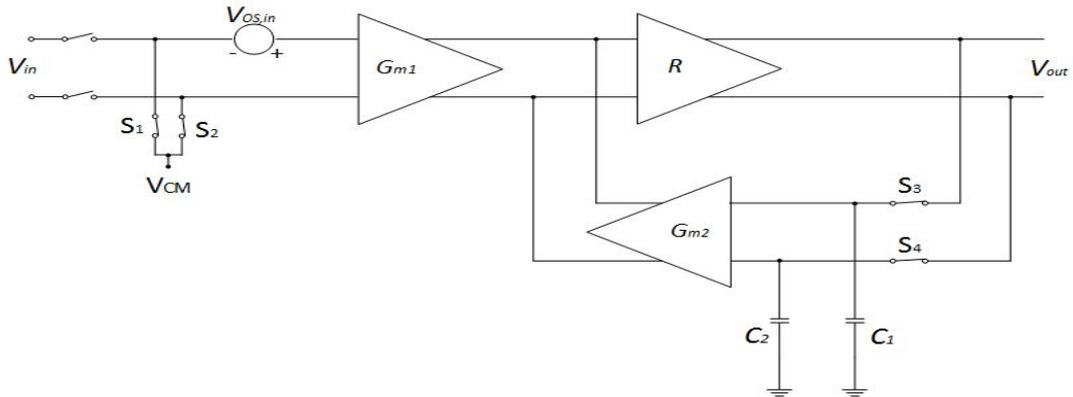
직류 오프셋 제거 방법은 [그림 3.8]의 입력 환산 오프셋 전압 $V_{os,in}$ 과 두 직렬 커패시터를 갖는 차동증폭기에서 증폭기의 입력을 단락시키면 증폭기의 출력은 $V_{os,out} = A_v V_{os,in}$ 가 된다. 증폭의 출력 $A_v V_{os,in}$ 이 C_1 과 C_2 에 저장되면, 제로 차동 입력은 V_X 와 V_Y 에 제로 출력 전압이 된다. 그러므로 S_1 과 S_2 가 떨어진 다음 증폭기 C_1 과 C_2 로 구성된 회로는 제로 오프셋 전압을 보여주며, 차동 입력전압의 변화만을 증폭한다.



[그림 3.8] 정전용량 단순 증폭기

일반적으로 입력 및 출력 저장 기법의 단점은 신호 경로에 커패시터를 삽입하게 되는 것인데, 이는 연산 증폭기와 궤환 시스템에 심각한 문제를 야기한다. 커패시터의 몸체 기생성분은 회로의 극점 크기를 감소시켜 위상 마진을 악화시키게 되고, 개방 루프 증폭기에서 이 기생성분은 동작속도를 감소시키며 속도-전력 절충을 강화시키게 된다. 이러한 문제를 해결하기 위하여 보조 증폭기를 활용하여 신호 경로와 오프셋 저장 커패시터를 분리한다.

[그림 3.9]에서 G_{m2} 는 C_1 과 C_2 에 저장된 차동전압 V_I 을 증폭하고 출력 G_{m1} 의 결과로부터 감산한다. 만일 $V_{os,in}G_{m1} = V_I G_{m2}$ 가 되면 $V_{in}=0$ 에 대하여 $V_{out}=0$ 이 되고 오프셋은 없어진다. 여기서 G_m 단은 단순 차동 쌍이며 R 단은 트랜스 임피던스 증폭기를 나타낸다[8].



[그림 3.9] 보조 증폭기를 추가한 오프셋 제거 블록 다이어그램

G_{m2} 의 오프셋 전압을 고려한 오프셋 제거를 수식으로 나타내면 식 (3.11)과 같다.

$$[G_{m1}V_{OS1} - G_{m2}(V_{out} - V_{OS2})]R = V_{out} \quad (3.11)$$

식 (3.11)을 V_{out} 에 대하여 정리하면 식 (3.12)를 구할 수 있다.

$$V_{out} = \frac{G_{m1}RV_{OS1} + G_{m2}RV_{OS2}}{1 + G_{m2}R} \quad (3.12)$$

이 전압은 S_3 과 S_4 가 개방된 후 C_1 과 C_2 에 저장된다. 그러므로 주입력에 관한 총 오프셋 전압은 식 (3.13)과 같이 표현할 수 있다.

$$V_{OS,tot} = \frac{V_{out}}{G_{m1}R} = \frac{V_{OS1}}{1 + G_{m2}R} + \frac{G_{m2}}{G_{m1}} \frac{V_{OS2}}{1 + G_{m2}R} \quad (3.13)$$

또한, 식 (3.13)은 식 (3.14)와 같이 근사화할 수 있다.

$$V_{os,tot} \approx \frac{V_{OS1}}{G_{m2}R} + \frac{V_{OS2}}{G_{m1}R} \quad (3.14)$$

여기서 $G_{m2}R \gg 1$ 을 가정한다.

3.4.3. 제안하는 직류 오프셋 제거 회로

본 논문에서는 직류 오프셋 문제를 해결하기 위하여 AC-coupling 방식을 이용하였고, 밀러효과를 이용하여 다양한 크기의 커패시터 값과 저항을 구현하였다. 기존의 방식인 연속피드백 방식과 밀러효과를 이용한 AC-coupling 방식의 차이점을 살펴보면, 연속 피드백 방식은 먼저 고역통과 특성을 나타내기 위해 사용되어지며 큰 값의 커패시터를 만들 수 있다는 점과 낮은 차단 주파수를 갖는 고역통과 필터를 구현할 수 있다는 장점이 있는 반면, 칩 사이즈를 최소화하기 위하여 큰 저항과 커패시터는 반드시 설계된 칩 밖에서 구현해야 된다는 단점이 있다. 뿐만 아니라, 수동 소자를 사용하면 추가적인 핀을 필요로 하기 때문에 모듈의 면적이 증가하는 문제점이 발생한다. 이러한 문제점을 해결하기 위하여 연속 시간 피드백 기술을 기반으로 밀러 효과를 이용한 AC-coupling 방식을 제안한다. 제안된 처리방식은 낮은 주파수를 갖는 고역통과 필터의 구현을 위해 다양한 크기의 커패시터와 저항으로 실현할 수 있다[9].

직류 오프셋 문제를 해결하기 위하여 일반적인 AC-coupling 방식이 가장 효율적인 방법일 수 있지만, 이는 큰 커패시터 면적을 필요로 하며 대역손실이 발생한다. 또 다른 직류 오프셋 문제의 해결 방법으로는 피드 포워드 방식이며, 이는 문턱치 이하 영역에서의 MOS 설정의 채널 저항에 의해 실현될 수 있지만 MOS의 채널 저항은 온도와 공정 변화에

상당히 민감하여 교정 회로가 필요하다는 단점이 있다. 이러한 방법들이 회로의 입력 전에 직류 오프셋을 제거하는 유일한 방법이지만 회로 자체의 불균형에 대하여 발생하는 직류 오프셋은 제거할 수 없다는 단점이 있다. 이러한 문제를 해결하기 위하여 제안하는 직류 오프셋 제거 방식은 [그림 3.10]에 나타낸 밀러효과 AC-coupling 방식을 이용한다.

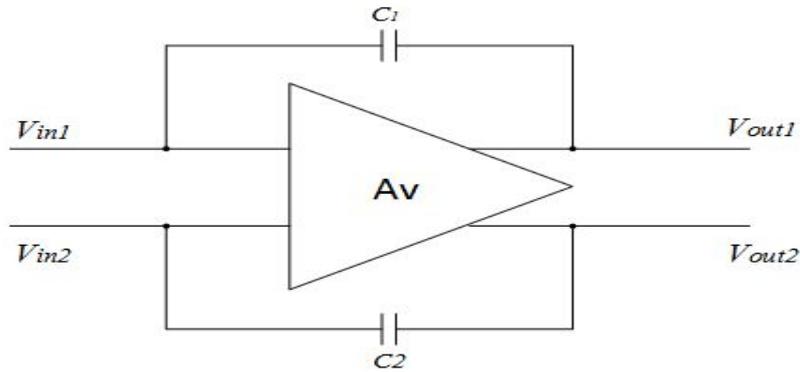
직류 오프셋은 원하는 신호를 손상시킨다는 점을 고려해야 하기 때문에 전체 회로의 시스템은 작은 f_c (차단 주파수)를 요구하므로 f_0 (기본 주파수)는 반드시 아주 작아야 된다. 직류 오프셋 제거 회로의 차단 주파수는 식 (3.15)로 계산할 수 있다.

$$f_c = \frac{1}{2\pi RC} \quad (3.15)$$

작은 f_c 를 얻기 위하여 저항 또는 커패시터는 반드시 커야 한다. 하지만 작은 f_c 를 얻기 위하여 저항 및 커패시터가 커지게 되면 칩 면적이 커지는 단점이 있다. 이러한 문제점을 해결하기 위하여 밀러 효과를 이용한 AC-coupling 방법을 제안한다[10]. 밀러 효과를 이용한 AC-coupling 방식은 커패시터의 값을 증가시켜 주는 효과가 있으며, [그림 3.10]에서 등가 커패시터의 값은 식 (3.16)으로 나타낼 수 있다.

$$C = (1 + A_v)C_1 \approx A_v C_1 \quad (3.16)$$

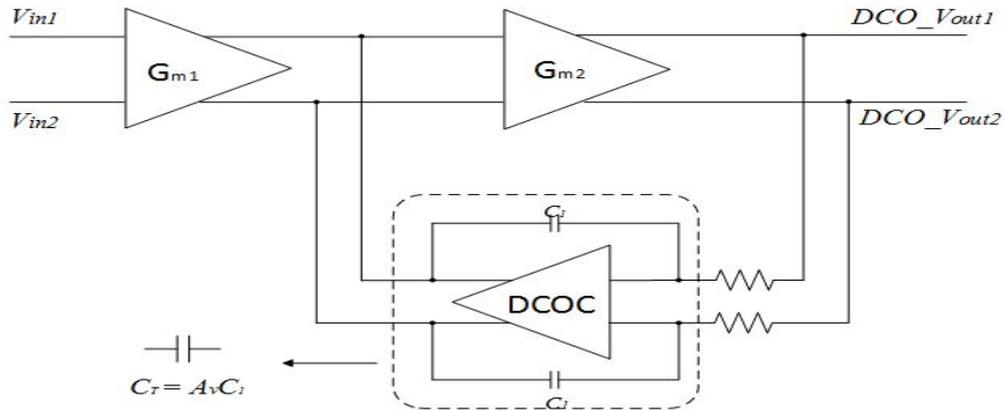
여기서 A_v 는 이득 값이고 1보다 큰 수치를 나타낸다.



[그림 3.10] 밀러효과 AC-coupling

[그림 3.11]은 제안된 직류 오프셋을 제거한 PGA 회로의 다이어그램을 나타낸 것으로 식 (3.6)에 의해서 직류 오프셋 전압의 고주파 이득이 검출되어지며 등가 커패시터 $A_v C_1$ 에 의해 제거된다. PGA의 출력 전압을 반대의 위상으로 입력에 피드백하고, 직류 오프셋 회로(DC offset cancelation circuit, DCOC)는 PGA 직류 전압 오프셋을 제거한다. 예를 들어 식 (3.16)을 이용하여 회로의 커패시터 값을 구해보면 $1pF$ 의 커패시터와 $60dB$ 의 PGA 이득을 회로에 사용하였다면 밀러효과를 통하여 최대 $1 \times 1,000(60dB) = 1,000pF = 1nF$ 의 커패시터 값을 얻을 수 있다.

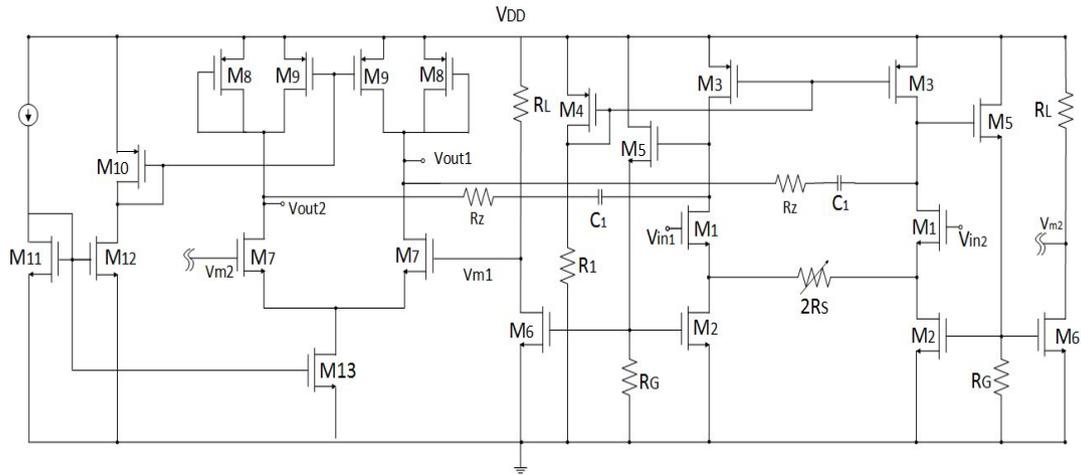
G_{m1} 과 G_{m2} 는 제안된 PGA로 구성되어 있고 DCOC는 직류 오프셋을 보정 및 제거하기 위한 회로로 구성되어 있다.



[그림 3.11] 제안된 직류 오프셋 제거 블록다이어그램

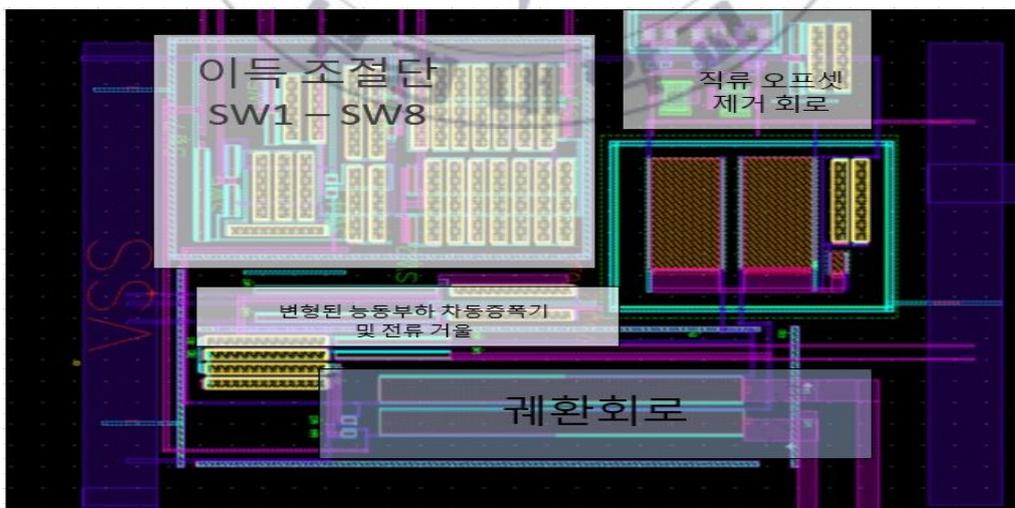
[그림 3.12]는 제안된 직류 오프셋 제거 PGA의 전체 회로를 나타낸 것으로 밀러효과를 이용하여 직류 오프셋을 제거하는 회로를 설계하였다. M_{10} , M_{11} 및 M_{12} 는 전류 미러 회로로써 직류 오프셋 제거회로(DCOC)의 차동 쌍의 꼬리 전류는 NMOS(M_{13}) 미러에 의해서, 부하 전류원은 PMOS(M_{10}) 미러에 의해서 바이어스 되어 있다. 소자의 치수를 조절하여 M_9 에서 드레인 전류를 흘리게 하면 M_8 의 드레인 전류는 감소하여 이득이 증가한다[11].

전체회로는 부궤환 방식의 회로로써 출력단의 신호가 PGA의 두 번째 단의 입력으로 들어가고 이때 밀러 커패시터를 이용하여 직류 성분을 제거하게 된다. 밀러 커패시터를 이용하였기에 식 (3.16)에 의해 작은 면적의 커패시터를 사용하여도 큰 용량의 커패시터를 사용하는 효과가 있어 전체 칩 면적을 줄이는데 큰 역할을 한다.



[그림 3.12] 제안된 직류 오프셋 제거 PGA 회로

[그림 3.13]은 ADS로 설계한 시스템에 대한 레이아웃을 나타낸 것이며 Cadence사의 Virtuoso 툴을 이용하였고, Mentor 프로그램을 이용해 DRC(Design Rule Check)와 LVS(Layout Versus Schematic)으로 검증하였다. 본 회로는 0.015mm^2 의 면적으로 다른 연구 결과와 비교하여 작은 면적특성을 보였다.



[그림 3.13] 제안된 직류 오프셋 제거 PGA 레이아웃

IV. 시뮬레이션 결과 및 분석

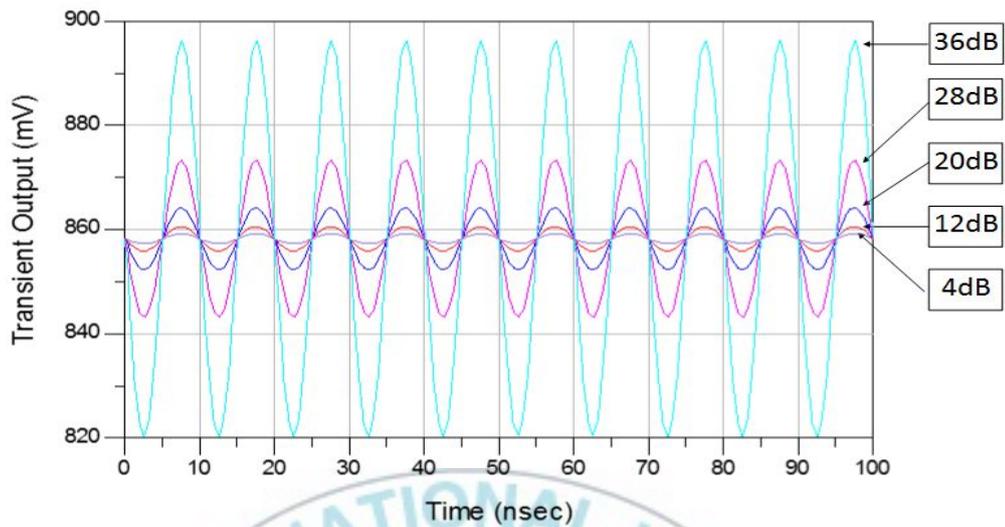
본 연구에서 제안한 직류 오프셋 제거 PGA 회로를 통한 결과 값을 시뮬레이션으로 얻기 위해 상온 25°C에서 전원전압 1.8V를 적용하여 Magnachip/SK Hynix사의 1-poly 6-metal 0.18 μ m CMOS 공정을 활용하였다.

제안된 PGA 신호의 입출력과정을 시뮬레이션하기 위해 회로설계 ADS tool을 사용하였고 시뮬레이션 과정에서 입력 바이어스 전압은 0.8V를 적용하였다. 중간주파수에서 동작하는 PGA를 구현하기 위하여 PGA의 입력 주파수를 10MHz로 적용하여 시뮬레이션하였다.

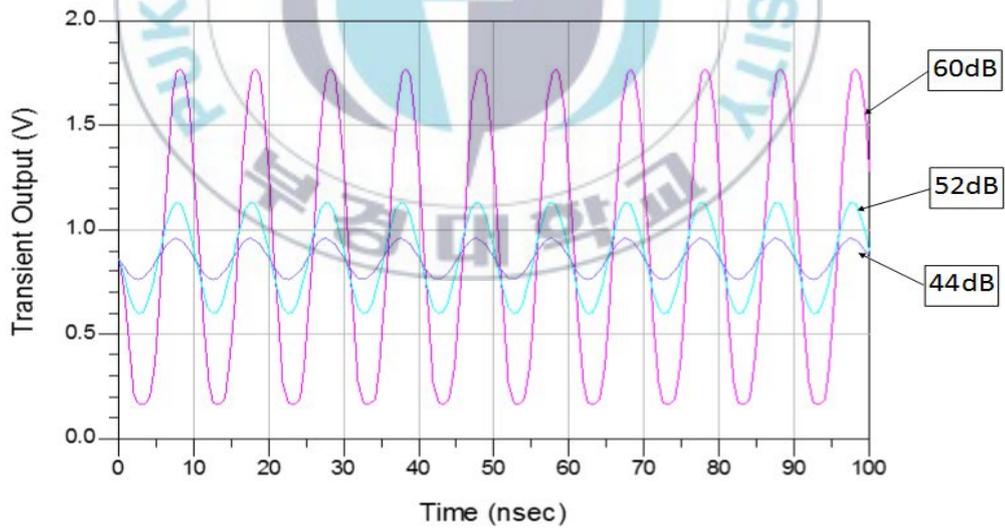
제안된 PGA의 시간 영역 및 주파수 영역에서 출력의 변화를 확인하기 위해 시간응답 및 주파수응답 시뮬레이션을 수행하였다. 주파수응답 시뮬레이션을 통해 차동증폭기의 대표 성능지표인 CMRR을 구하였고, PGA의 선형성을 확인하기 위해 고조파균형 시뮬레이션을 수행하였다.

4.1. 직류 오프셋을 제거한 시간 응답 시뮬레이션

직류 오프셋 제거 시뮬레이션은 시간 축을 기준으로 신호의 변화를 나타내는 시뮬레이션으로 0nsec에서 시작하여 100nsec까지 0.5nsec당 한 번씩 시뮬레이션되도록 하였다. 레벨을 수치화 해보면 [그림 3.12]의 PGA에서(V_{out1} , V_{out2})출력된 약 850mV의 직류 성분은 DCOC를 거치며 최종적으로 23.9 μ V가 되며, 또한 ± 200 mV 이상의 임의 직류 오프셋 전압에도 변함이 없다는 사실을 [그림 4.1]을 통하여 시뮬레이션 결과 값을 확인할 수 있다.

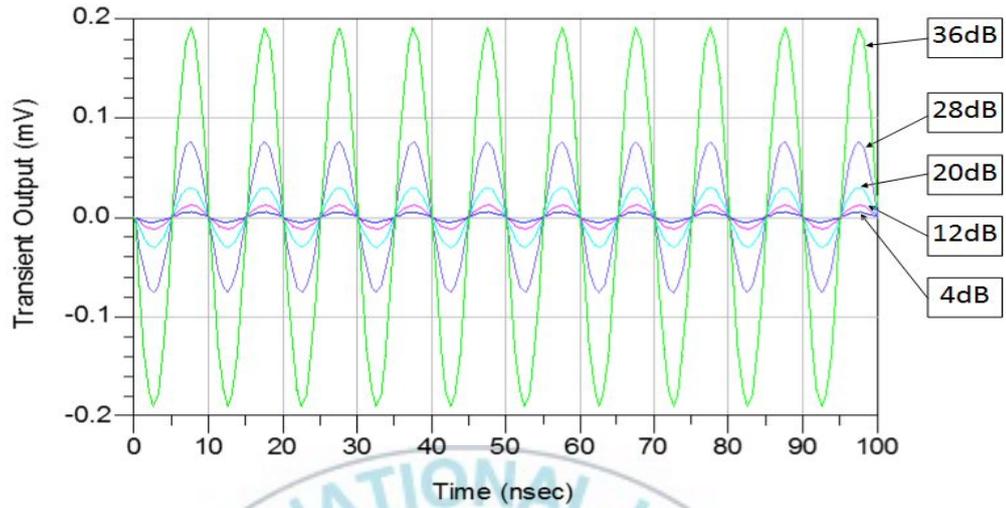


(a) 4dB ~ 36dB

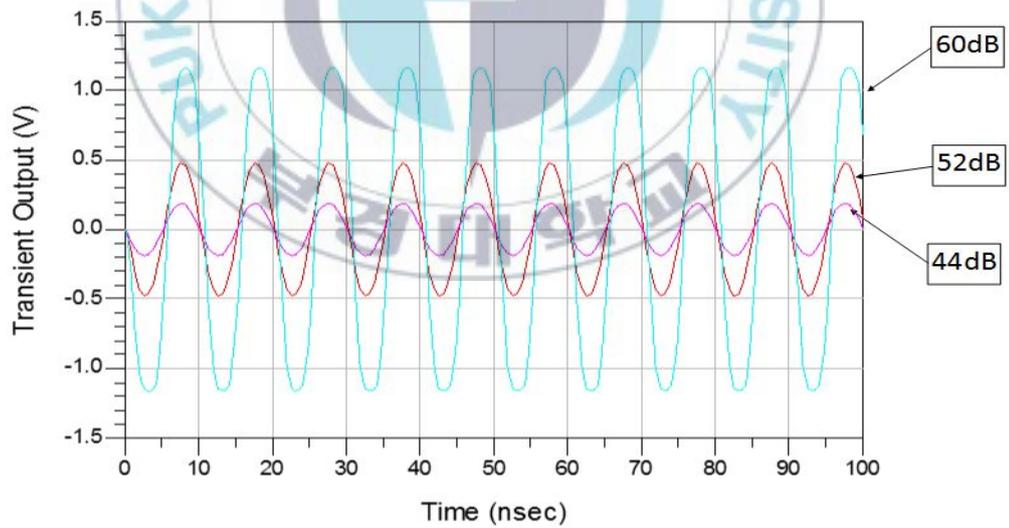


(a) 44dB ~ 60dB

[그림 4.1] 직류 오프셋을 제거하기 전 시간 영역 시뮬레이션



(a) 4dB ~ 36dB



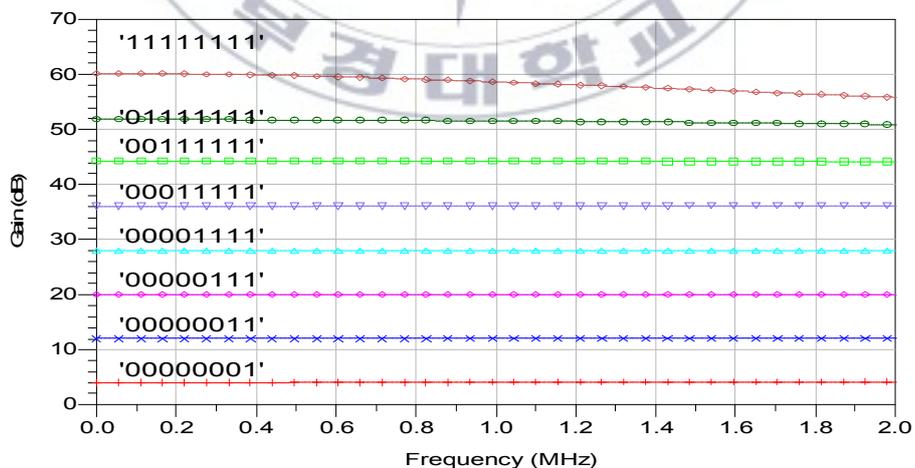
(a) 44dB ~ 60dB

[그림 4.2] 직류 오프셋을 제거한 후 시간 영역 시뮬레이션

[그림 4.2]에서 알 수 있듯이 직류 오프셋 값이 제거된 후 이득의 변화에 따라 신호의 진폭이 변함을 볼 수 있다. 이러한 결과는 설계된 회로는 4dB, 12dB, 20dB, 28dB, 36dB, 44dB, 52dB 및 60dB에 대해 직류 오프셋 전압을 제거한 정상적인 시간 응답을 보임을 증명한다.

4.2 주파수 응답 시뮬레이션

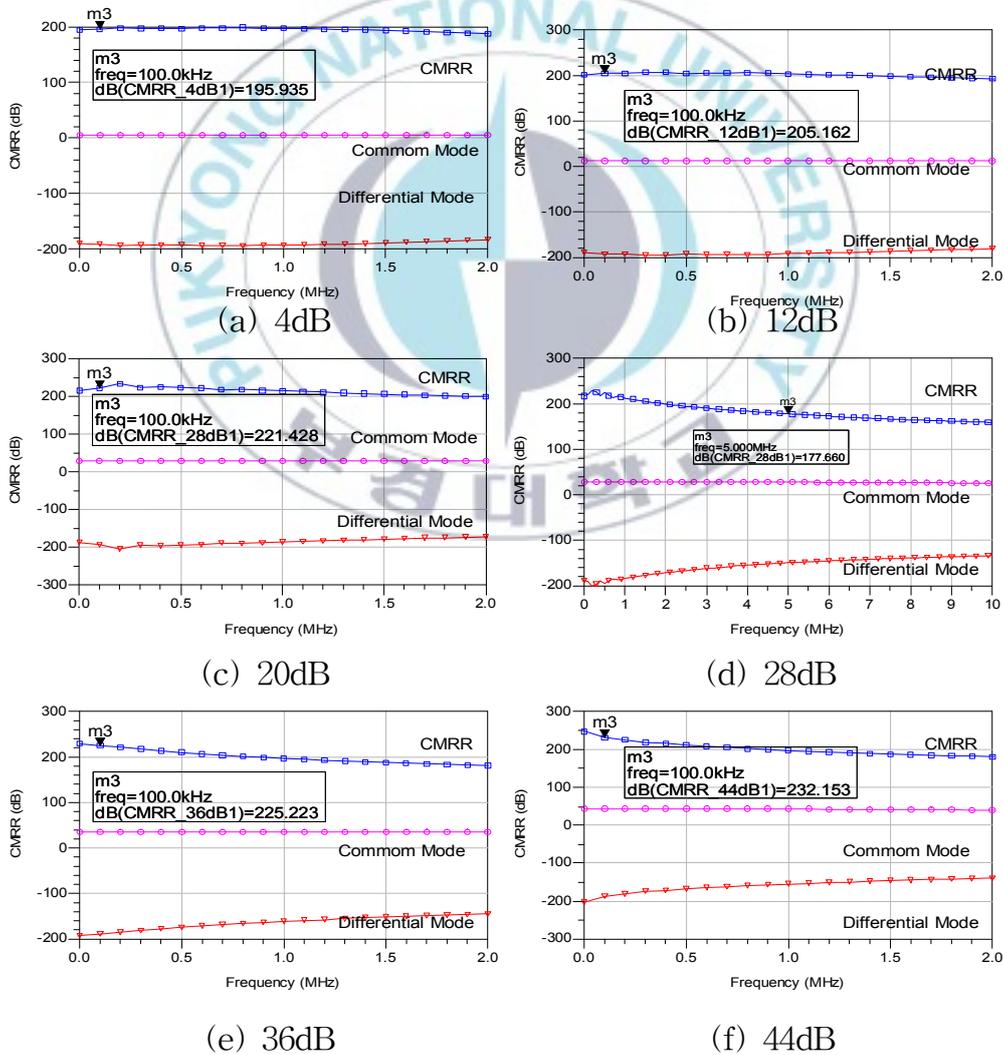
주파수 응답 시뮬레이션은 주파수 영역에서 신호의 변화를 관찰할 수 있으며 0Hz에서 2MHz까지 200kHz당 한 번씩 출력 신호의 변화를 [그림 4.3]을 통해 확인하였다. 이득의 변화는 스위치(S₁S₂S₃S₄S₅S₆S₇S₈)의 개폐에 따라 출력 이득이 변하고, [그림 4.3]의 1은 스위치가 닫힘을 의미하며 0은 스위치가 열림을 의미한다. 스위치가 모두 닫힐 경우 60dB의 이득을 가지며 총 8단계씩 구분하였고, S₁ 하나의 스위치만 닫힐 경우 4dB의 이득을 보임을 확인하였다. 이러한 결과는 각 스위치의 동작에 따라 목표로 한 4dB~60dB가 정상적으로 출력됨을 증명한다.

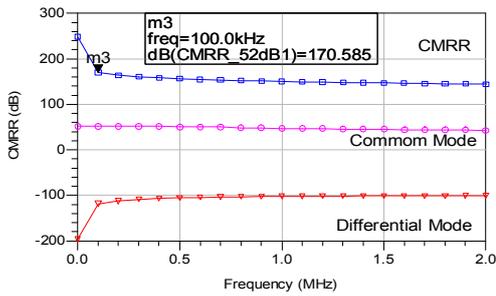


[그림 4.3] 주파수 영역 시뮬레이션 결과

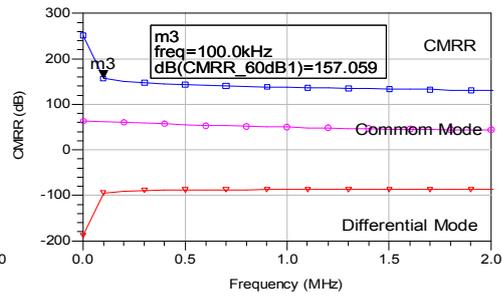
4.3. CMRR 시뮬레이션

공통모드 제거비(CMRR)를 구하기 위하여 차동모드 이득 및 공통모드 이득을 추출한 결과를 [그림 4.4]에 나타내었고, 공통모드 제거비는 3장에서 언급했듯이 공통모드 제거비가 클수록 차동입력 신호의 주파수 특성이 우수함을 증명한다. [그림 4.4]로부터 알 수 있듯이 4dB 이득에 대해 195.94dB의 공통모드 제거비를 보였고, 60dB 이득에 대해서는 157.1.7dB의 우수한 공통모드 제거비 특성을 보였다.





(g) 52dB



(h) 60dB

[그림 4.4] 공통모드 제거비 주파수 응답

[표 4.1]은 차동모드 이득, 공통모드 이득 및 공통모드 제거비 수치를 표로 나타내었다. 총 8가지 이득에서 가장 큰 이득오차는 0.25dB로 비작은 이득오차를 보였고 제안한 회로가 정확히 동작함을 나타내었다.

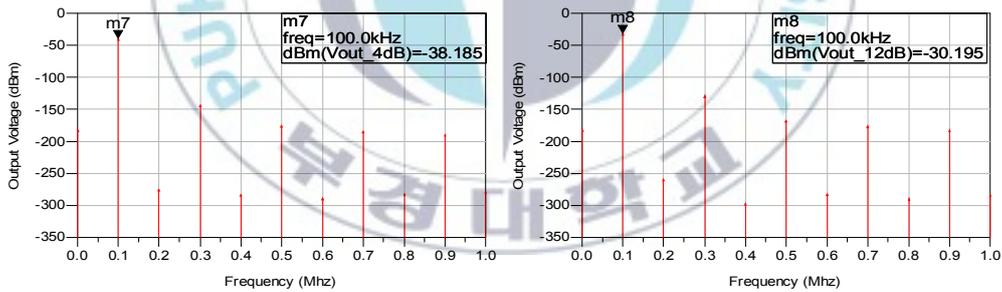
[표 4.1] PGA의 차동모드이득, 공통모드이득 및 공통모드 제거비 결과

	차동모드이득(dB)	공통모드이득(dB)	공통모드 제거비(dB)
4dB	4.008	-191.926	195.935
12dB	11.999	-193.163	205.162
20dB	19.997	-209.521	229.519
28dB	27.999	-193.430	221.428
36dB	36.040	-189.183	225.223
44dB	44.258	-187.894	232.153
52dB	52.020	-118.565	170.585
60dB	65.060	-94.999	157.059

4.4. 고조파 균형 시뮬레이션

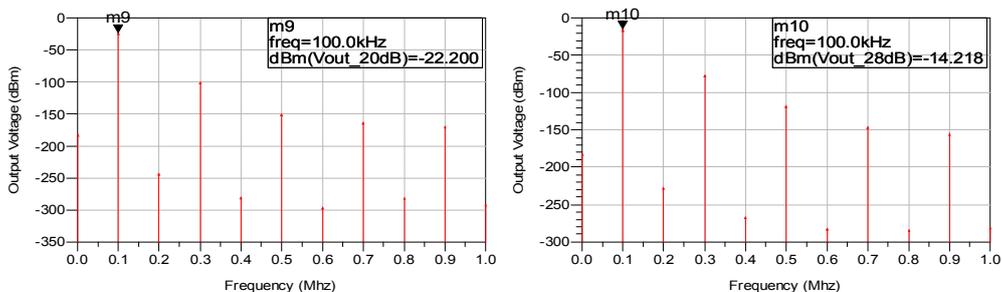
일반적으로 비선형 소자로 들어간 정현파의 출력 신호는 고조파 성분을 발생시킨다. 즉 입력 비선형 소자로 인하여 기본주파수의 정수배에 해당하는 고조파 신호로 인해 원하지 않는 출력들이 나타나고, 이러한 입력신호의 기본주파수를 가진 출력 신호의 크기와 고조파 신호의 크기를 비교하는 선형성 지표를 확인하기 위해 고조파 균형 시뮬레이션을 하였다.

본 논문에서는 총 10개의 고조파 신호를 추출하여 시뮬레이션 하였으며 [그림 4.5]는 고조파 균형 시뮬레이션 결과를 나타낸 것이며, 여기서 짝수 항의 크기는 홀수 항의 크기보다 작음을 확인할 수 있다. 이는 본 논문에서 제안하는 PGA가 완전 대칭 구조로 설계되어 있기 때문에 짝수 성분들은 서로 제거되어 우수한 선형성을 보임을 증명하는 결과이다.



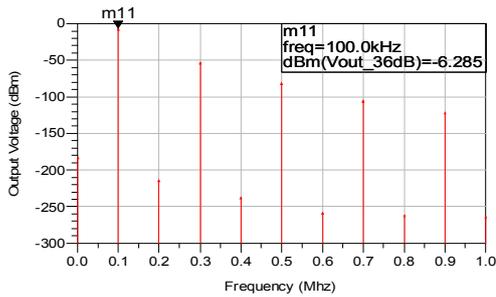
(a) 6dB

(b) 12dB

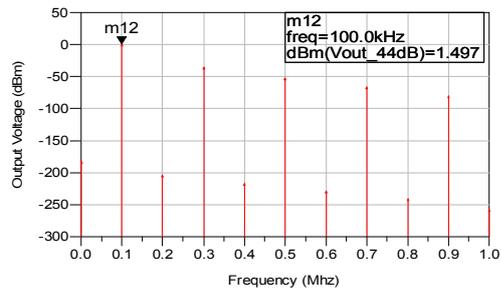


(c) 20dB

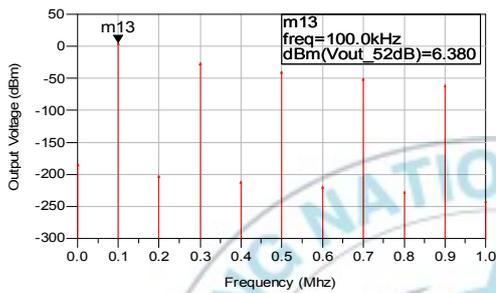
(d) 28dB



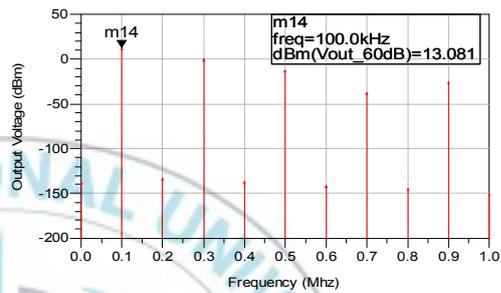
(e) 36dB



(f) 44dB



(g) 52dB



(h) 60dB

[그림 4.5] 고조파 균형 시뮬레이션 결과

[표 4.2]는 최근 연구된 PGA와 본 논문에서 제안된 PGA의 성능을 요약 및 비교한 것으로 제안된 PGA는 최근 연구 결과에 비해 총 면적이 0.015mm^2 , 소비전력이 1.137mW 로 우수한 특성을 보였고, 0.25dB 의 우수한 이득 오차를 보였다.

[표 4.2] PGA 성능 요약

	본 논문	[12]	[13]	[14]	[15]	[16]	[17]
공정 (μm)	0.18	0.18	0.18	0.18	0.18	0.13	0.18
이득 범위 (dB)	4/60	-18/30	-21/21	-15/60	0/70	0/60	-22/32
이득 오차 (dB)	<0.25	-	<0.54	<0.3	<0.7	<0.3	<0.5
소비전력 (mW)	1.137	2.5	3.2	11.85	4	9	2.16
대역폭 (MHz)	2	60	60	140	15	90	65
면적 (mm^2)	0.015	0.12	0.078	0.06	1.2	-	0.385

V. 결론

본 논문에서는 직류 오프셋 (DC-offset)을 제거한 저 전력 이득 제어 구조를 가진 이득 조절 증폭기 (PGA, Programmable Gain Amplifier)를 제안하였다.

제안된 직류 오프셋 제거 PGA는 공정 시 발생하는 구조적인 결점, 온도에 의한 문턱전압 변화, 잡음 등으로 인해 발생된 직류 오프셋 문제점을 해결하였다. 직류 오프셋 전압은 밀러효과를 이용한 AC-coupling 방식으로 큰 값의 유동적인 커패시터와 저항을 구현하여 직류 오프셋을 제거하였고 $0.8V \pm 100mV$ 의 임의의 직류 오프셋에 대하여 $23.9\mu V$ 의 수치를 나타내었다. 또한 기존의 gm-boosting 증폭기를 변형한 디지털 이득 제어 방식으로 설계되어 있기 때문에 우수한 선형성을 가지며, 특수 목적에 맞도록 그 이득을 4dB에서 60dB까지 8가지 단계로 조절 가능하도록 구현하였다.

제안된 PGA는 Magnachip/SK Hynix $0.18\mu m$ CMOS 1poly-6metal 공정을 기반으로 구현하였고, ADS를 사용한 시뮬레이션을 통하여 동작을 검증하였다. 레이아웃은 Cadence Virtuoso를 이용해 회로를 구성하였으며 Mentor의 Calibre를 이용하여 DRC 및 LVS를 검증하였다. 이를 통해 제안한 직류 오프셋 제거 기능을 가진 PGA는 기존 연구의 직류 오프셋 성분을 제거하는 우수성을 출력 전압으로 검증하였고, $1.137mW$ 의 우수한 소비특성을 보였다. 그리고 제안된 PGA의 전체 칩 크기는 $0.015mm^2$ 로 작은 면적을 차지하였다.

향후에는 제작된 칩과 테스트 보드를 구성하여 측정을 하고 시뮬레이션 결과와 비교 분석이 필요하며 주파수 보상을 통해 더 높은 대역에서도 동작 가능한 PGA의 설계가 필요하다.

참고문헌

- [1] 김철환, 류지열, “저 전력 프로그램 가능한 이득 증폭기 설계”, 한국정보기술학회, Vol 12, No, pp. 00-00, 2014
- [2] 박승훈, 김철환, 류지열, “강판 결함 검출 시스템을 위한 저 전력 이득 조절 증폭기 설계”, 한국정보기술학회, Vol 12, No. 4, pp 9-15, Apr, 2014
- [3] 권덕기, 박종태, 유종근, “디지털 방식의 이득조절 기능을 갖는 CMOS VGA를 위한 새로운 가변 축퇴 저항”, Journal of IEEE, Vol. 7 No. 1, pp. 43-55, 2003.
- [4] B. Razavi, *Design of Analog CMOS Integrated Circuit*, Book of McBraw-Hill, pp. 166-175, 2001.
- [5] 최문호, 이원영, 김영석, “다중 표준 시스템을 위한 이득 곡선 제어기를 가진 가변이득 증폭기 설계”, Journal of the Korean Institute of Electronic Material Engineers, Vol. 21 no. 4, pp. 321-328, 2008.
- [6] B. Calvo, S. Celma, P. A. Martinez and M. T. Sanz, “1.8 V-100 MHz CMOS programmable gain amplifier”, Proceedings of 2006 IEEE International Symposium on Circuits and Systems, pp. 1555-1558, 2006.
- [7] B. Calvo, S. Celma, P. A. Martinez and M. T. Sanz, “1.8V 0.35 μ m CMOS wideband programmable gain amplifier”, Proceedings of the 2005 European Conference on Circuit Theory and Design, Vol. 1 No. 1, pp. 35-38, 2005.
- [8] B. Razavi, *Design of Analog CMOS Integrated Circuit*, Book of McBraw-Hill, pp. 463-379, 2001.
- [9] X. Chu, M. Lin, Z. Gong, Y. Shi and F.F. D, “A CMOS programmable gain amplifier with a novel DC-offset cancellation

technique”, IEEE Custom Integrated Circuit Conference, San Jose, CA, pp 1-4, 2010.

[10] L. Qianqian, L. Min, C. and Z. Yin, “A programmable gain amplifier with a DC offset calibration loop for a directconversion WLAN transceiver”, Journal of Semiconductors, Vol. 32, No. 4, 2011.

[11] B. Razavi, “Design of Analog CMOS Integrated Circuit” Book of McBraw-Hill, pp. 135-193, 2001.

[12] S. Y. Kang, “A CMOS Programmable Gain Amplifier with Constant Current-Density Based Transconductance Control” 2010 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), pp. 1-4, 2010.

[13] H. H. Nguyen, “A Binary-Weighted Switching and Reconfiguration-Based Programmable Gain Amplifier,” IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 56 no. 1, pp. 699-703, 2009.

[14] B. Rahmatian, “A Low-Power 75dB Digitally Programmable CMOS Variable-Gain Amplifier,” Canadian Conference on Electrical and Computer Engineering(CCECE), pp. 522-525, 2007.

[15] B. Zhang and Z. Li, “A low power programmable gain amplifier with 70-dB control range in CMOS technology” 2011 IEEE 13th International Conference(ICCT) on Communication Technology, Vol. 13, No. 1, pp. 1074-1077, 2011

[16] X. Zhang, “A Temperature-Stable 60-dB Programmable-Gain Amplifier in 0.13- μ m CMOS” 2011 IEEE International Symposium on Circuits and Systems(ISCAS), pp. 1009-1012, 2011.

[17] S. Y. Kang, “A 2.16 mW Low Power Digitally-Controlled Variable Gain Amplifier” Microwave and Wireless Components Letters, Vol. 20, No. 3 pp. 172-174, 2010.

별 첨

[게재 논문]

논문제목 (Paper Title)	논문 발표일 (Date)	논문지명 (Journal Title)	논문지 구분 ¹⁾	저자 구분 ²⁾
Low-Power CMOS Programmable Gain Amplifier with a DC-offset Cancellation for a Direct Conversion Receiver	게재 확정	SCOPUS	International Journal	제1저자
저 전력 프로그램 가능한 이득 증폭기 설계	2015.01	한국정보기술학회 논문지	학진 등재지	제1저자
강판 결합 검출 시스템을 위한 저 전력 이득 조절 증폭기	2014.04	한국정보기술학회 논문지	학진 등재지	제2저자

[발표 논문]

논문제목(Paper Title)	논문발표일 (Date)	논문지명 (Journal Title)	저자구분
Low-Power CMOS Programmable Gain Amplifier with a DC-offset Cancellation for a Direct Conversion Receiver	2014.12	SCOPUS	제1저자
직류 오프셋 제거 기능을 가진 저 전력 PGA 설계	2014.10	한국정보통신학회 종합학술대회 논문집	제1저자
MOS 커패시터를 이용한 12비트 1MSps 연속 근사화 레지스터 아날로그-디지털 변환기	2014.10	한국정보통신학회 종합학술대회 논문집	제2저자
고 이득 및 저 잡음 77GHz CMOS 믹서 설계	2014.10	한국정보통신학회 종합학술대회 논문집	제3저자
A High Linearity Ultra-Wide Band(UWB) LNA	2014.05	한국정보기술학회 하계종합학술대회 논문집	제3저자
차량충돌 방지 단거리 레이더용 24-GHz CMOS 고주파 전력 증폭기 설계	2014.05	한국정보기술학회 종합학술대회 논문집	제3저자
24GHz/77GHz 차량 레이더 센서를 이용한 차량충돌 방지 알고리즘 설계	2014.05	한국정보기술학회 종합학술대회 논문집	제3저자
CMOS 스위치를 이용한 디지털 이득 제어 구조의 PGA 설계	2013.10	한국정보통신학회	제1저자
차량 충돌 예방 레이더 시스템-온-칩용 24GHz 믹서 설계	2013.10	한국정보통신학회	제1저자
A New Low-Power Programmable CMOS Gain Amplifier	2013.07	CES Cube 2013	제4저자
60dB 0.18 μ m CMOS 저전력 이득 조절 증폭기	2013.05	한국정보통신학회	제2저자

감사의 글

13년 이라는 대 장정의 학교생활을 마치며 수많은 감사한 분들이 계셨기에 행복하고 즐거운 학교생활을 할 수 있었고 마지막 결실인 석사학위 논문을 낼 수 있었습니다. 일일이 찾아뵙고 감사의 인사를 드려야 하지만 글로써 감사함을 먼저 전하려 합니다.

오랜 외국생활을 마치고 학부 3학년으로 복학한 저를 연구실원으로 받아주시고 때로는 아버지처럼 때로는 형처럼 물심양면으로 도움을 주시며 석사과정까지 지도해주신 류지열 교수님께 글로써 감사함을 모두 표현할 수는 없지만 먼저 머리 숙여 깊이 감사드립니다. 그리고 바쁘신 와중에도 부족한 저의 논문을 세심한 관심과 조언으로 지도해주며 학부과정 및 석사과정동안 전공지식 뿐 아니라 저의 진로에 도움을 주신 하덕호 교수님 그리고 학과 교수님이시지만 학교 선배님으로써 대학교 2학년 때 전공에 대한 갈피를 잡아주신 박규철 교수님께도 진심을 담아 감사드립니다.

그리고 ‘우리 가족 같이’라는 문구아래 연구실에서 동거 동락하였던 연구실원들이 있었기에 석사까지 잘 마칠 수 있었습니다. 가장 만형으로써 연구실원들을 항상 챙겨주신 신곤선배님, 항상 열심히 하는 모습을 보여주셨고 이제는 아기 아버지가 되어버린 성우형님, 인생의 조언과 긍정적인 마인드를 심어주셨던 재환이형님, 고민거리를 공유하며 연구실 술동무였던 기정이, 항상 자신감이 넘치는 승훈이, 부지런함의 표본인 성규, 연구실 살림을 책임지며 석사동기인 명우, 동생이었지만 학부 및 석사시절 많은 것을 알려줬던 정훈이, 축구를 밥 먹듯 좋아하고 잘하는 승우, 키는 크지만 연구실 귀염둥이 규민이 그리고 제 2의 로버트 할리가 될 아부, 눈치는 없지만 열심히는 하는 하빔 그리고 미녀의 나라 우즈베크에 서온 무로드. 모든 연구실원들에게 감사의 마음을 전하고 싶습니다.

외국생활에서 가장 큰 힘이 되었고 친형처럼 생각했던 명호형, 항상 뒤에서 많이 도와주시고 힘이 되어주셨던 큰사장님 그리고 재혁이형, 더블린 꽃미남이자 마음이 가장 잘 맞는 절친 휘석이형, 동생이지만 항상 형들을 먼저 생각하는 호현이, 그리고 다시 보고싶은 Jini, Tony, Eric 에게도 지금의 제가 있기까지 많은 도움을 주셔서 감사의 마음을 전하고 싶습니다.

그리고 대학생활의 첫 시작을 했던 F.U.C.C. 동아리, 동기 및 선후배와 복학 후 많은 도움을 줬던 FC.Ares 동생들, 대학생활 중 많은 조언과 항상 도움을 주셨던 한철이형, 성엽이형, 자문이형, 영진이형, 동경이형, 찬효형 그리고 준영이형을 비롯한 많은 분들께 감사의 말씀을 전하고, 소중한 친구 동근, 동진 그리고 같은 동내에 살며 많은 경험을 같이 했던 학경이, 동은이, 재학이, 종근이에게도 감사의 말을 전합니다.

마지막으로, 입학부터 졸업까지 대학원 행정에 관해 물심양면 많은 신경을 써준 학과 김수정 조교에게 감사를 표하며 복학 후 적응을 못할 때 앞에서 끌어주던 경호와 영준이 그리고 항상 도움을 주며 고민을 들어줬던 애기 아빠 기현이 모두 감사의 말을 전합니다.

석사를 마치는 이 시기까지 항상 믿고 지지해주셨고 항상 잘 될 거란 믿음을 주시며 아들이 잘되길 빌어주시는 엄마 그리고 아버지와 힘들 때 말없이 도와주고 항상 아낌없는 조언과 동생의 앞날을 걱정해준 우리 형에게도 감사의 말을 전합니다.

이외에 제가 미처 언급하지 못한 감사한 분들이 너무나도 많지만 모든 분들의 이름을 하나하나 되새기지 못함을 죄송하게 생각합니다.

2015년 2월

김철환