



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공 학 석 사 학 위 논 문

Current Modulator를 이용하여 작은 루프필터를
가지는 위상고정루프



2016년 2월

부 경 대 학 교 대 학 원

전 자 공 학 과

김 혜 진



공 학 석 사 학 위 논 문

Current Modulator를 이용하여 작은 루프필터를
가지는 위상고정루프

지도교수 최 영 식

이 논문을 공학석사 학위논문으로 제출함.

2016년 2월

부 경 대 학 교 대 학 원

전 자 공 학 과

김 혜 진

김혜진의 공학석사 학위논문을 인준함.

2016년 2월 26일



위 원 장 공학박사 최 혁 환 (인)

위 원 공학박사 이 원 창 (인)

위 원 공학박사 최 영 식 (인)

목 차

Abstract

I. 서론	1
II. 위상고정루프의 기본 이론	3
2.1 위상고정루프의 구조 및 이론	3
2.2 기본 블록들의 동작특성	6
2.2.1 위상 검출기	6
2.2.2 전하펌프와 루프필터	9
2.2.3 전압 제어 발진기	11
2.2.4 주파수 분주기	11
2.3 전하펌프 위상 고정 루프의 선형적 분석	12
III. Current Modulator를 이용하여 작은 루프필터를 가지는 위상고정루프 설계	17
3.1 제안한 위상고정루프의 구조	17
3.2 Current Modulator의 동작	18

3.3 회로 설계	21
3.3.1 위상-주파수 검출기	21
3.3.2 전하 펌프	23
3.3.3 전압제어 발진기	25
3.3.4 주파수 분주기	27
3.3.5 Current Modulator	28
3.4 Current Modulator 전류량에 대한 고찰	29
IV. 시뮬레이션 결과	31
4.1 시뮬레이션 결과	31
V. 결론	36
참고문헌	37

Increased Effective Capacitance with Current Modulator in PLL

Hye Jin Kim

Department of Electronic Engineering, The Graduate School,
Pukyong National University

Abstract

A phase-locked loop(PLL) with effectively increased capacitance by current modulator has been studied. In this thesis, the effective capacitance of loop filter is increased by using current modulator and it results in 1/10 reduction of capacitance in loop filter. It has been designed with a 1.8V 0.18 μ m CMOS process. The simulation results show that the proposed PLL has the same phase noise characteristic and the locking time of conventional PLL.

I. 서 론

휴대용 멀티미디어 기기의 발전에 따라 칩의 소형화가 요구 되고 있다. 넓은 면적을 차지하는 커패시터를 사용하는 아날로그-디지털 변환기(ADC), 디지털-아날로그 변환기(DAC), 위상고정루프(PLL)와 같은 회로에서 커패시터의 크기를 줄이는 것이 매우 중요하다. 그 중 PLL의 크기를 줄이기 위해서 매우 큰 면적을 차지하는 루프필터의 커패시터의 면적을 줄이는 것은 전체 칩 면적을 줄일 수 있고, 결과적으로 비용 절감에 매우 효과적이다.

하지만 칩에서 필요한 클록 신호를 만들어내는 위상고정루프가 안정된 동작과 좋은 잡음 특성을 가지기 위해서는 큰 커패시턴스 용량을 필요로 하는 좁은 대역폭이 요구된다. 특히 넓은 주파수 대역폭과 크기가 작은 링 발진기를 사용하는 PLL은 좋은 잡음 특성을 위하여 좁은 대역폭이 필요하다. 그러므로 칩의 면적을 줄임과 동시에 안정성을 확보하기 위해서는 작은 크기의 커패시턴스 용량이 큰 커패시턴스 용량이 된 것처럼 동작하도록 하는 구조가 필요하다.

작은 크기의 커패시턴스 용량이 큰 커패시턴스 용량이 된 것처럼 동작하도록 하는 구조에 대한 연구가 활발하게 진행되고 있으며 다양한 구조들이 제안 되었다. 두 개의 루프와 능동 루프 필터를 사용하여 유효 커패시턴스 크기를 키워 작은 크기의 커패시턴스로 루프 필터를 만들어 위상고정루프를 하나의 칩으로 구현하였다[1][2][3]. 이 구조들은 전하펌프와 연산증폭기가 추가되어 잡음 특성에 영향을 준다. Sampled-feedforward 루프 필터 구조로 루프 필터를 만들어 작은 크기의 커패시터로 루프 필터를 구현하였

다[4]. 이 구조에서는 기준 신호 한 주기마다 MOSFET로 만들어진 스위치를 통해 전하를 전달해야 하므로 커패시터를 줄이면 기준 신호 스퍼가 커지게 된다. 전하 펌프의 전류 방향을 조절하여 유효 커패시턴스를 증가시켜 루프 필터를 구현하였다[5]. 이 구조는 기존의 위상고정루프에 세 개의 전하펌프와 위상 고정 상태 표시기가 추가 되어야하므로 다소 복잡하다. Subtractive-type capacitor multiplier와 time-average capacitor multiplier를 이용하여 유효 커패시턴스가 높은 커패시터를 구현하였다[6]. 커패시터 멀티플라이어는 전압 모드 기법과 전류 모드 기법으로 크게 두 종류가 있다. 이 중 전류 모드 기법을 이용하여 유효 커패시턴스가 높은 커패시터를 구현하였다[7][8][9]. 전류 모드 기법은 높은 증폭율을 가질 수 있는 장점이 있는 반면 전류가 증가하기 때문에, 전력 소모가 증가하는 단점이 있다. 또한 여러 개의 전류원과 다른 구조들이 사용되므로 복잡하다.

본 논문에서는 Current Modulator를 사용하여 추가 된 구조로 인해서 칩의 크기와 전력 소모가 거의 증가 하지 않으면서 위상고정루프에서 루프필터의 커패시턴스 크기를 변화시켜 아주 작은 크기를 가지는 위상고정루프를 제안하였다. 제안된 위상고정루프는 current modulator를 사용하여 간단한 크기가 작은 구조를 이용하여 유효 커패시턴스 용량을 증가시켰다.

II. 위상고정루프의 기본 이론

2.1 위상고정루프의 구조 및 이론

주파수 합성기 또는 클럭 신호 생성기를 구현하는 방법에는 여러 가지가 제안되어 왔다. 그중에 가장 보편적으로 사용하는 방법이 위상 고정 루프(PLL : Phase-Locked Loop)를 이용 하는 것인데, 그 이유는 위상 고정 루프는 낮은 위상잡음, 낮은 스퍼 분포 등 여러 가지 장점을 가지고 있기 때문이다.

위상 고정 루프는 기준 주파수에 대해 주파수와 위상이 같은 신호를 만들어 내는 회로이다. 위상 고정 루프의 여러 특성 중 위상 고정루프로서 위상 고정 루프의 동작특성을 나타내는 지표는 위상잡음(phase noise), 위상 고정 시간, 스퍼 등이 있다. 이들 모두 위상 고정 루프의 대역폭에 의해 영향을 받는다. 대역폭이 넓어지면, 위상 고정 시간은 짧아지나 잡음특성이 나빠지고, 대역폭이 줄어들면 반대의 효과가 나타나는 상충 관계이다. 대역폭은 위상 고정 루프에 인가되는 기준 주파수에 의존한다. 본 논문에서 다루고 있는 위상 고정 루프는 전하 펌프 위상 고정 루프로 기본적인 블록 다이어그램은 그림2.1과 같다.

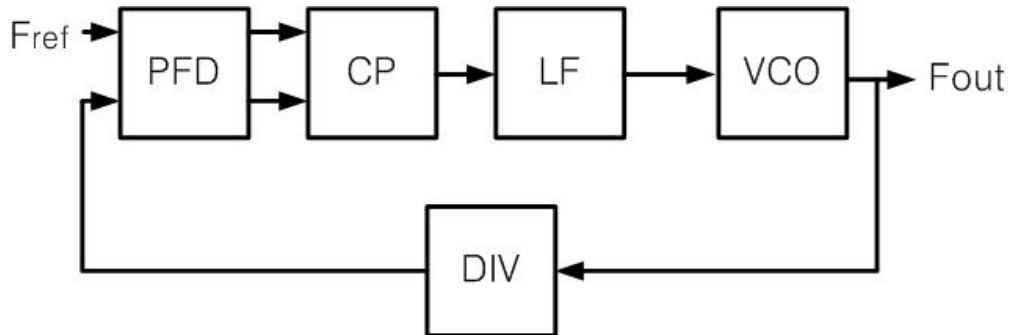


그림 2.1 기본 위상 고정 루프 블록 다이어그램

위상 고정 루프는 위상 주파수 검출기(PFD), 전하 펌프(CP), 루프 필터(LF), 전압 제어 발진기(VCO), 주파수 분주기(DIV)의 주요 부분으로 나누어져 있다. 위상 고정 루프의 동작을 살펴보면, 위상 주파수 검출기는 외부로부터 입력되는 기준 주파수 신호와 전압 제어 발진기에서 생성되는 신호의 위상과 주파수를 비교하여 위상 및 주파수의 차이에 해당하는 신호를 출력하여 전하 펌프를 구동한다. 전하 펌프는 입력 신호의 펄스폭에 비례하는 전류를 구동하여 루프 필터의 커패시터를 충전 또는 방전시킴으로써 전압 제어 발진기의 출력신호와 위상을 기준 주파수의 위상과 주파수에 동일하게 만드는 전압 제어 발진기의 제어전압을 발생시킨다.

위상 고정 루프가 위상 고정되는 과정은 비선형적 과정이지만 위상 고정된 후에는 위상 고정 루프를 선형 모델링 할 수 있다. 그림2.2는 위상 고정 상태에서 위상 고정 루프의 선형모델을 나타낸다. 전달함수는 식(2-1)과 같다.

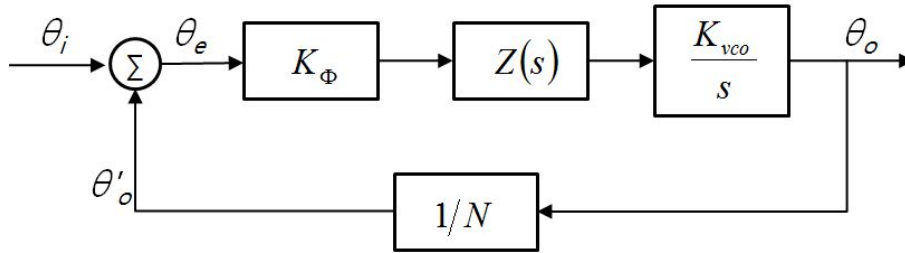


그림 2.2 위상 고정 상태에서의 위상 고정 루프 선형 모델

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{K_{\Phi} \cdot Z(s) \cdot \frac{K_{VCO}}{s}}{1 + \frac{1}{N} \cdot K_{\Phi} \cdot Z(s) \cdot \frac{K_{VCO}}{s}} \quad (2-1)$$

2.2 기본 블록들의 동작특성

2.2.1 위상 주파수 검출기 (phase frequency detector)

일반적으로 두 클록의 위상을 비교하는 블록은 위상 주파수 검출기 이다. 이 위상 주파수 검출기의 특성에 따라 정적 스큐, bang-bang 지터 등의 크기가 결정된다. 가장 쉽게 생각할 수 있는 것은 D Flip-Flop을 위상 주파수 검출기로 생각하는 것인데 이 경우 D Flip-Flop의 셋/홀드 시간만큼의 불확실 영역이 있어 이로 인해 지터가 증가할 수 있고, 위상 오차가 양(+)인지 (-)인지만 판단하기 때문에 bang-bang 지터가 발생할 수 있는 단점을 가진다.

현재는 위상과 주파수 차이를 동시에 검출하는 순차회로인 3-상태 (3-state) 위상 주파수 검출기 구조가 가장 보편적으로 사용되고 있다. 그림 2.3는 3-상태 위상 주파수 검출기의 구조를 나타낸다.

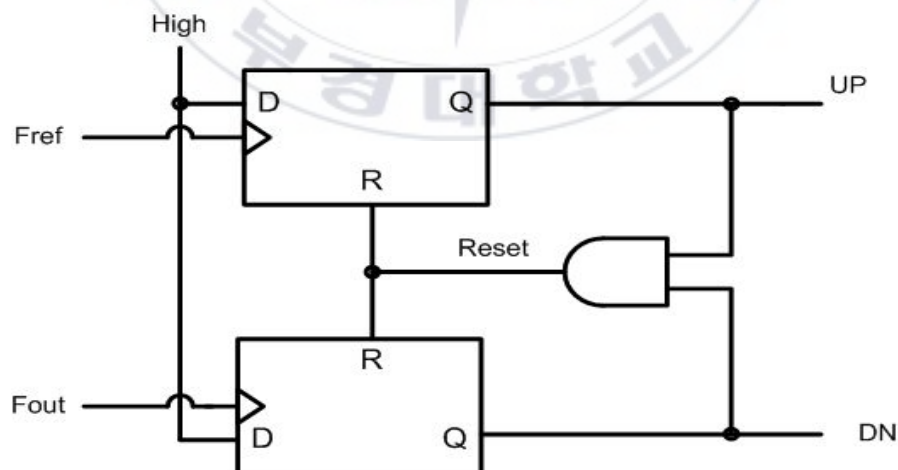


그림 2.3 위상 주파수 검출기의 기본 구조

3-상태 위상 주파수 검출기는 2개의 D Flip-Flop과 1개의 AND 게이트로 구성되어 있다. 이 구조는 edge-triggered 순차회로로 2개의 D Flip-Flop의 입력으로 기준 주파수 신호(F_{ref})와 전압 제어 발진기(VCO)의 출력 주파수 신호 (F_{out})의 이행 조건에 따라 동작하기 때문에 두 입력 신호의 듀티비(duty ratio)에 대해 무관한 특성을 나타낸다.

그림 2.4는 3-상태 위상 주파수 검출기의 상태도를 나타낸다. 위상 주파수 검출기는 기준 신호와 전압 제어 발진기의 출력신호의 위상 차이에 비례하는 폭을 가진 출력 펄스를 생성하고, 두 입력 중 빠른 위상을 가진 입력이 어떤 것인가에 따라 UP, DN 펄스를 출력 신호로 내보낸다.

예를 들어, 기준 신호가 전압 제어 발진기의 출력 신호보다 위상이 빠르다고 하면, 그 위상차에 해당하는 펄스폭을 가지는 UP 신호를 출력한다. 반대로 기준 신호가 전압 제어 발진기의 출력 신호보다 위상이 느리다고 하면, 마찬가지로 그 위상차에 해당하는 DN 신호를 출력한다.

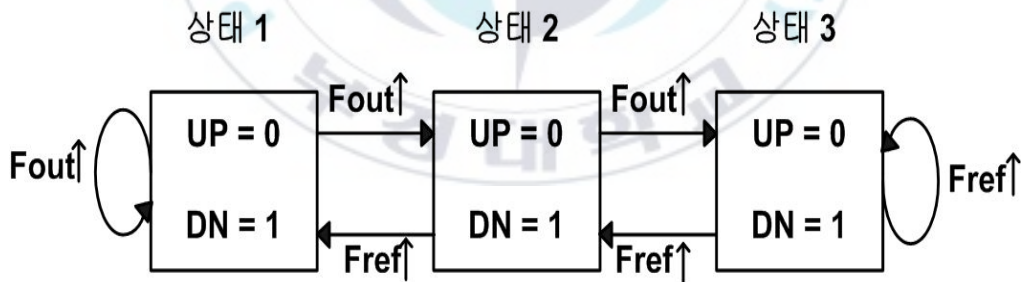


그림 2.4 위상 주파수 검출기의 상태도

위상주파수 검출기의 출력 UP 신호는 전하펌프를 구동시켜 루프필터의 커패시터를 충전하여 전압을 상승시킨다. 마찬가지로 DN 신호는 루프필터의 충전된 전하를 방전하여 전압을 하강시킨다.

기준신호와 전압 제어 지연단의 출력 신호가 같아지면 이상적인 경우 위상주파수 검출기의 출력인 UP, DN 신호가 없고, 이에 따라 전하펌프의 구동이 없게 된다. 그리고 전하펌프의 전류 구동이 없기 때문에 루프필터의 커패시터에 충전, 방전이 없게 되므로, 전압 제어 발진기의 입력제어전압은 항상 일정한 값을 유지하게 된다. 그러나 실제의 경우, 위상주파수 검출기의 D Flip-Flop의 리셋 시간에 의해 리셋 펄스가 생성된다.

위상 주파수 검출기에 입력되는 두 입력 위상간의 위상차를 $\Delta\theta$ 라디안이라 하면, 위상 주파수 검출기는 주기가 $1/f_{PFD}$ 이고 펄스의 크기가 (duration) $|\Delta\theta|/\omega_{PFD}(=2\pi f_{PFD})$ 인 펄스를 발생시킨다. 전하펌프의 전류가 I_p 라 할 때, 이는 전하펌프에 인가되어 한 주기 당 $I_p\Delta\theta/2\pi$ 의 전류를 루프필터에 전달해 준다. 이를 루프필터는 전압으로 바꾸어 주는 역할을 한다. 이를 수식으로 표현하면 식2-2와 같다.

$$V_{cont}(s) = \frac{1}{2\pi} \cdot I_p \cdot G_{LF}(s) \cdot \Delta\theta(s) \quad (2-2)$$

위의 수식에서 V_{cont} 는 루프필터의 출력 전압이며, G_{LF} 는 루프필터의 전달함수이다.

2.2.2 전하 펌프와 루프 필터

그림 2.5는 위상 고정 루프에서 사용되는 전하펌프(CP : Charge Pump)와 루프필터(LF: Loop filter)의 구성을 나타낸다. 전하펌프는 위상 주파수 검출기의 출력인 UP, DN 신호를 입력으로 받아서 전류를 공급하거나 빼는 역할을 한다. 전하펌프는 전류원, 싱크(sink) 그리고 UP, DN 신호에 의해 전류원을 ON/OFF 시키는 스위치로 구성된다. 전하펌프의 UP, DN 동작에 의한 전류 공급은 위상 고정 루프 특성에 매우 중요한 역할을 하는데 이는 위상 고정 루프 출력 주파수의 지터에 영향을 끼치기 때문이다.

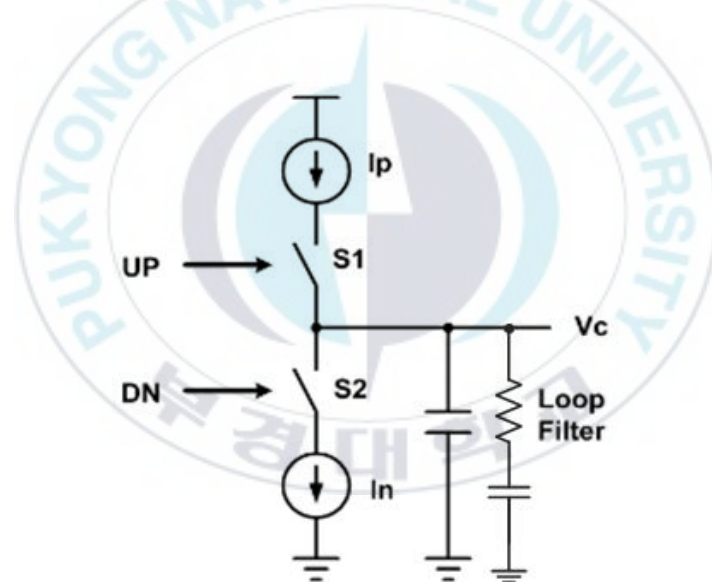


그림 2.5 전하펌프와 루프필터

전하펌프의 동작을 살펴보게 되면 UP신호가 'high'일 경우 전하펌프의 S1 스위치가 'turn on'이 되어 루프필터에 전류 I_p 가 흐르게 되고, 이 루프필터의 커패시터에 전하가 충전되어, 전압 제어 발진기의 입력제어전압인 V_C 전압이 서서히 상승하게 된다. 반대로, DN 신호가 'high'일 경우 전하

펌프의 S_2 스위치가 'turn on'되어 루프필터에 전류 I_N 이 흐르게 되고, 루프필터의 커패시터에 충전되어 있던 전하가 방전되어 전압 제어 발진기의 입력제어전압인 V_C 가 서서히 하강하게 되는 동작원리를 갖는다.

또한 위상 고정 상태에서 리셋 시간에 스위치 S_1 , S_2 가 동시에 'turn on'되어 접지로 전류 경로가 형성되므로, 루프필터의 커패시터의 충전, 방전이 없게 된다. 따라서 전압 제어 발진기의 입력제어전압의 변동 없이 일정한 값을 갖게 된다.

전하펌프에 사용되는 스위치 소자는 MOSFET으로 스위치 S_1 의 경우는 P형 MOSFET, 스위치 S_2 의 경우는 N형 MOSFET을 사용하게 된다. 지연 고정루프가 위상 고정된 경우, 전하펌프에 흐르는 전류량 I_P , I_N 의 크기는 같아야 한다. 그러나 스위치로 사용되는 P형 MOSFET, N형 MOSFET 소자의 이동도 차이, 위상주파수 검출기의 출력인 UP, DN신호에 의한 스위치 'turn on' 시간차이, MOSFET 스위치의 클록 피드스루(Clock Feedthrough), 전하공유(Charge Sharing)에 따른 전류 미스매치(mismatch)가 발생한다.

이러한 요소들에 의해 발생하는 전류 미스매치는 전압 제어 발진기의 입력제어전압이 움직이는 원인이 되고, 궁극적으로 지터를 발생하게 하는 주요 원인이 된다.

2.2.3 전압 제어 발진기 (voltage controlled oscillator)

전압 제어 발진기는 입력전압에 비례하는 주파수를 발생하는 블록으로, 그 수식은 식2-3와 같다.

$$\omega_{out} = \omega_{free} + K_{vco} \cdot V_{cont} \quad (2-3)$$

위의 수식에서 ω_{free} 는 V_{cont} 전압이 인가되지 않았을 경우의 전압 제어 발진기 자주 주파수(free running frequency), K_{VCO} 는 전압 제어 발진기의 이득을 의미한다. 위의 수식에서 전압 제어 발진기의 전달함수를 구하면 다음과 같다.

$$\Phi_{out}(s) = \frac{1}{s} \cdot K_{vco} \cdot V_{cont} \quad (2-4)$$

2.2.4 주파수 분주기(Divider)

출력 주파수를 입력 기준 주파수에 비해 높은 주파수를 가지도록 하기 위해서는 전압 제어 발진기의 주파수를 그대로 사용하지 못하고, 주파수 분주기를 이용해서 주파수를 분주하게 된다. 이때 사용되는 주파수 분주기의 특성에 따라 정수비, 분수비 방식으로 나누어진다.

2.3 전하펌프 위상 고정 루프의 선형적 분석

루프의 동작특성을 s-domain에서 분석하면 개루프 전달함수와, 폐루프 전달함수는 식2-5 와 식2-6 같이 나타낼 수 있다.

$$H_{open} = K_{PFD} \cdot \frac{K_{VCO}}{s} \cdot G_{LF}(s) \quad (2-5)$$

$$H_{closed}(s) = \frac{K_{PFD} \cdot K_{VCO} \cdot G_{LF}(s)}{s + K_{PFD} \cdot K_{VCO} \cdot G_{LF}(s)} \quad (2-6)$$

위의 수식을 바탕으로 위상 고정 루프의 개루프 전달함수는 식2-7과 같고, 폐루프의 전달함수는 식2-8로 나타낸다.

$$\frac{\theta_o(s)}{\Delta\theta(s)} = \frac{1}{2\pi} \cdot I_p \cdot G_{LF}(s) \cdot \frac{K_{VCO}}{s} \quad (2-7)$$

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{\frac{K_{VCO}}{s} \cdot \frac{I_p}{2\pi} \cdot G_{LF}(s)}{1 + \frac{K_{VCO}}{s} \cdot \frac{I_p}{2\pi} \cdot G_{LF}(s)} \quad (2-8)$$

$G_{LF}(s)$ 는 루프 필터의 전달함수를 나타내고, 저역 통과 필터가 사용된다.

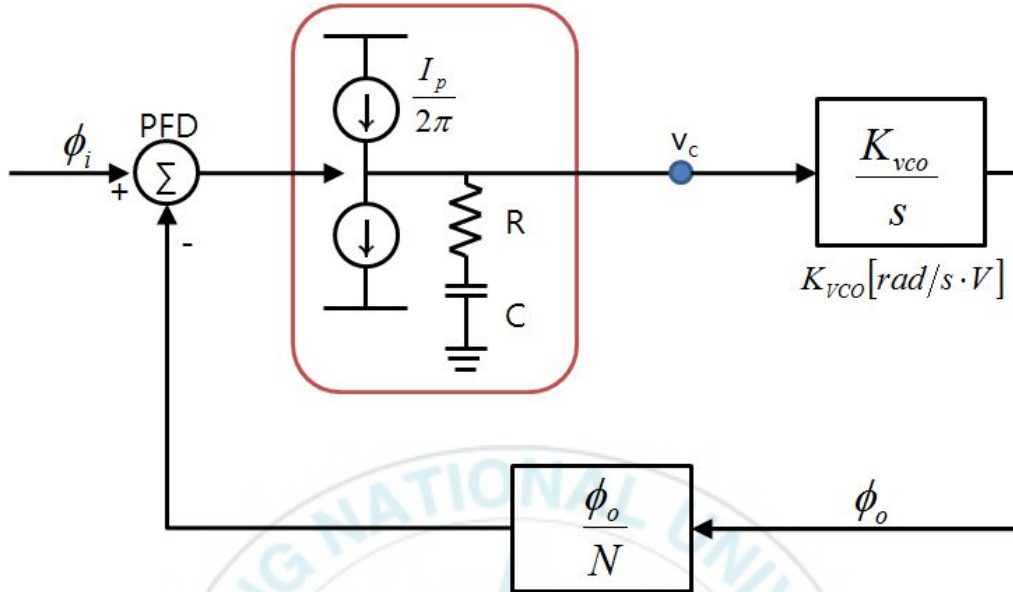


그림 2.6 2차 구조의 전하펌프 위상고정루프

그림 2.6은 루프필터에서 1차의 전달함수를 가지고 전압제어발진기에서 1차의 전달함수를 지니는 가장 기본적인 위상고정루프를 보인 것이다. 이 구조는 식2-7을 이용하여 전개하면 식2-9와 같이 나타난다.

$$\begin{aligned}
 \frac{\phi_o}{\phi_i} &= \frac{N \left(\frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot R \cdot K_{vco} \cdot s + \frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot K_{vco} \cdot \frac{1}{C} \right)}{s^2 + s \cdot \frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot R \cdot K_{vco} + \frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot K_{vco} \cdot \frac{1}{C}} \quad (2-9) \\
 &= \frac{2\zeta\omega_n \cdot s + \omega_n^2}{s^2 + 2\zeta\omega_n \cdot s + \omega_n^2}
 \end{aligned}$$

그림 2.6과 같은 구조는 저항의 성분이 I_p 에 의해 빠른 V_C 전압의 변화를 보이므로 전체 위상 고정 루프의 출력에 원치 않는 신호(spur)가 크게 나타나는 등의 문제가 많이 발생하므로 거의 사용하지 않는 구조이다.

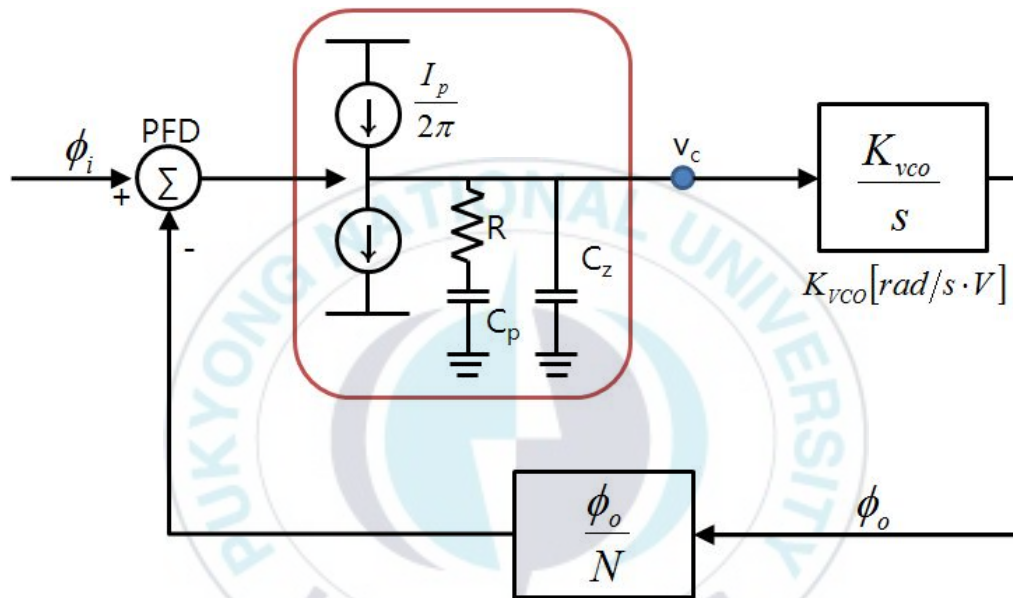


그림 2.7 3차 구조의 전하펌프 위상고정루프

이에 비해 그림 2.7과 같이 2차 필터를 사용하여 3차의 루프를 구성하는 경우는 스퍼의 감소와 안정성을 기대 할 수 있다. 전달 함수에 있어서 2차 필터를 사용하면 두 개의 극점은 원점에 존재하고 나머지 하나의 극점과 한 개의 영점을 이용하여 위상 마진을 고려하여 루프의 안정성을 보장하게 하고, 대역폭을 조절하게 된다. 2차 필터는 그림 2.8과 같다.

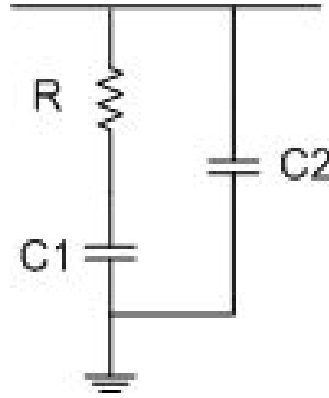


그림 2.8 2차 루프 필터

2차 필터를 이용한 전체 위상 고정 루프의 개루프와 폐루프의 전달함수를 구하면 다음과 같다.

$$H_{open}(s) = \frac{1}{2\pi} \cdot I_p \cdot \frac{1 + s \cdot R \cdot C_1}{s(C_1 + C_2) + s^2 \cdot R \cdot C_1 \cdot C_2} \cdot \frac{K_{VCO}}{s} \quad (2-10)$$

$$H_{closed}(s) = \frac{K_{VCO} \cdot I_p \cdot (1 + s \cdot R \cdot C_1)}{K_{VCO} \cdot I_p + K_{VCO} \cdot I_p \cdot R \cdot C_1 \cdot s + 2\pi(C_1 + C_2)s^2 + 2\pi \cdot R \cdot C_1 \cdot C_2 \cdot s^3} \quad (2-11)$$

위의 식2-10에서 원점에 2개의 극점이 존재하고, $\frac{C_1 + C_2}{R \cdot C_1 \cdot C_2}$ 에 극점이 하나 존재하고, $\frac{1}{R \cdot C_1}$ 에 하나의 영점이 존재한다. 위의 개루프 전달함수에 대한 위상에 대한 보드선도를 그리면 그림 2.9와 같다.

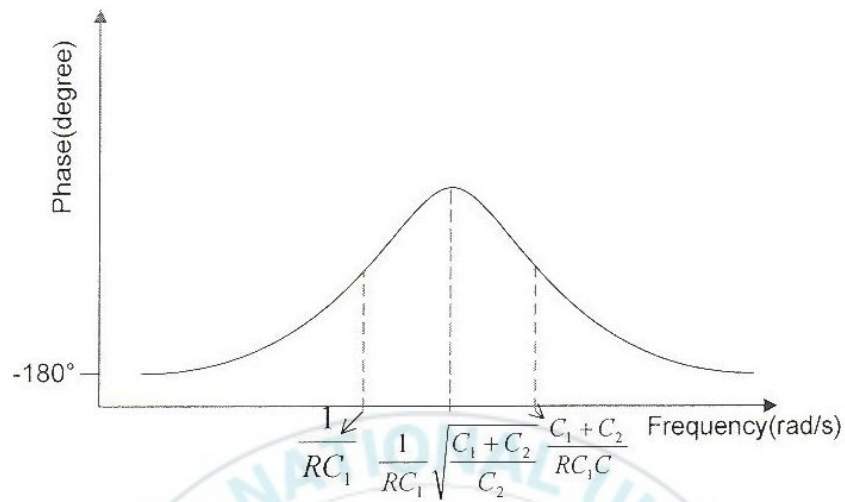


그림 2.9 3차 위상 고정 루프의 위상특성

루프 필터의 차수에 따라, 그리고 R과 C_1 , C_2 의 값에 따라 위의 식의 특성이 달라지므로 원하는 대역폭과 안정성을 고려하여 필터를 설계해야 한다.

III. Current Modulator를 이용하여 작은 루프필터를 가지는 위상고정루프 설계

3.1 제안한 위상고정루프의 구조

본 논문에서 제안한 위상 고정 루프 구조가 그림 3.1에 나타나 있다. 제안한 구조는 위상-주파수 검출기, 전하펌프, 2차 루프필터, 전압 제어 발진기, 주파수 분주기, 그리고 current Modulator로 구성 된다. 일반적인 위상 고정 루프는 하나의 전하펌프로서 루프필터의 전압을 제어한다. 제안된 구조는 또 하나의 전하 펌프인 current modulator를 추가한 구조로서 루프필터의 전압을 제어한다. Current modulator는 위상 주파수 검출기에서 출력된 UP, DN 신호를 입력으로 하는 D flip-flop의 출력 신호 S1, S2로서 제어된다.

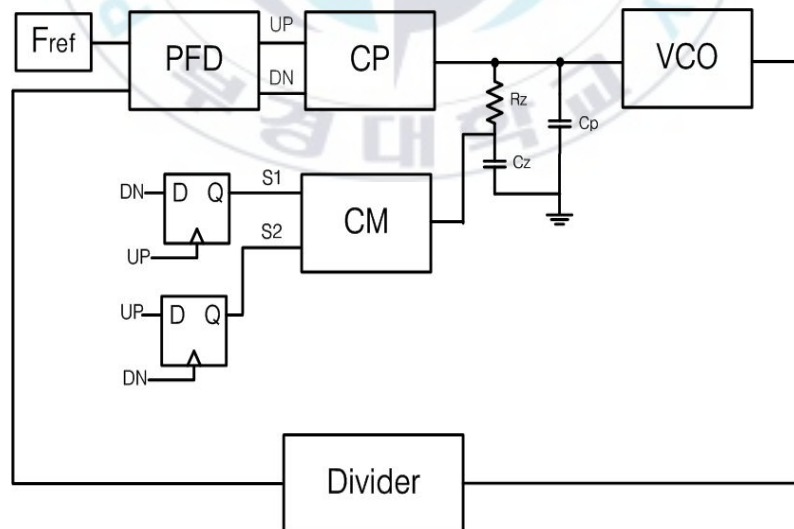


그림 3.1 제안한 위상고정루프의 구조

3.2 Current modulator의 동작

제안한 위상고정루프는 루프 필터에서 가장 큰 값을 가지는 C_z 의 크기를 줄여 집적화가 가능하도록 한 것이다. 제안된 위상고정루프는 기준신호와 분주기 신호의 위상차에 따라 전류를 공급하는 current modulator를 가진다.

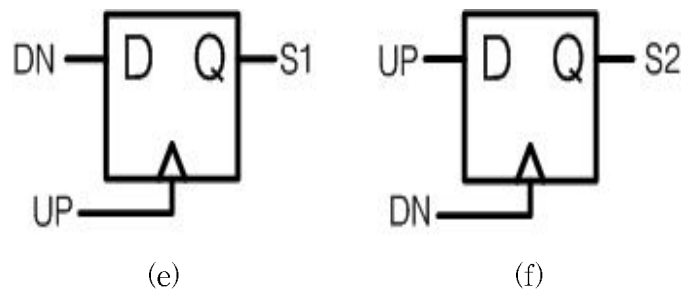
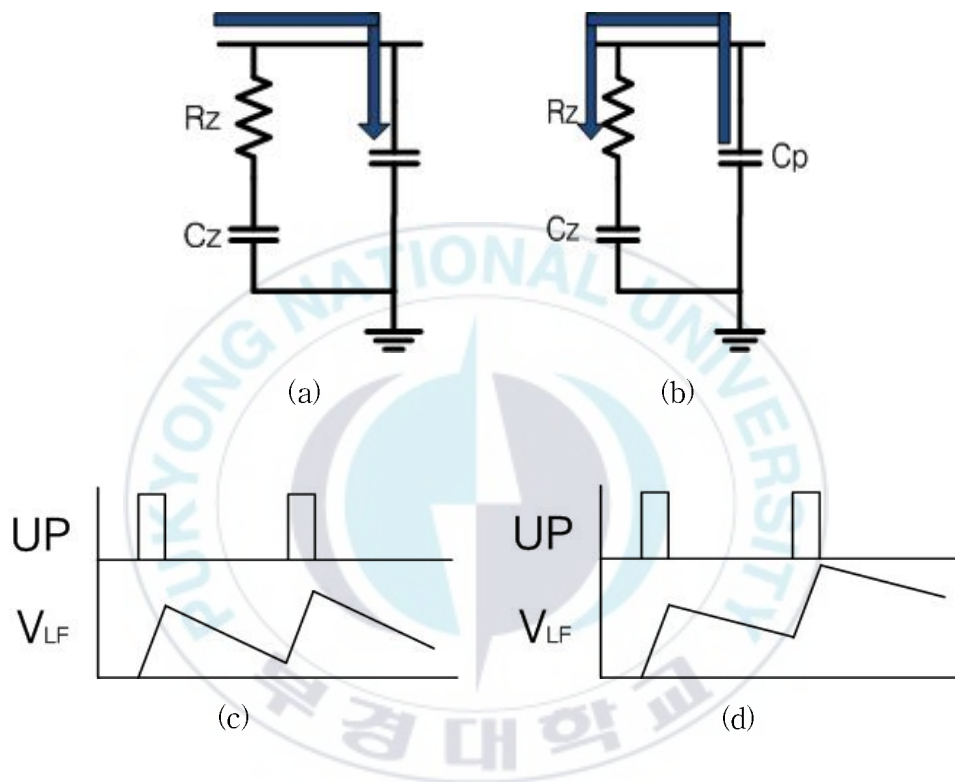
기존의 2차 루프필터를 가진 위상고정루프는 그림 3.2(a)와 같이 UP 신호가 인가되면, 시간 상수가 작은 C_p 로 대부분의 전류가 흐르게 된다. 따라서 C_p 가 충전되어 V_{LF} 의 값은 높아진다. 그 후, 그림 3.2(b)와 같이 C_p 에 충전되어 있던 전하가 R_z 를 통해 C_z 로 흐르게 되면서 V_{LF} 의 값의 낮아지게 된다. 그림 3.2(c)처럼 C_p 에 충전된 전하량의 상당 부분이 C_z 로 방전 되는 과정을 반복하면서 V_{LF} 의 변동 폭이 작아지게 되고, 이를 통해 위상고정루프의 안정적인 동작을 구현한다.

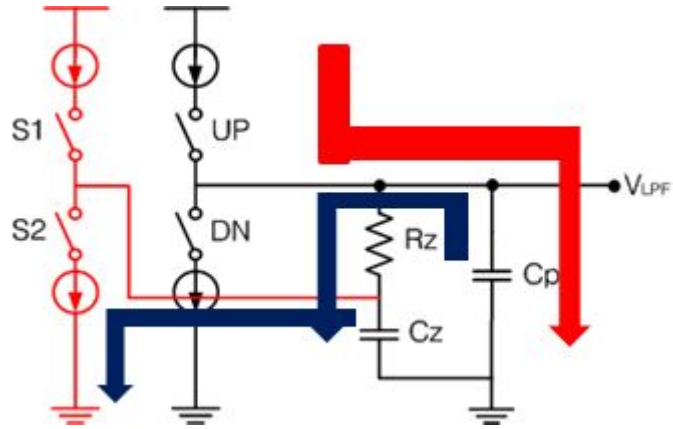
하지만 C_z 와 C_p 가 같은 값일 경우에는, 그림 3.2(d)와 같이 C_p 에 있던 전하가 C_z 로 많이 흐르지 않기 때문에, V_{LF} 의 변동 폭이 커지게 되고, 위상고정루프는 불안정적인 동작을 하게 된다.

C_z 와 C_p 의 값이 같은 위상고정루프에 current modulator를 추가함으로써 C_z 를 충,방전 시키는데 도움을 주는 역할을 한다. 따라서 크기는 작지만 안정적인 동작을 구현할 수 있다. Current modulator에는 S1, S2 신호가 입력으로 들어간다. 이는 PFD로부터 출력된 UP, DN 신호를 그림 3.2(e), (f)의 D 플립-플롭으로 입력하여 출력해낸 신호이다.

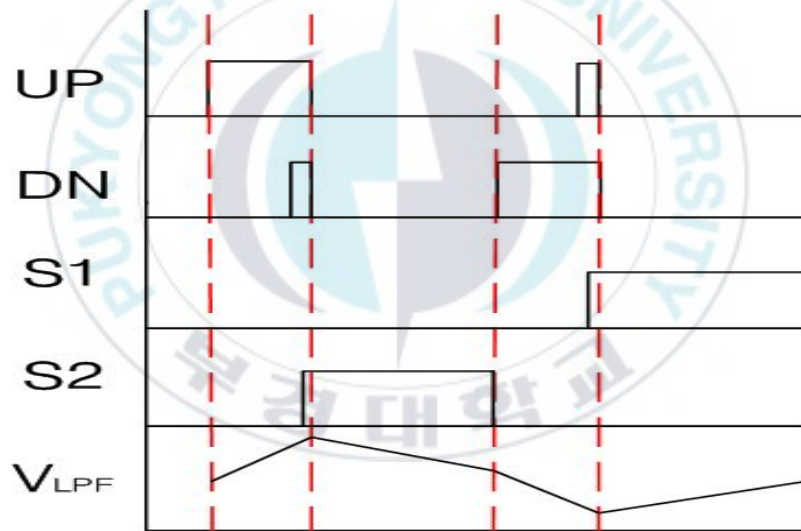
Current modulator가 추가 된 위상고정루프는 그림 3.2(g)에 나타난 것과 같이 동작한다. 파형은 3.2(h)와 같다. UP 신호가 인가되면, V_{LF} 가 높아지게 된다. 그 후, C_p 에서 C_z 로 전하가 흐르면서 V_{LF} 가 낮아지는데, 이때 S2 신호도 인가 되게 하여 C_z 의 전하를 더 빠지게 해 V_{LF} 가 더 낮아지

게 한다. 이와 마찬가지로 DN 신호가 인가되면, V_{LF} 의 값이 줄게 된 후 충전된다. 그 후, S1 신호가 인가 되게 하여, V_{LF} 의 값을 더 높여주어 위상고정루프가 안정적인 동작을 하게 한다.





(g)



(h)

그림 3.2 동작 개념. (a) UP 신호 발생 시 전류 흐름 (b) UP 신호 발생 소멸 후 전류 흐름 (c) $C_z \gg C_p$ 일 때 V_{LF} 파형 (d) $C_z = C_p$ 일 때 V_{LF} 파형 (e) S1 신호 생성기 (f) S2 신호 생성기 (g) Current modulator 동작 (h) 동작 파형.

3.3 회로 설계

3.3.1 위상 주파수 검출기 (Phase Frequency Detector)

시스템이 고속화, 집적화됨에 따라 위상 주파수 검출기의 속도 향상을 위해서 본 논문에서는 간략화 된 TSPC(True Single Pluse Clock) CMOS 로직회로를 이용한 위상 주파수 검출기를 사용한다. 간략화 된 TSPC CMOS 로직회로를 이용하면 위상주파수 검출기에서 사용되는 전체 MOSFET의 개수를 감소시킬 수 있어서, 전체 칩 면적과 전력 소모를 줄일 수 있다는 장점을 가진다.

제안된 위상 주파수 검출기는 그림 3.3와 같이 TSPC회로로 구성되어있다. TSPC 회로는 간단한 구조, 적은 전력 소비와 빠른 스위칭 동작에 우수한 성능을 나타내기 때문에 널리 사용되어지고 있다. D-F/F은 6개의 MOSFET으로 구성되고, 리셋은 NOR 회로를 사용하였다. 기준신호와 전압 제어 발진기 출력 신호의 위상차가 매우 작은 경우에 위상 차이가 있음에도 불구하고 위상 차이를 검출하지 못하는 데드존(dead zone)문제와 위상 고정 근접 상태에서 위상주파수 검출기의 출력인 UP, DN 신호가 임펄스 형태의 파형을 갖기 때문에, 이 UP, DN 신호에 따른 전하펌프의 충분한 스위칭 시간을 확보하기 위해 NOR 게이트 출력에 인버터 형태의 지연셀을 달아 준다.

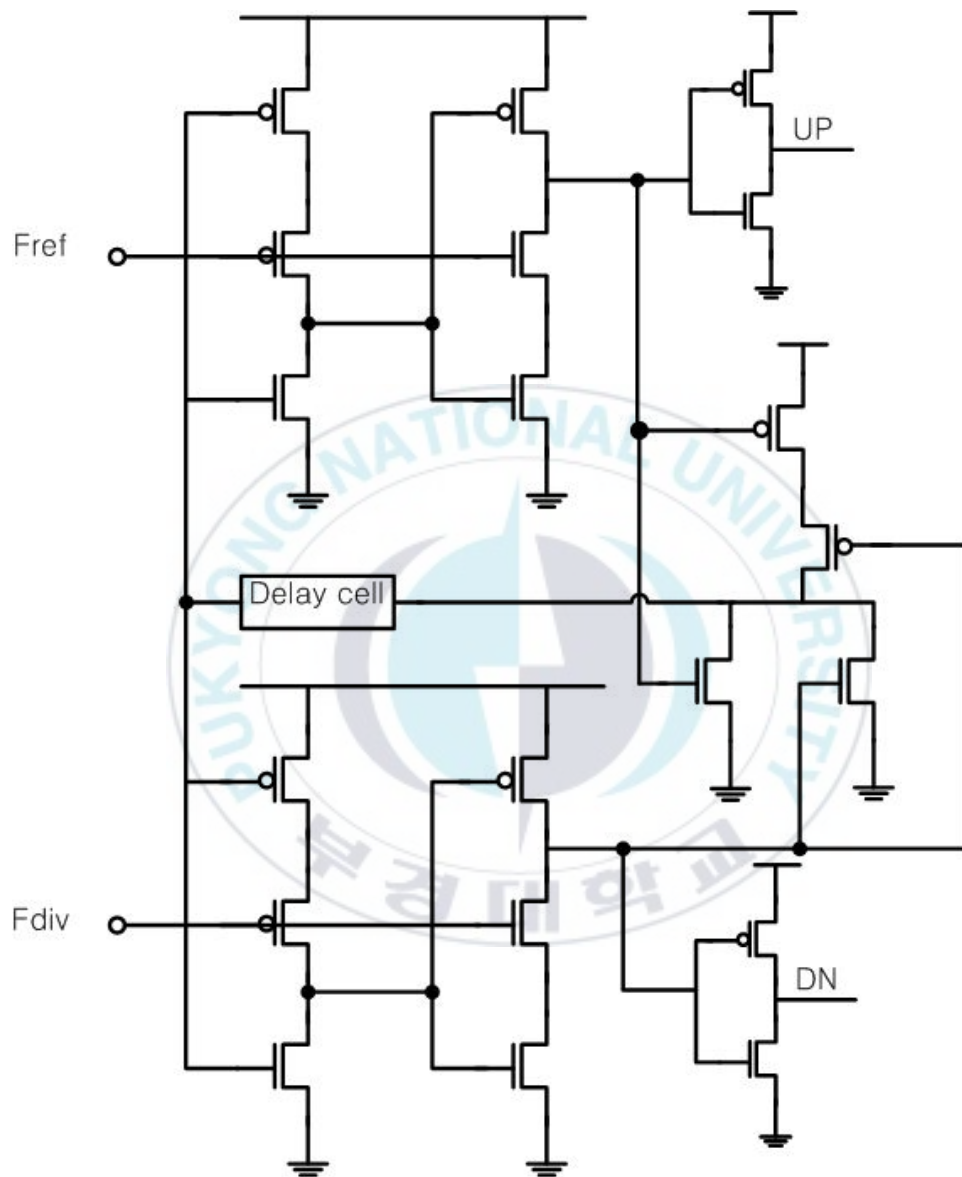


그림 3.3 위상 주파수 검출기 회로

3.3.2 전하펌프(Charge Pump)

전하펌프는 PFD에서 출력된 UP, DN 신호를 입력받아 루프필터에 전류를 흘려줌으로써 전압 제어 발진기를 제어하는데 필요한 전압을 만들어 준다. 전하펌프는 전압제어 발진기를 제어하는 전압에 직접적인 영향을 줌으로 신중히 설계해야 한다.

제안된 구조에서는 위상고정루프가 고정된 이후 UP신호와 DN신호의 타이밍 차이로 인해 발생하는 전류미스매치(current mismatch) 현상을 제거하기 위해 UP/DN신호를 래치버퍼를 통해 전하펌프의 입력으로 연결되도록 하였다. 따라서 공정이 변하더라도 UP/DN신호는 항상 같은 타이밍을 가지게 된다. 이러한 래치버퍼 회로가 그림 3.4에 나타나 있다.

제안된 전하펌프 회로가 그림 3.5에 나타나 있다. 스위치가 동작할 때마다 발생하는 클록피드스루(Clock-feedthrough)현상과 전하공급(charge injection)현상은 출력신호에 불필요한 잡음(spur)들을 생성한다. 전하펌프 출력 노드와 연결된 단위이득버퍼(Unit Gain Buffer)는 이러한 현상에 의한 구조적 잡음을 억제한다.

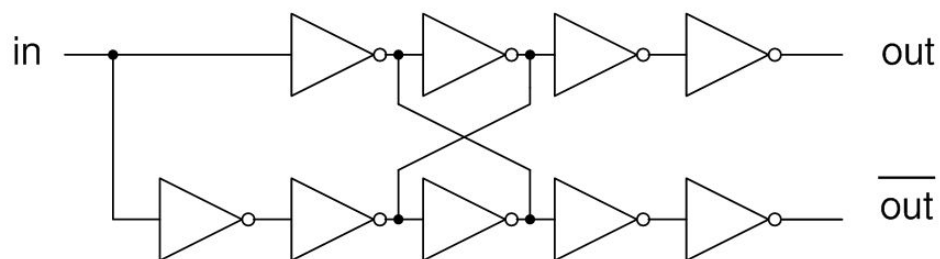


그림 3.4 래치버퍼 회로

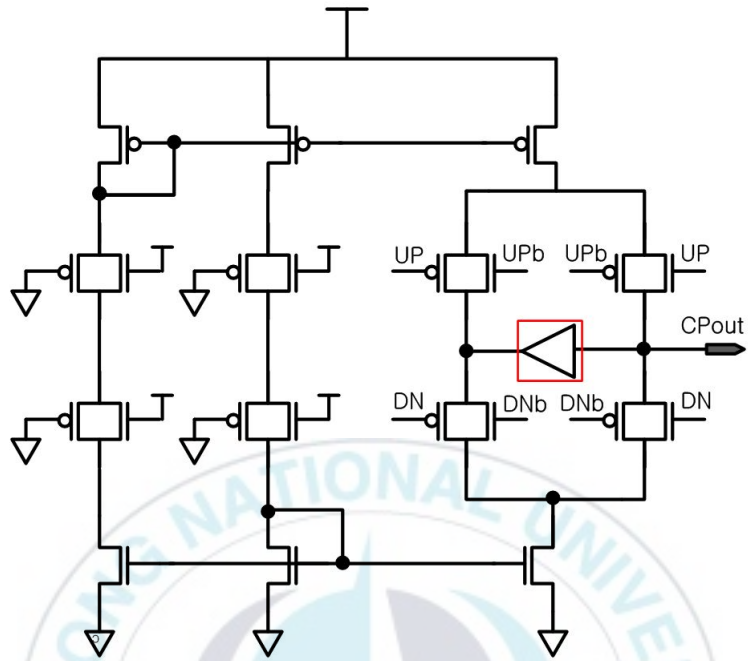


그림 3.5 제안된 전하 펌프의 회로

3.3.3 전압 제어 발진기 (Voltage Controlled Oscillator)

전압제어 저항 (VCR)은 넓은 주파수 대역을 가진 VCO의 지연시간을 제어한다. 전체의 블록 다이어그램과 VCR을 포함한 VCO의 차동 지연소자 그리고 입력전압 대 주파수 특성이 그림 3.6 그림 3.7 에 나타나있다. 루프필터의 출력전압 V_{ctrl} 는 VCR을 통해 VCO의 지연 시간을 조절하는 전류로 변환된다. VCR은 입력 전압의 변화를 큰 전류의 변화로 바꾸어 주어 VCO가 넓은 범위의 주파수를 만들어내게 한다. VCO는 세 개의 차동 지연소자로 구성되어있다. MP2와 MP3, MN2와 MN3는 지연소자의 짧은 on-time을 가지게 하여 위상 잡음을 줄여준다. VCR에 연결된 MP1과 MP4는 지연소자에 흐르는 전류와 지연시간을 조절한다. 입력전압 V_{ctrl} 과 생성된 주파수의 관계를 그림 3.7에서 볼 수 있다. Gain은 기울기를 통해서 알 수 있고, $K_{vco}=330\text{MHz/V}$ 의 값을 가진다. 시뮬레이션에서 확인할 수 있듯이 입력전압이 1.2V 일 때, 출력 주파수는 1GHz이다.

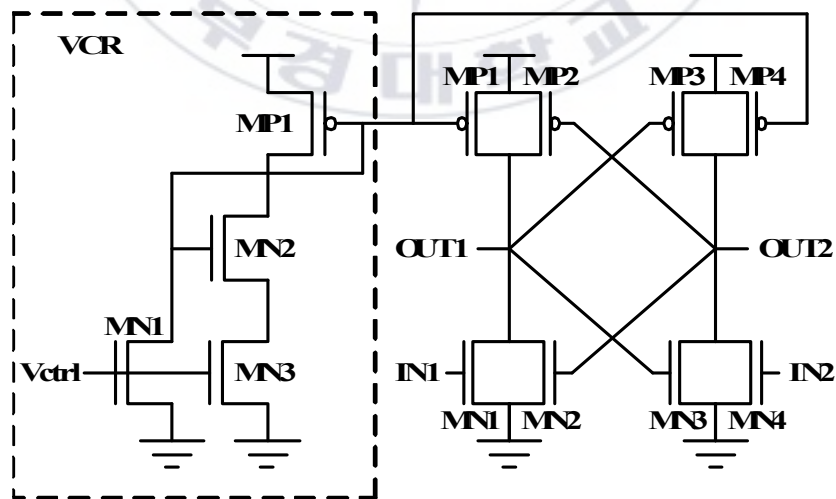


그림 3.6 VCO의 차동 지연 셀과 VCR

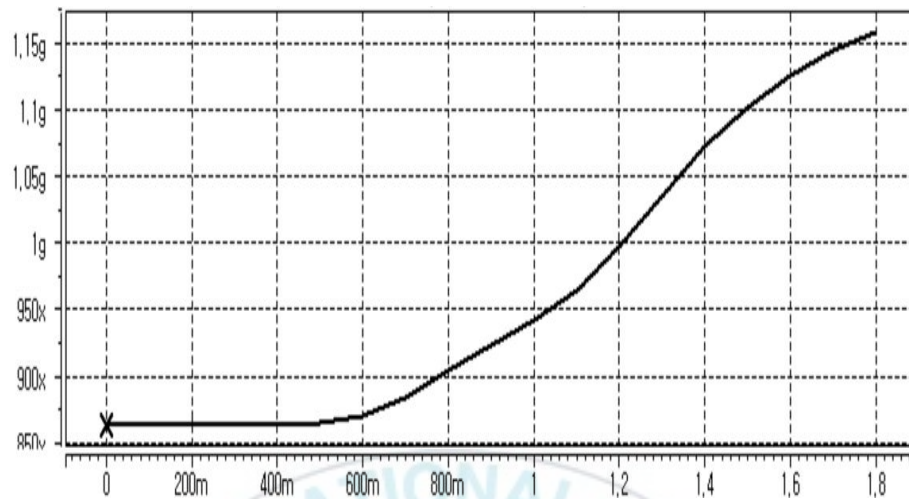


그림 3.7 입력 전압 대 출력 주파수 특성



3.3.4 주파수 분주기 (Divider)

본 논문에서 제안된 위상고정루프의 분주기는 그림 3.8에 표현된 다이내믹 E-TSPC (Expanded True Single Phase Clock)을 이용하여 4분주가 되는 전치 분주기(Prescaler)를 구성하고 그 뒤에 디지털 P&R을 사용한 디지털 제어 입력이 있는 1~16 분주가 가능한 메인 분주기로 구성되어 있다. 4분주의 전치 분주기는 전압 제어 발진기의 고주파수 출력을 저주파수로 떨어뜨리는 역할을 하고, 그 후에 메인 분주기는 낮아진 저주파수를 다시 64분주까지 떨어뜨리는 역할을 한다. 이렇게 구성한 이유는 디지털 P&R로 레이아웃 된 블록은 고주파수에서 동작이 원활하지 않기 때문에 고주파수에서도 동작이 원활한 전치 분주기를 사용하여 메인 분주기가 칩 테스트에서 정상 동작하게 설계하였다.

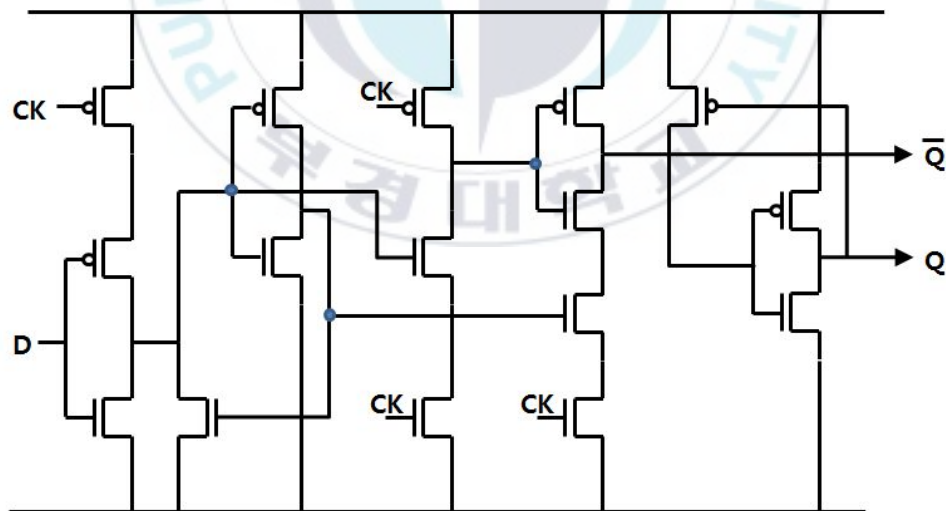


그림 3.8 다이내믹 E-TSPC (Expanded True Single Phase Clock)

3.3.5 Current Modulator

Current modulator는 D flip-flop에서 출력된 S1, S2 신호를 입력받아 루프 필터에 전류를 충,방전 함으로써 전하 펌프와 같이 VCO를 제어하는데 필요한 전압을 만들어 준다. 그림 3.9은 제안된 current modulator를 나타낸다. 제안된 current modulator는 캐스코드 구조를 사용하여 전류 비대칭과 클록 피드스루(Feedthrough) 등을 최소화 하여 스퍼(spur)의 크기를 줄이고 잡음 특성을 개선하였다. 전류 미스매치가 발생하면 PLL의 성능을 저하시키므로 전류 미스매치현상을 최소화 하도록 Mp4와 Mn4의 사이즈를 선택하였다. Mpout, Mnout 은 갑작스러운 전류 스위칭에 의한 클록 피드스루(clock feedthrouth)를 줄이는 역할을 한다.

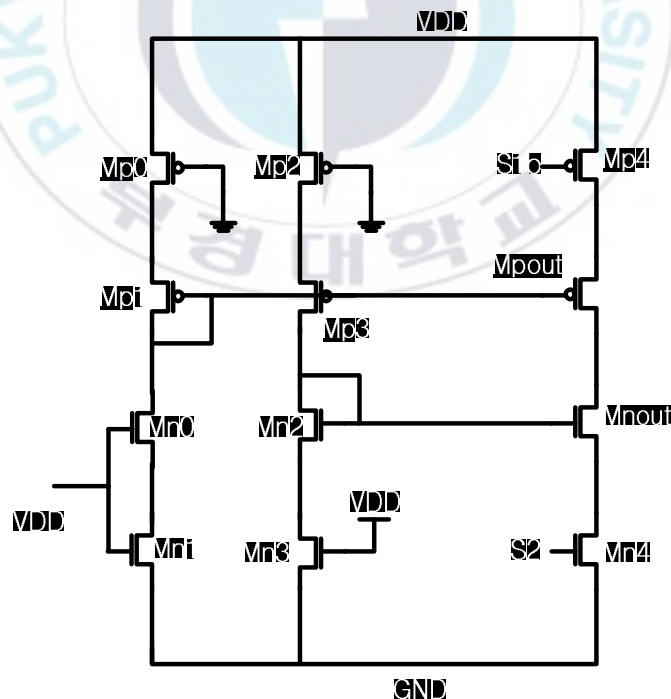


그림 3.9 제안된 Current Modulator 회로

3.4 Current modulator 전류량에 대한 고찰

위상고정루프의 안정적인 동작을 위해서는 current modulator의 전류량이 매우 중요하다. Current modulator의 전류량이 클 경우, 그림 3.10의 후반부와 같이 UP 신호가 인가 된 경우에도 S2로 인한 방전 전하량이 크기 때문에, V_{LF} 는 오히려 낮아지게 된다. 따라서 불안정한 동작을 하게 된다. Current modulator의 전류량이 낮을 경우, 차지펌프와의 충분한 상보적 동작을 하지 못하기 때문에, 위상고정루프가 불안정해진다.

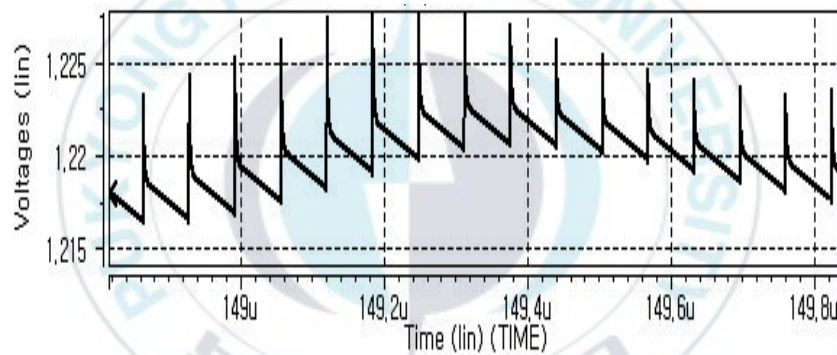


그림 3.10 Current Modulator의 전류가 클 경우 V_{LF} 파형

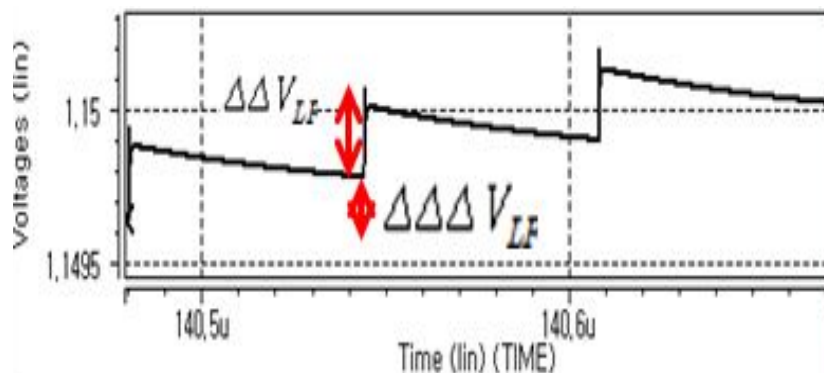


그림 3.11 $\Delta\Delta V_{LF}$ 와 $\Delta\Delta\Delta V_{LF}$ 의 정의

Current modulator의 적절한 전류량은, 불안정한 위상고정루프의 $\Delta\Delta V_{LF}$ 와 $\Delta\Delta\Delta V_{LF}$ 에서 도출 할 수 있다. 그림 3.11의 $\Delta\Delta V_{LF}$ 는 기준 신호 한 주기 동안 발생하는 최대 루프 필터 출력 변동 폭이며, $\Delta\Delta\Delta V_{LF}$ 는 기준 신호 한 주기 동안 증가한 루프필터 출력전압이다. 따라서, $\Delta\Delta\Delta V_{LF} / \Delta\Delta V_{LF}$ 의 크기 값이 작을수록 루프필터 전압의 변동 폭이 작아지기 때문에, 위상고정루프는 안정하게 동작한다. Current modulator는 위상고정루프를 안정시키기 위해 $\Delta\Delta\Delta V_{LF}$ 의 크기를 줄여서 $\Delta\Delta\Delta V_{LF} / \Delta\Delta V_{LF}$ 의 크기 값을 작게 해주는 역할을 한다. 불안정하게 동작하는 위상고정루프 ($C_z=C_p$)에서 V_{LF} 가 가장 위상 고정 전압에 가까울 때의 $\Delta\Delta\Delta V_{LF}$ 를 측정한다.

$$I_{cm} = \frac{C^* V}{T} \quad (3-1)$$

식(3-1)을 이용하여, 근사 전류량을 구하여 시뮬레이션을 통하여 최적 값을 구한다. 이때, C는 루프필터의 커패시터 C_z 값이고, V는 $\Delta\Delta\Delta V_{LF}$ 이다. T는 current modulator가 전류를 충·방전 해주는 주기이다.

IV. 시뮬레이션 결과

4.1 시뮬레이션 결과

제안한 구조의 위상고정루프는 0.18 μ m CMOS 공정을 사용하여 시뮬레이션 하였다. 15.625MHz의 입력주파수를 가지고 분주비는 64이며, 출력 주파수는 1GHz이다. 제안된 위상고정루프의 시뮬레이션 변수 값은 $I_p=200\mu$ A, $C_p=50$ pF, $R_z=500\Omega$, $C_z=50$ pF, $I_{cm}=100$ nA, $K_{vco}=330$ MHz/V이다.

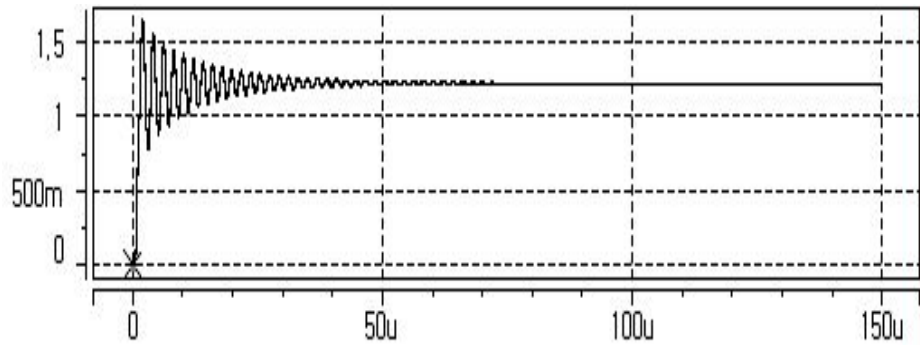
그림 4.1과 4.2에 표시된 ΔV_{LF} 는 위상고정루프가 위상 고정 후 루프 필터 출력 변동 폭을 나타낸다. ΔV_{LF} 와 $\Delta\Delta V_{LF}$ 는 각각 위상 잡음 특성과 스퍼의 크기를 나타낸다. 두 개의 값이 작으면 작을수록 잡음 특성과 스퍼의 크기는 작아진다. 기준 신호 한 주기 동안 발생하는 위상 변동 폭이 작아져 위상고정루프가 안정하게 동작한다.

Current modulator가 추가 된 구조와 그렇지 않은 구조의 V_{LF} 파형을 살펴보면, 위상고정이 되기 전과 후로 나눌 수 있다. 위상고정이 되기 전에는 UP과 DN 신호의 길이가 길기 때문에 차지 펌프에 의한 영향이 크다. 즉 상대적으로 current modulator의 동작이 미미하다. 따라서 그림 4.1과 그림 4.2에서 볼 수 있는 것처럼 파형의 모양이 둘 다 불안하다. 위상고정이 된 후에는 UP과 DN 신호의 길이가 매우 짧기 때문에 차지 펌프에 의한 동작과 current modulator에 의한 동작이 균형을 이룬다. 따라서 current modulator가 없는 구조에서는 위상고정이 되지 않는 파형(발진 형태)을 가지고, current modulator가 있는 구조에서는 충분한 위상여유를 가

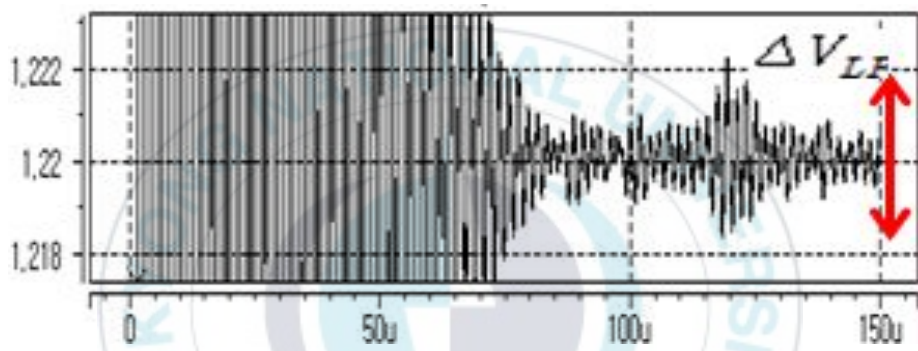
지는 위상고정루프에서 나타나는 파형을 가진다.

기존의 구조와 Current modulator를 추가한 구조를 비교하면, 위상고정이 되기까지의 시간은 $90\mu\text{s}$ 에서 $70\mu\text{s}$ 로 줄었다. ΔV_{LF} 은 3.85mV 에서 1.81mV 로 $1/2$ 이하로 줄었고, $\Delta\Delta V_{LF}$ 는 $859\mu\text{V}$ 에서 $521\mu\text{V}$ 로 줄었다. 그리고 $\Delta\Delta\Delta V_{LF}$ 는 $345\mu\text{V}$ 에서 $106\mu\text{V}$ 으로 줄어 $1/3$ 이하로 줄었다. 그림 4.1.(c)와 그림 4.2.(c)에서 알 수 있듯이 current modulator가 있는 구조에서는 $\Delta\Delta\Delta V_{LF}/\Delta\Delta V_{LF}$ 의 크기 값이 감소한다. 따라서 current modulator를 추가함으로써 더 안정적으로 동작하는 위상고정루프를 구현한 것을 알 수 있다.

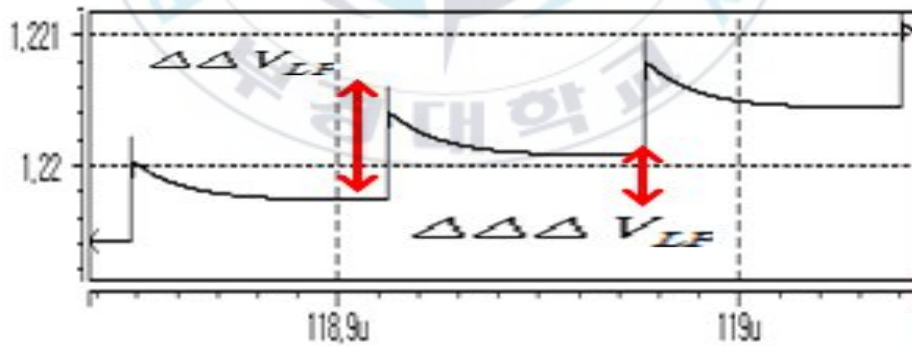




(a)

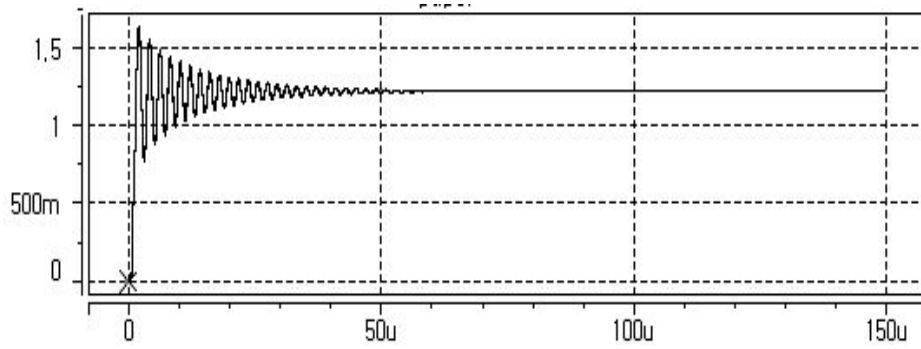


(b)

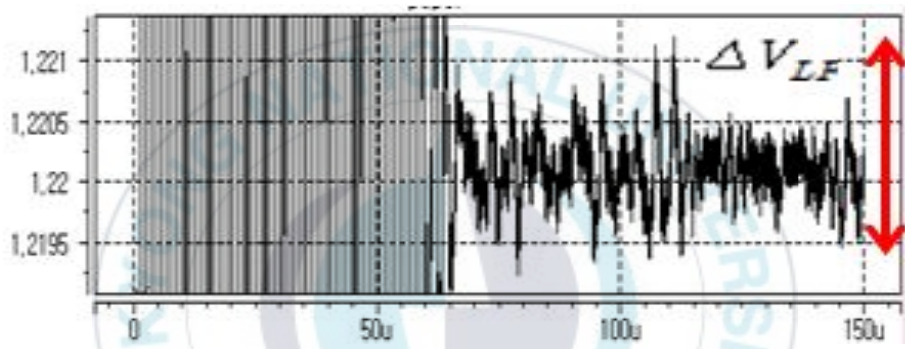


(c)

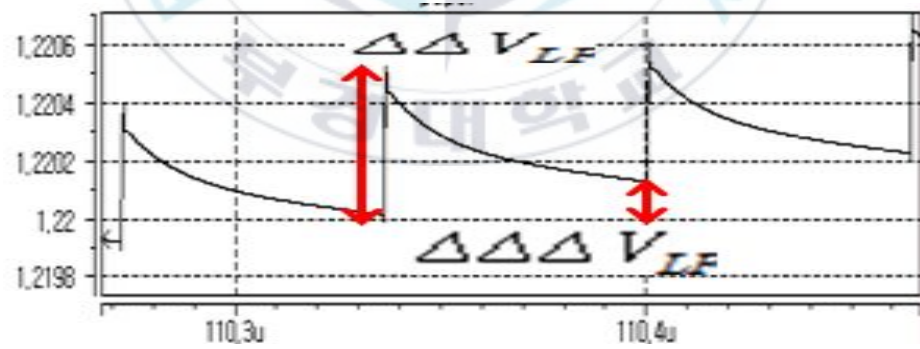
그림 4.1 기본 PLL 일 때 (a) 위상고정 후 V_{LF} 파형 (b) 위상고정 후 확대된 루프필터 출력 (c) 위상고정 후 더 확대된 루프필터 출력



(a)



(b)



(c)

그림 4.2. 제안한 구조의 PLL 일 때 (a) 위상고정 후 V_{LF} 파형 (b) 위상고정 후 확대된 루프필터 출력 (c) 위상고정 후 더 확대된 루프필터 출력

표 1. 기존의 위상고정루프와 제안한 위상고정루프의 시뮬레이션 결과

	t_{lock}	ΔV_{LF}	$\Delta\Delta V_{LF}$	$\Delta\Delta\Delta V_{LF}$
기존 구조 PLL	90 μ s	3.85mV	859uV	345uV
제안된 PLL	70 μ s	1.81mV	521uV	106uV



V. 결론

본 논문에서는 current modulator가 차지 펌프와 상보적인 동작을 하여 기존 위상고정루프의 루프 필터에서 가장 큰 면적을 차지하는 커패시터 (C_z)의 크기를 줄여 하나의 칩으로 구현할 수 있는 위상고정루프를 제안하였다. 기존 위상고정루프에서는 C_z 의 크기가 C_p 의 10배 이상이 되어야 안정한 동작을 하고 충분한 위상 여유를 가지지만 제안된 위상고정루프에서는 C_z 의 크기를 줄여줄 수 있는 current modulator를 추가하여 C_z 와 C_p 의 크기가 같은 경우에도 안정한 동작을 할 수 있도록 하였다.

위상 잡음 특성. 스퍼의 크기와 안정도를 보여주는 ΔV_{LF} , $\Delta\Delta V_{LF}$, $\Delta\Delta\Delta V_{LF}$ 값들이 기존 위상고정루프에 비해 훨씬 안정적으로 동작하는 것을 시뮬레이션을 통해 검증하였다. 위상고정루프의 면적을 결정하는 루프 필터의 커패시터를 기존 것보다 1/10로 줄여 제안된 위상고정루프를 하나의 칩으로 구현 할 수 있도록 하였다.

참 고 문 헌

- [1] J. Craninckx and M. Steyaert, "A fully integrated CMOS DCS-1800 frequency synthesizer," IEEE J. Solid-State Circuits, vol. 33, no. 12, pp. 2054-2065, Dec. 1998.
- [2] Y. Koo, H. Huh, Y. Cho, J. Lee, J. Park, D. Jeong, and W. Kim, "A fully integrated CMOS frequency synthesizer with charge-averaging charge pump and dual-path loop filter for PCS- and cellular-CDMA wireless systems," IEEE J. Solid-State Circuits, vol. 37, no. 5, pp. 536-542, May 2002.
- [3] B. Catli, A. Nazemi, T. Ali, S. Fallahi, Y. Liu, J. Kim, M. Abdul-Latif, M. R. Ahmadi, H. Maarefi, A. Momtaz, and N. Kocaman, "A 2sub-200 fs RMS jitter capacitor multiplier loop filter-based PLL in 28 nm CMOS for high-speed serial communication applications," in CICC, 2013, pp. 1-4.
- [4] J. Kim, J. Kim, B. Lee, N. Kim, D. Jeong, and W. Kim, "A 20-GHz phase-locked loop for 40-Gb/s serializing transmitter in 0.13- μ m CMOS," IEEE J. Solid-State Circuits, vol. 41, no. 4, pp. 899-908, Apr. 2006.
- [5] Youn-Gui Song, Young-Shig Choi and Ji-Goo Ryu, "A phase locked loop with resistance and capacitance scaling scheme," IEEE SD, vol. 46, no. 4, pp. 37-44, April 2009.

- [6] Pang-Jung Liu, Chih-Yao Hsu and Yi-Hsiang Chang, "Techniques of Dual-Path Error Amplifier and Capacitor Multiplier for On-Chip Compensation and Soft-Start Function," IEEE Transactions on power electronics, vol. 30, no. 3, pp. 1403-1410, March 2015.
- [7] Salvatore Pennisi, "High accuracy CMOS capacitance multiplier," Electronics, Circuits and Systems, 2002, 9th International Conference on, vol. 1, pp. 389-392, 2002.
- [8] Pengfei Liao, Ping Luo, Weizhong Chen, Bo Zhang, "Embedded Advanced Capacitor Multiplier Compensation for Two-stage Amplifier with Large Capacitive Loads," Communications, Circuits and Systems (ICCCAS), vol. 2, pp.362-365, November 2013.
- [9] Ke-Horng Chen, Chia-jung Chang and Te-Hien Liu, "Bidirectional current-mode capacitor multipliers for on-chip compensation," IEEE Transactions On Power Electronics, vol. 23, No.1, pp. 180-188, January 2008.