



저작자표시 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.
- 이차적 저작물을 작성할 수 있습니다.
- 이 저작물을 영리 목적으로 이용할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사 학위논문

2차-RC 필터와 Sample-Hold
커패시터로 구성된 루프 필터와
단방향 전하펌프를 가진 PLL



2014 년 2 월

부 경 대 학 교 대 학 원

전 자 공 학 과

백 승 하

공학석사 학위논문



2차-RC 필터와 Sample-Hold
커패시터로 구성된 루프 필터와
단방향 전하펌프를 가진 PLL



이 논문을 공학석사 학위논문으로 제출함

2014 년 2 월

부 경 대 학 교 대 학 원

전 자 공 학 과

백 승 하



백승하의 공학석사 학위논문을 인준함

2014 년 2 월



주 심 공학박사 최 혁 환 (인)

위 원 공학박사 권 태 하 (인)

위 원 공학박사 최 영 식 (인)

목 차

Abstract

I. 서론	1
II. 위상고정루프의 기본 이론	3
2.1 위상고정루프의 구조 및 이론	3
2.2 기본 블록들의 동작특성	5
2.2.1 위상 주파수검출기	5
2.2.2 전하펌프와 루프필터	8
2.2.3 전압 제어 발진기	10
2.2.4 주파수 분주기	10
2.3 전하펌프 PLL의 선형적 분석	11
III. 제안한 위상고정루프 설계	16
3.1 제안한 위상고정루프의 구조	20
3.2 위상 주파수 검출기	22
3.3 전하펌프와 루프필터	24
3.4 전압 제어 발진기	26
3.5 주파수 분주기	28

IV. 시뮬레이션 결과와 기존구조간의 비교	29
V. 결론	35
참고문헌	36



**A PLL with an unipolar charge pump and a loop filter consisting of
sample-hold capacitor and 2nd-order RC filter**

Seung-ha Baek

Department of Electronic Engineering, Graduate School,
Pukyong National University

Abstract

A PLL with an unipolar charge pump and a loop filter consisting of sample-hold capacitor and 2nd-order RC filter has been proposed. The goal of the proposed PLL is the suppression of the reference spur which is caused by charge pump mismatch. It also improves phase noise characteristic. It has been designed with a 1.8V 0.18 μm CMOS process and proved by HSPICE simulation.

I. 서 론

정보통신 기술이 급속도로 발전함에 따라 최근 개발되고 있는 고속 데이터통신 시스템이나 이동통신 단말기 등을 비롯하여 대부분의 디지털 제품에는 좋은 잡음 특성을 가진 주파수합성기를 필요로 한다. 시스템이 고속화되고 저 전력화 되면서 잡음의 영향이 점점 커지고 있으며 통신에 응용되는 위상고정루프의 경우 잡음 특성이 회로의 성능에 직접적인 영향을 미치므로 좋은 잡음 특성을 갖는 회로를 설계하는 것이 매우 중요하다[1].

일반적으로 위상고정루프는 낮은 위상 잡음 특성과 낮은 기준 주파수 의사 잡음을 위해 좁은 루프대역폭을 가지면서 위상고정 시간을 줄이기 위해 적응성 구조를 사용하고 있다[2-3]. 낮은 이득을 가지는 전압제어발진기도 위상잡음 향상을 위해 널리 사용되고 있는 방법이다[4-5]. [4-5]는 낮은 이득을 가지는 전압제어발진기로 넓은 주파수 영역에서 동작하기 위해 두 개의 루프와 스위치-커패시터 회로를 사용하였으나 회로가 복잡하고 위상고정 속도가 늦어지는 문제점을 가지고 있다. 논문 [6]에서는 위상 주파수 검출기나 전하펌프에서 발생하는 데드존 문제나 전류 부정합과 같은 비선형성에 의해 발생하는 위상잡음을 줄일 수 선형화 기법을 제안하였다. 하지만 전하펌프의 비선형성 개선에 따른 트랜지스터의 늘어난 동작시간에 의해 잡음이 증가하는 문제점이 있다. 주파수-위상 검출기에서 발생하는 신호가 전하 펌프에 임의로 전달하게 하여 기준 신호 의사 잡음 크기를 줄였으나 회로가 복잡해진다[7].

본 논문에서는 단방향 전하펌프와 샘플링 커패시터를 사용하여 루프 필터 출력 신호의 변화의 크기를 크게 줄여 위상잡음 특성과 기준신호 의사

잡음 특성을 개선하였다.



Ⅱ. 위상고정루프의 기본 이론

2.1 위상고정루프의 구조 및 이론

위상고정루프를 구현하는 방법에는 여러 가지 방법들이 제안되어 왔다. 그중에 가장 보편적으로 사용하는 방법이 Phase-Locked Loop(PLL)를 이용하는 것인데, 그 이유는 PLL은 낮은 위상잡음, 낮은 spurious tone 등 여러 가지 장점을 가지고 있기 때문이다.

PLL은 기준 주파수에 대해 주파수와 위상이 같은 신호를 만들어 내는 회로이다. PLL의 여러 특성 중 위상 고정루프로서 PLL의 동작특성을 나타내는 지표는 위상잡음(phase noise), 위상고정 시간, spurious tone등이 있다. 이들 모두 PLL의 대역폭에 의해 영향을 받는다. 대역폭이 넓어지면, 위상고정 시간은 짧아지나 잡음특성이 나빠지고, 대역폭이 줄어들면 반대의 효과가 나타나는 관계이다. 대역폭은 PLL에 인가되는 기준 주파수에 의존한다. 본 논문에서 다루고 있는 PLL은 전하 펌프 PLL로 기본적인 블록 다이어그램은 그림 2.1과 같다.

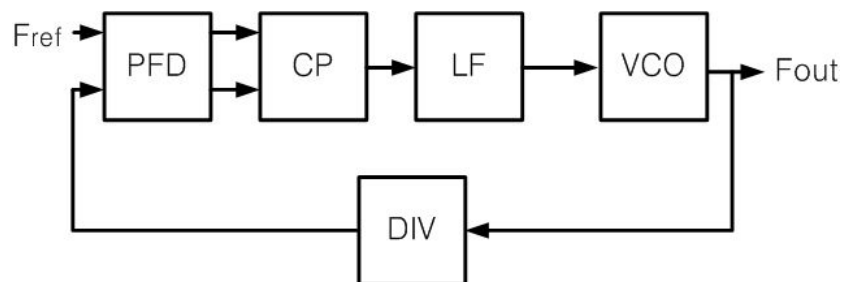


그림 2.1 기본 PLL 블록 다이어그램

PLL은 위상주파수 검출기(phase frequency detector), 전하펌프(charge pump), 루프 필터(loop filter), 전압제어 발진기(voltage controlled oscillator), 주파수 분주기(divider)의 주요 부분으로 나누어져 있다. PLL의 동작을 살펴보면, 위상 주파수 검출기는 외부로부터 입력되는 기준주파수 신호와 전압 제어 발진기에서 생성되는 신호의 위상과 주파수를 비교하여 위상 및 주파수의 차이에 해당하는 신호를 출력하여 전하펌프를 구동한다. 전하펌프는 입력신호의 펄스폭에 비례하는 전류를 구동하여 루프 필터의 커패시터를 충전 또는 방전시킴으로써 전압 제어 발진기의 출력신호와 위상을 기준주파수의 위상과 주파수에 동일하게 만드는 전압 제어 발진기의 제어전압을 발생시킨다.

PLL이 위상 고정되는 과정은 비선형적 과정이지만 위상 고정된 후에는 PLL을 선형 모델링 할 수 있다. 그림 2.2는 위상 고정 상태에서 PLL의 선형모델을 나타낸다.

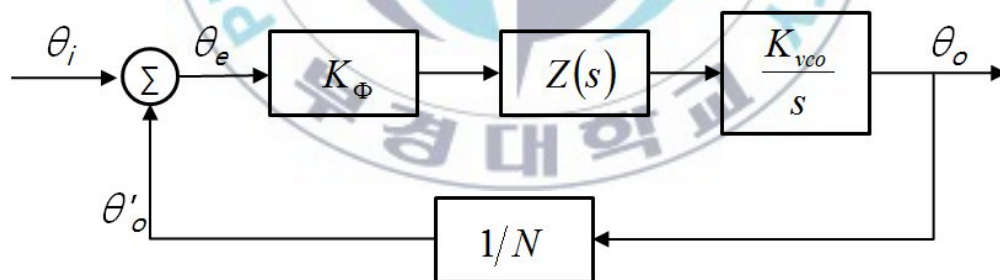


그림 2.2 위상 고정 상태에서의 PLL 선형 모델

2.2 기본 블록들의 동작특성

2.2.1 위상 주파수 검출기 (phase frequency detector)

일반적으로 두 클록의 위상을 비교하는 블록은 위상 검출기(Phase Detector : PD)이다. 이 위상 검출기의 특성에 따라 static skew, bang-bang 지터 등의 크기가 결정된다. 가장 쉽게 생각할 수 있는 것은 D Flip-Flop을 위상 검출기로 생각하는 것인데 이 경우 D Flip-Flop의 setup/hold time 만큼의 불확실 영역이 있어 이로 인해 지터가 증가할 수 있고, 위상 오차가 양(+)인지 (-)인지만 판단하기 때문에 bang-bang 지터가 발생할 수 있는 단점을 가진다.

현재는 위상과 주파수 차이를 동시에 검출하는 순차회로인 3-상태 (3-state) 위상 주파수 검출기 구조가 가장 보편적으로 사용되고 있다. 그림 2.3은 3-상태 위상 주파수 검출기의 구조를 나타낸다.

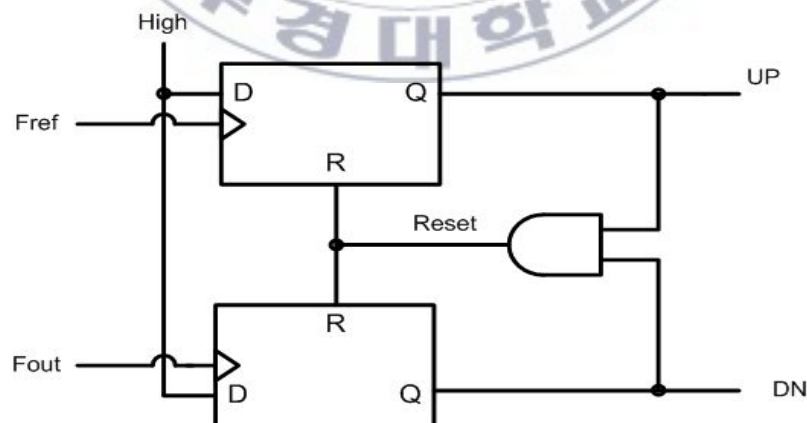


그림 2.3 위상주파수 검출기(PFD)의 기본 구조

3-상태 위상주파수 검출기는 2개의 D Flip-Flop과 1개의 AND 게이트로 구성되어 있다. 이 구조는 edge-triggered sequential 회로로 2개의 D Flip-Flop의 입력으로 기준 주파수 신호(F_{ref})와 전압제어 발진기(VCO)의 출력 주파수 신호 (F_{out})의 positive transition에 따라 동작하기 때문에 두 입력 신호의 듀티비(Duty Ratio)에 대해 무관한 특성을 나타낸다.

그림 2.4는 3-상태 위상주파수 검출기의 상태도를 나타낸다. 위상주파수 검출기는 기준 신호와 전압 제어 발진기의 출력신호의 위상 차이에 비례하는 폭을 가진 출력 펄스를 생성하고, 두 입력 중 빠른 위상을 가진 입력이 어떤 것인가에 따라 UP, DN 펄스를 출력 신호로 내보낸다.

예를 들어, 기준 신호가 전압 제어 발진기의 출력 신호보다 위상이 빠르다고 하면, 그 위상차에 해당하는 펄스폭을 가지는 UP 신호를 출력한다. 반대로 기준 신호가 전압 제어 발진기의 출력 신호보다 위상이 느리다고 하면, 마찬가지로 그 위상차에 해당하는 DN 신호를 출력한다.

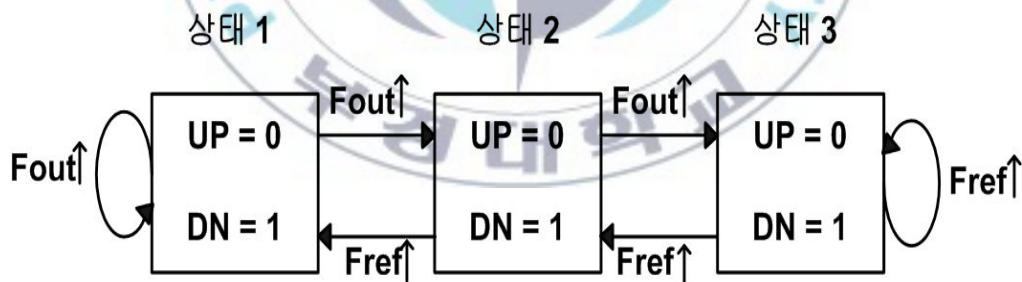


그림 2.4 위상주파수 검출기의 상태도

위상주파수 검출기의 출력 UP 신호는 전하펌프를 구동시켜 루프필터의 커패시터를 충전하여 전압을 상승시킨다. 마찬가지로 DN 신호는 루프필터의 충전된 전하를 방전하여 전압을 하강시킨다.

기준신호와 전압 제어 지연단의 출력 신호가 같아지면 이상적인 경우 위상주파수 검출기의 출력인 UP, DN 신호가 없고, 이에 따라 전하펌프의 구동이 없게 된다. 그리고 전하펌프의 전류 구동이 없기 때문에 루프필터의 커패시터에 충전, 방전이 없게 되므로, 전압 제어 발진기의 입력제어전압은 항상 일정한 값을 유지하게 된다. 그러나 실제의 경우, 위상주파수 검출기의 D Flip-Flop의 리셋 시간에 의해 리셋 펄스가 생성된다.

위상주파수 검출기에 입력되는 두 입력 위상간의 위상차를 $\Delta\theta$ 라디안이라 하면, 위상 주파수 검출기는 주기가 $1/f_{PFD}$ 이고 펄스의 크기가 (duration) $|\Delta\theta|/\omega_{PFD}(=2\pi f_{PFD})$ 인 펄스를 발생시킨다. 전하펌프의 전류가 I_p 라 할 때, 이는 전하펌프에 인가되어 한 주기 당 $I_p\Delta\theta/2\pi$ 의 전류를 루프필터에 전달해 준다. 이를 루프필터는 전압으로 바꾸어 주는 역할을 한다. 이를 수식으로 표현하면 식2-1과 같다.

$$V_{cont}(s) = \frac{1}{2\pi} \cdot I_p \cdot G_{LF}(s) \cdot \Delta\theta(s) \quad (2-1)$$

위의 수식에서 V_{cont} 는 루프필터의 출력 전압이며, G_{LF} 는 루프필터의 전달함수이다.

2.2.2 전하펌프와 루프필터

그림 2.5는 위상고정루프에서 사용되는 전하펌프와 루프필터의 구성을 나타낸다. 전하펌프는 기준신호와 전압 제어 발진기의 위상, 주파수 차이를 감지하여 그 차이에 해당하는 신호인 UP, DN 신호에 의해 제어된다. 전하펌프는 정전류원, 그리고 UP, DN 신호에 의해 전류원을 ON/OFF 시키는 스위치로 구성된다. 전하펌프의 출력전압이 변동되지 않도록 하는 것이 상당히 중요하므로 회로의 풀업(Pull-up)과 풀다운(Pull-down) 경로를 일치시켜야 한다.

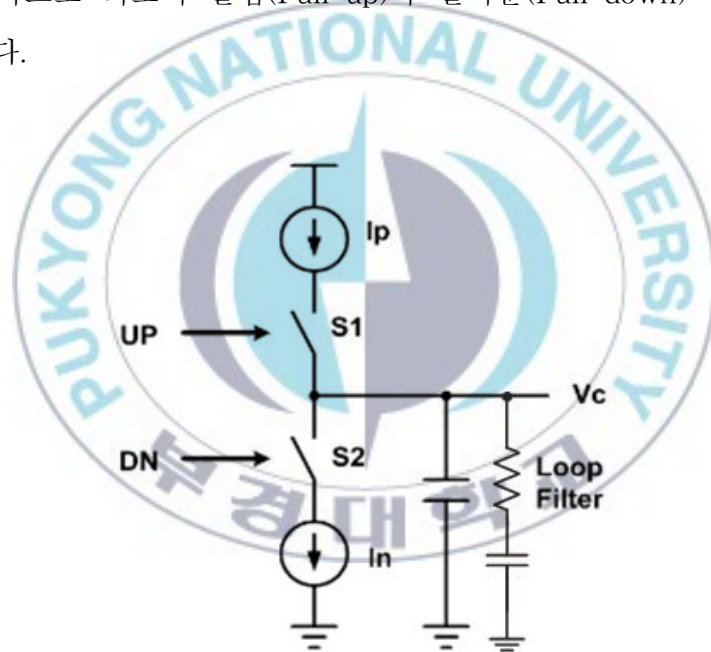


그림 2.5 전하펌프와 루프필터

전하펌프의 동작을 살펴보게 되면 UP신호가 'high'일 경우 전하펌프의 S1 스위치가 'turn on'이 되어 루프필터에 전류 I_p 가 흐르게 되고, 이 루프필터의 커패시터에 전하가 충전되어, 전압 제어 발진기의 입력제어전압인 V_c 전압이 서서히 상승하게 된다. 반대로, DN 신호가 'high'일 경우 전하

펌프의 S2 스위치가 'turn on'되어 루프필터에 전류 I_n 이 흐르게 되고, 루프필터의 커패시터에 충전되어 있던 전하가 방전되어 전압 제어 발진기의 입력제어전압인 V_c 가 서서히 하강하게 되는 메커니즘을 갖는다.

또한 위상고정 상태에서 리셋타임에 스위치 SW1, SW2가 동시에 'turn on' 되어 접지로 전류 경로가 형성되므로, 루프필터의 커패시터의 충전, 방전이 없게 된다. 따라서 전압 제어 발진기의 입력제어전압의 변동 없이 일정한 값을 갖게 된다.

전하펌프에 사용되는 스위치 소자는 MOSFET으로 스위치 S1의 경우는 P형 MOSFET, 스위치 S2의 경우는 N형 MOSFET을 사용하게 된다. 지연 고정루프가 lock이 된 경우, 전하펌프에 흐르는 전류량 I_p , I_n 의 크기는 같아야 한다. 그러나 스위치로 사용되는 P형 MOSFET, N형 MOSFET 소자의 이동도 차이, 위상주파수 검출기의 출력인 UP, DN신호에 의한 스위치 'turn on' 시간차이, MOSFET 스위치의 클록 피드스루(Clock Feedthrough), 전하공유(Charge Sharing)에 따른 전류 미스매치(mismatch)가 발생한다.

이러한 요소들에 의해 발생하는 전류 미스매치는 전압 제어 발진기의 입력제어전압이 출렁거리는 원인이 되고, 궁극적으로 jitter를 발생하게 하는 주요 원인이 된다.

2.2.3 전압 제어 발진기 (voltage controlled oscillator)

전압 제어 발진기는 입력전압에 비례하는 주파수를 발생하는 블록으로, 그 수식은 식2-2와 같다.

$$\omega_{out} = \omega_{free} + K_{vco} \cdot V_{cont} \quad (2-2)$$

위의 수식에서 ω_{free} 는 V_{cont} 전압이 인가되지 않았을 경우의 전압 제어 발진기 프리러닝주파수, K_{VCO} 는 전압 제어 발진기의 이득을 의미한다. 위의 수식에서 전압 제어 발진기의 전달함수를 구하면 다음과 같다.

$$\Phi_{out}(s) = \frac{1}{s} \cdot K_{vco} \cdot V_{cont} \quad (2-3)$$

2.2.4 주파수 분주기

출력 주파수를 입력 기준 주파수에 비해 높은 주파수를 가지게 하기 위해서는 전압 제어 발진기의 주파수를 그대로 사용하지 못하고, 주파수 분주기를 이용해서 주파수를 분주하게 된다. 이때 사용되는 주파수 분주기의 특성에 따라 integer-N, fractional-N 방식으로 나누어진다.

2.4 전하펌프 PLL의 선형적 분석

루프의 동작특성을 s-domain에서 분석하면 개루프 전달함수와, 폐루프 전달함수는 식2-4 와 식2-5 같이 나타낼 수 있다.

$$H_{open} = K_{PFD} \cdot \frac{K_{VCO}}{s} \cdot G_{LF}(s) \quad (2-4)$$

$$H_{closed}(s) = \frac{K_{PFD} \cdot K_{VCO} \cdot G_{LF}(s)}{s + K_{PFD} \cdot K_{VCO} \cdot G_{LF}(s)} \quad (2-5)$$

위의 수식을 바탕으로 PLL의 개루프 전달함수는 식2-6과 같고, 폐루프의 전달함수는 식2-7로 나타낸다.

$$\frac{\theta_o(s)}{\Delta\theta(s)} = \frac{1}{2\pi} \cdot I_p \cdot G_{LF}(s) \cdot \frac{K_{VCO}}{s} \quad (2-6)$$

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{\frac{K_{VCO}}{s} \cdot \frac{I_p}{2\pi} \cdot G_{LF}(s)}{1 + \frac{K_{VCO}}{s} \cdot \frac{I_p}{2\pi} \cdot G_{LF}(s)} \quad (2-7)$$

$G_{LF}(s)$ 는 루프 필터의 전달함수를 나타내고, 저역 통과 필터가 사용된다.

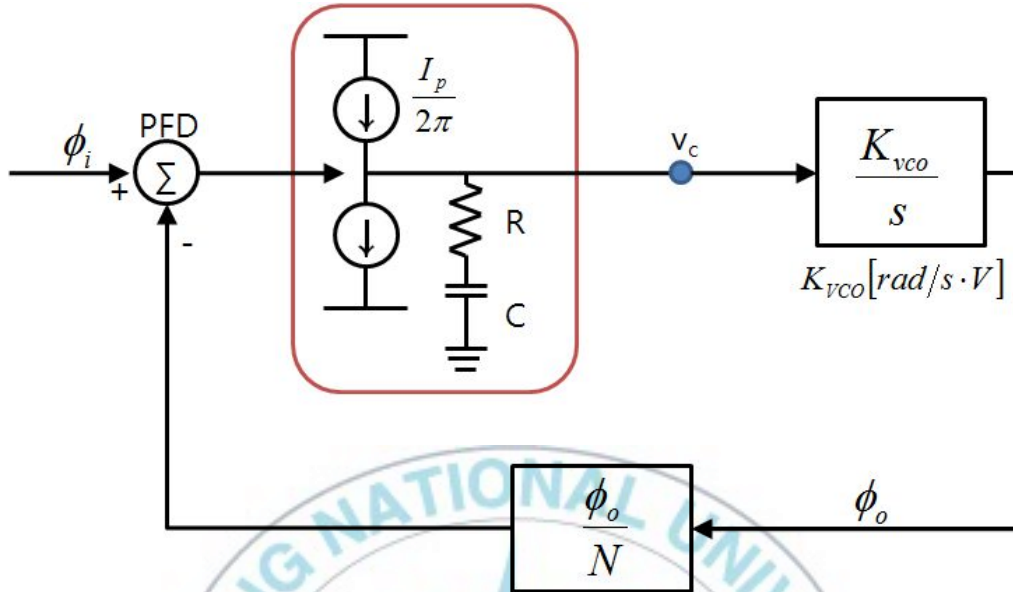


그림 2.6 2차 구조의 전하펌프 위상고정루프

그림 2.6은 루프필터에서 1차의 전달함수를 가지고 전압제어발진기에서 1차의 전달함수를 지니는 가장 기본적인 위상고정루프를 보인 것이다. 이 구조는 Eq. 2.7를 이용하여 전개하면 식2-8과 같이 나타난다.

$$\begin{aligned}
 \frac{\phi_o}{\phi_i} &= \frac{N \left(\frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot R \cdot K_{vco} \cdot s + \frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot K_{vco} \cdot \frac{1}{C} \right)}{s^2 + s \cdot \frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot R \cdot K_{vco} + \frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot K_{vco} \cdot \frac{1}{C}} \quad (2-8) \\
 &= \frac{2\zeta\omega_n \cdot s + \omega_n^2}{s^2 + 2\zeta\omega_n \cdot s + \omega_n^2}
 \end{aligned}$$

그림 2.6과 같은 구조는 저항의 성분이 I_p 에 의해 빠른 V_c 전압의 변화를 보이므로 전체 PLL의 출력에 원치 않는 신호(spur)가 크게 나타나는 등의 문제가 많이 발생하므로 거의 사용하지 않는 구조이다.

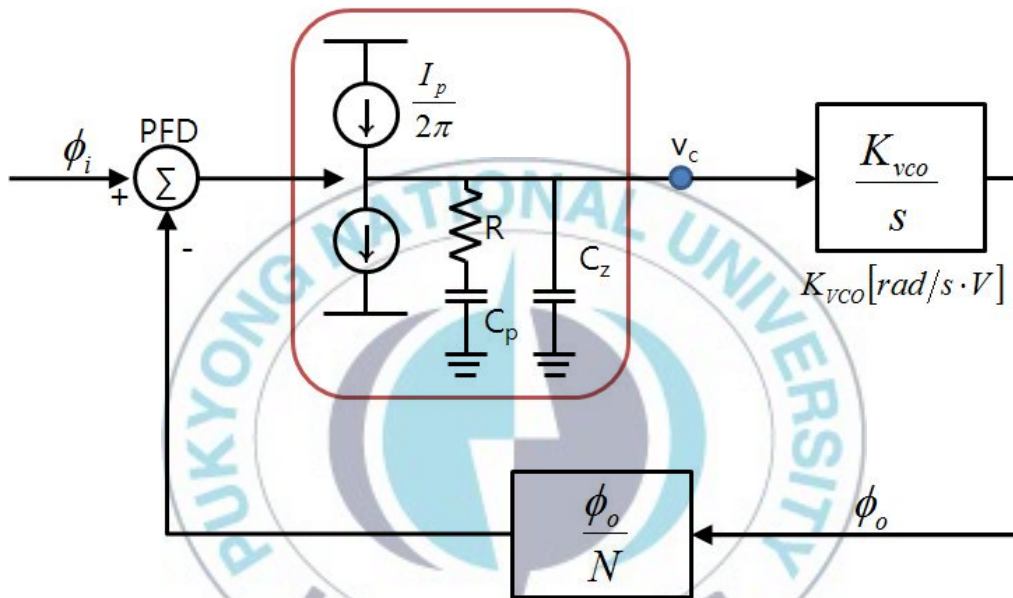


그림 2.7 3차 구조의 전하펌프 위상고정루프

이에 비해 그림 2.7과 같이 2차 필터를 사용하여 3차의 루프를 구성하는 경우는 스퍼 감소와 안정성을 기대 할 수 있다. 전달 함수에 있어서 2차 필터를 사용하면 두 개의 극은 원점에 존재하고 나머지 하나의 극과 한 개의 원점을 이용하여 위상 마진을 고려하여 루프의 안정성을 보장하게 하고, 대역폭을 조절하게 된다. 2차 필터는 그림 2.8과 같다.

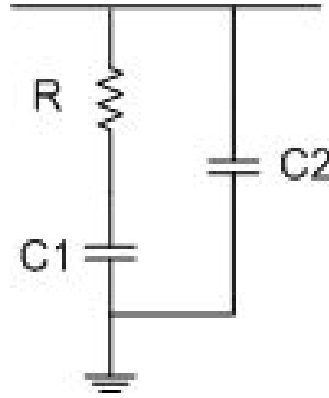


그림 2.8 2차 루프 필터

2차 필터를 이용한 전체 PLL의 열린 루프와 폐루프의 전달함수를 구하면 다음과 같다.

$$H_{open}(s) = \frac{1}{2\pi} \cdot I_p \cdot \frac{1 + s \cdot R \cdot C_1}{s(C_1 + C_2) + s^2 \cdot R \cdot C_1 \cdot C_2} \cdot \frac{K_{VCO}}{s} \quad (2-9)$$

$$H_{closed}(s) = \frac{K_{VCO} \cdot I_p \cdot (1 + s \cdot R \cdot C_1)}{K_{VCO} \cdot I_p + K_{VCO} \cdot I_p \cdot R \cdot C_1 \cdot s + 2\pi(C_1 + C_2)s^2 + 2\pi \cdot R \cdot C_1 \cdot C_2 \cdot s^3} \quad (2-10)$$

위의 식2-9에서 원점에 2개의 pole이 존재하고, $\frac{C_1 + C_2}{R \cdot C_1 \cdot C_2}$ 에 pole이 하나 존재하고, $\frac{1}{R \cdot C_1}$ 에 하나의 zero가 존재한다. 위의 열린 루프 전달함수에 대한 위상에 대한 보드선도를 그리면 그림 2.9와 같다.

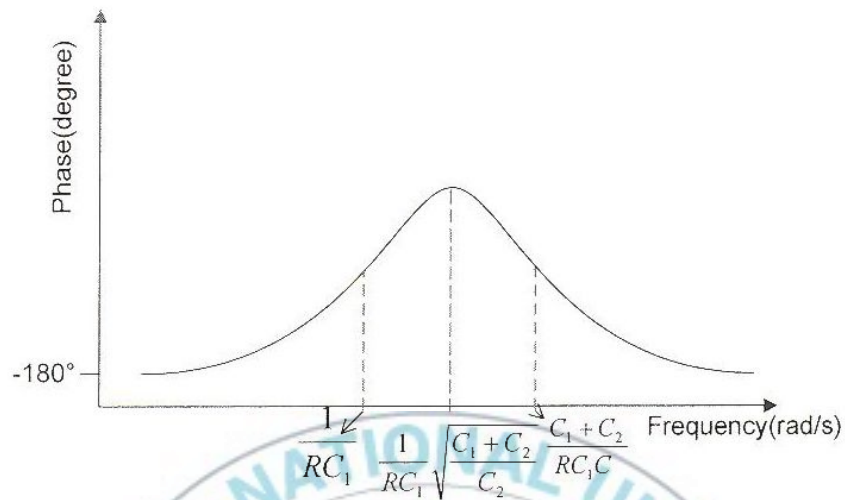


그림 2.9 3차 PLL의 위상특성

루프 필터의 차수에 따라, 그리고 R과 C_1 , C_2 의 값에 따라 위의 식의 특성이 달라지므로 원하는 대역폭과 안정성을 고려하여 필터를 설계해야 한다.

일반적으로 위상고정루프에서 루프필터는 현재의 위상/주파수 오차에 따라 전압제어발진기의 출력 주파수를 제어하는 역할을 한다. 위상고정루프의 특성을 보여주는 루프필터 전압의 형태는 ΔV_{LPF} , $\Delta\Delta V_{LPF}$, $\Delta\Delta\Delta V_{LPF}$ 로 세 가지가 있다. ΔV_{LPF} 는 위상고정 이후에 발생하는 루프필터 전압의 크기 변화량이며 ΔV_{LPF} 의 크기는 위상고정루프의 안정성과 위상 잡음의 특성과 직접적인 관련이 있다. $\Delta\Delta V_{LPF}$ 는 기준신호와 전압제어발진기 출력의 위상차에 해당하는 UP 또는 DN 신호에 의한 기준 신호 한주기 동안 발생하는 루프필터 전압의 변화량이다. $\Delta\Delta V_{LPF}$ 는 기준신호 주기마다 발생하며 결과적으로 기준 신호 의사 잡음의 크기를 결정한다. $\Delta\Delta\Delta V_{LPF}$ 는 루프필터 커패시터의 최종 전압을 의미한다.

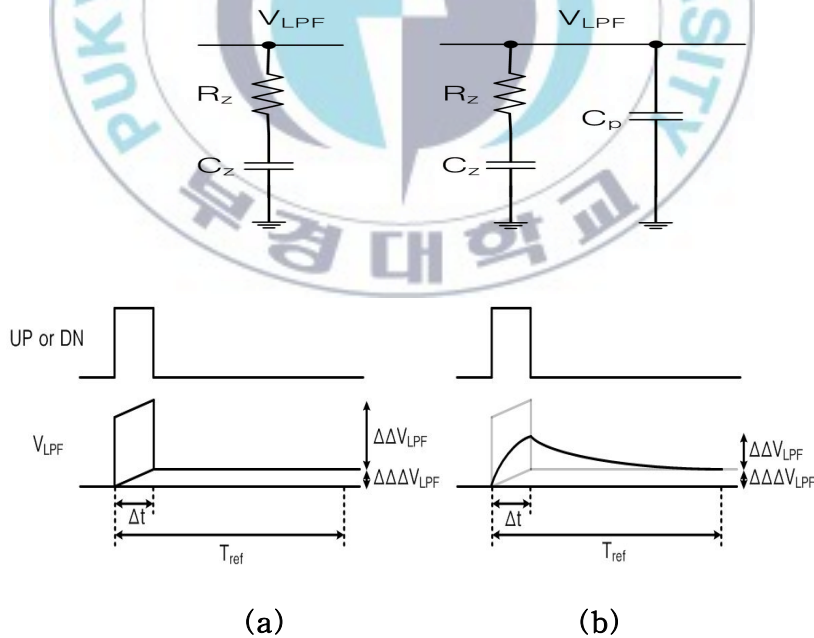


그림 3.2 (a) 1차-RC 루프필터 (b) 2차-RC 루프필터

위상고정루프가 안전하게 동작하도록 영점을 포함한 기본적인 1차 RC 루프필터가 그림 3.2 (a) 에 나타나 있다. 1차 RC 루프필터의 루프필터전압(V_{LPF})은 전류가 공급됨과 동시에 저항에 의해 급격히 상승 하여 기준신호 의사 잡음의 크기를 크게 한다. 이를 보완하기 위해 C_p 를 추가한 2차 루프필터를 사용해서 전압변화를 줄인 구조가 그림 3.2 (b)에 나타나 있다.

일반적으로 위상고정루프에서 사용하는 2차 루프필터는 위상주파수검출기(PFD)에서 UP/DN 신호가 발생하면 전하펌프(CP)에서 전류가 루프 필터로 흘러간다. 이 전류가 C_p 를 먼저 충전 시켜 V_{LPF} 을 상승(하강) 시킨다. UP/DN 신호가 종료되면 C_p 에 충전되어 있던 전하가 R_z , C_z 쪽으로 흘러가면서 다시 V_{LPF} 가 하강(상승) 하는 동작을 하게 된다. 이 2차 RC 루프필터의 동작은 위상고정루프 기준 신호 주기에 따라 동작을 반복하게 되어 기준신호 의사 잡음이 발생하게 된다.

또한, 기존 PFD와 2차 RC 루프를 이용한 위상고정루프는 위상고정이 이후 정상상태일 때 PFD-CP의 비이상적인 특성 (데드존, 기울기 불일치)로 인하여 비선형 영점 교차 영역에서 동작한다. 게다가 데드존을 해결한 PFD와 개선된 분주기를 사용할 지라도 증폭 값 불일치 문제는 다양한 보정 기술을 필요로 한다[8-9]. 또한 전하펌프 전류 소스의 한정되고 불균일한 출력 임피던스와 2차 위상고정루프를 기반으로 하는 PFD-CP가 가지는 전하 전송 대비 위상 오류 특성의 고유 비대칭성이 비선형성을 만들어낸다[10]. 비선형성은 대역 내 잡음 의 크기가 증가한 고주파 잡음의 상호변조 및 에일리어싱을 야기한다. 전하펌프의 UP(DN) 경로만을 단독으로 동작하게 하고, 비선형 영역에서 떨어져있는 수정된 위상 오프셋에서 루프를 고정함으로써 기존 PFD-CP 의 비선형성을 개선하였다[10].

그림 3.1 의 새로운 구조의 위상고정루프 회로에는 기존 2차 RC 필터에 샘플-커패시터가 추가하였으며 전하펌프는 단방향으로 전류가 흐르도록

설계가 되어 있다. 전하펌프의 하단을 스위치로 사용한 구조이다. RC 필터와 샘플-커패시터 사이에 스위치 (SW1)를 두어 전압제어 발진기(VCO)의 출력 신호에 의해 전하가 샘플-커패시터에서 기존의 2차-RC 필터로 전달하도록 하였다. UP 신호 발생 구간동안은 전하는 전하펌프에서 샘플 커패시터로 이동하며 UP 신호가 끝나면 전압제어 발진기(VCO)의 신호에 따라 전하가 기존의 2차-RC 필터로 전달된다.

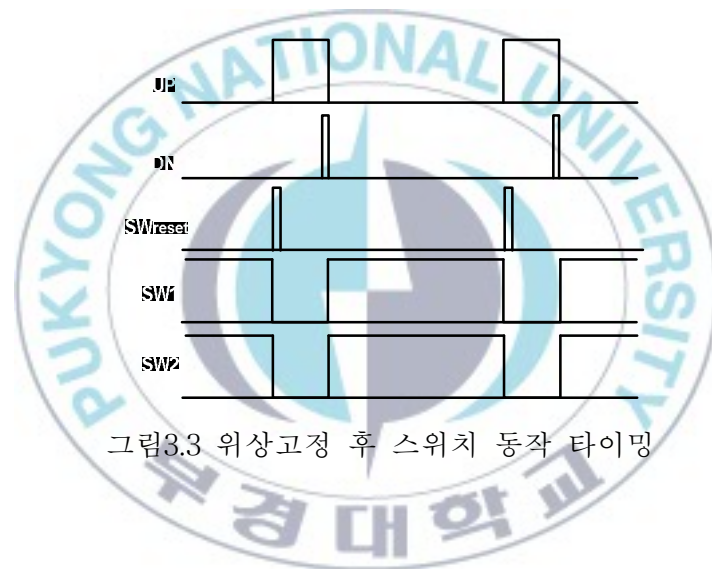


그림3.3 위상고정 후 스위치 동작 타이밍

그림3.3 은 스위치들을 제어하는 신호의 타이밍을 보여주고 있다. UP/DN 신호가 발생하게 되면 OR 게이트의 출력이 “High” NMOS가 “On” 이 되므로 노드 “A” 가 접지되면서 스위치 (SW1)가 “Off” 되며, NOR 게이트는 “Low”되므로 스위치 (SW2)가 “Off” 된다. 즉 UP/DN 신호의 발생 순간 스위치(SW1), 스위치(SW2)가 “Off” 되어 전하펌프에서 나오는 전류는 C_{p1} 을 충전 시키게 되고 UP/DN 신호가 꺼진 후 스위치(SW1)가 “On” 과 “Off” 를 반복하면서 그림3.4 와 같은 모습을 보이며, 2차-RC

필터에 전하를 공급하게 된다. SWreset은 UP 신호발생 후 짧은 시간동안 “On” 된다. 이 구간 동안 방전되는 총 전하량은 UP 신호에 의해 샘플 커패시터로 공급되는 총 전하량과 같다. 즉 위상 고정이 되면 전하펌프의 UP 신호에 의해 흐르는 전류와 SWreset 신호에 의해 흐르는 전류 크기의 비에 따라 UP 신호의 구간이 결정된다. 또한 그림 3.4 와 같이 전하펌프에 공급되는 전류와 SWreset 신호에 의해 움직이는 스위치를 통해 흐르는 전류비에 의해 결정되는 UP신호의 구간에 따른 V_{CP} , V_{LPF} 전압의 파형을 보여주고 있다.

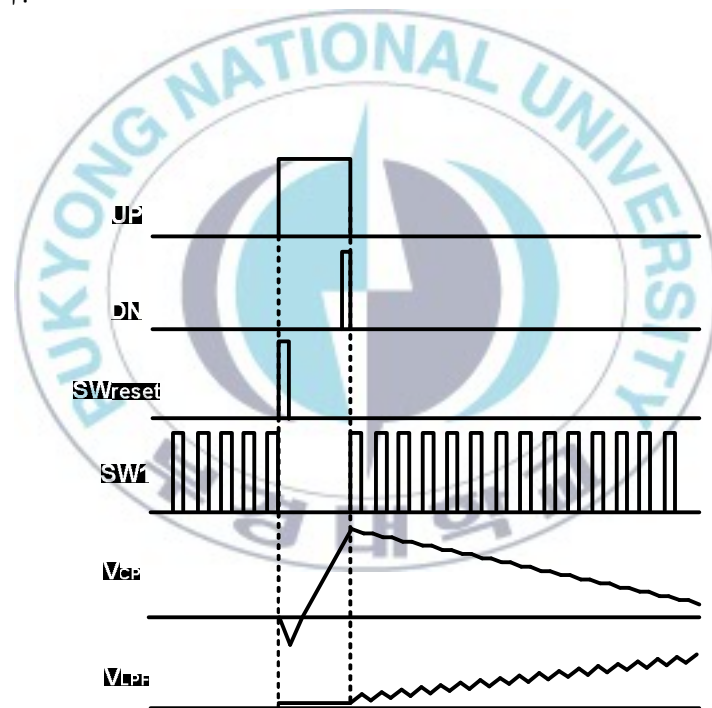


그림3.4 스위치 동작과 전압변화

SW1/2스위치가 “Off” 되는 것은 UP 신호 발생하는 순간이며 나머지 시간에는 “On” 되어 전압제어 발진기(VCO) 출력 신호가 UP 신호가 발생하

는 구간 동안은 SW2가 "Off" 되어 SW1 스위치로 인가되지 못하게 한다. 전하펌프와 샘플-커패시터로부터 2차-RC 필터에 전하가 공급되지 않으므로 RC 필터에서는 C_p 에서 C_z 로 전류가 충전 또는 방전되어 VLPF 전압값이 변하게 된다. SW2가 "On" 되고 전압제어 발진기(VCO)의 출력 신호가 SW1을 "On/Off" 시키면 샘플 커패시터에서 2차-RC 필터로 전하가 충전 또는 방전하게 된다.



3.2 위상 주파수 검출기 (Phase Frequency Detector)

시스템이 고속화, 집적화됨에 따라 위상 주파수 검출기의 속도 향상을 위해서 본 논문에서는 간략화된 TSPC(True Single Phase Clock) CMOS 로직회로를 이용한 위상 주파수 검출기를 사용한다. 간략화된 TSPC CMOS 로직회로를 이용하면 위상주파수 검출기에서 사용되는 전체 MOSFET의 개수를 감소시킬 수 있어서, 전체 칩 면적과 파워 소모를 줄일 수 있다는 장점을 가진다.

제안된 위상 주파수 검출기는 그림 3.5과 같이 TSPC 회로로 구성되어있다. TSPC 회로는 간단한 구조, 적은 전력 소비와 빠른 스위칭 동작에 우수한 성능을 나타내기 때문에 널리 사용되어지고 있다. D-F/F은 6개의 MOS-Tr로 구성되고, 리셋은 NOR 회로를 사용하였다. 기준신호와 전압 제어 발진기 출력 신호의 위상차가 매우 작은 경우에 위상 차이가 있음에도 불구하고 위상 차이를 검출하지 못하는 데드존(dead zone)문제와 in-lock 상태에서 위상주파수 검출기의 출력인 UP, DN 신호가 임펄스 형태의 파형을 갖기 때문에, 이 UP, DN 신호에 따른 전하펌프의 충분한 스위칭 시간을 확보하기 위해 NOR 게이트 출력에 인버터 형태의 지연 셀을 달아 준다.

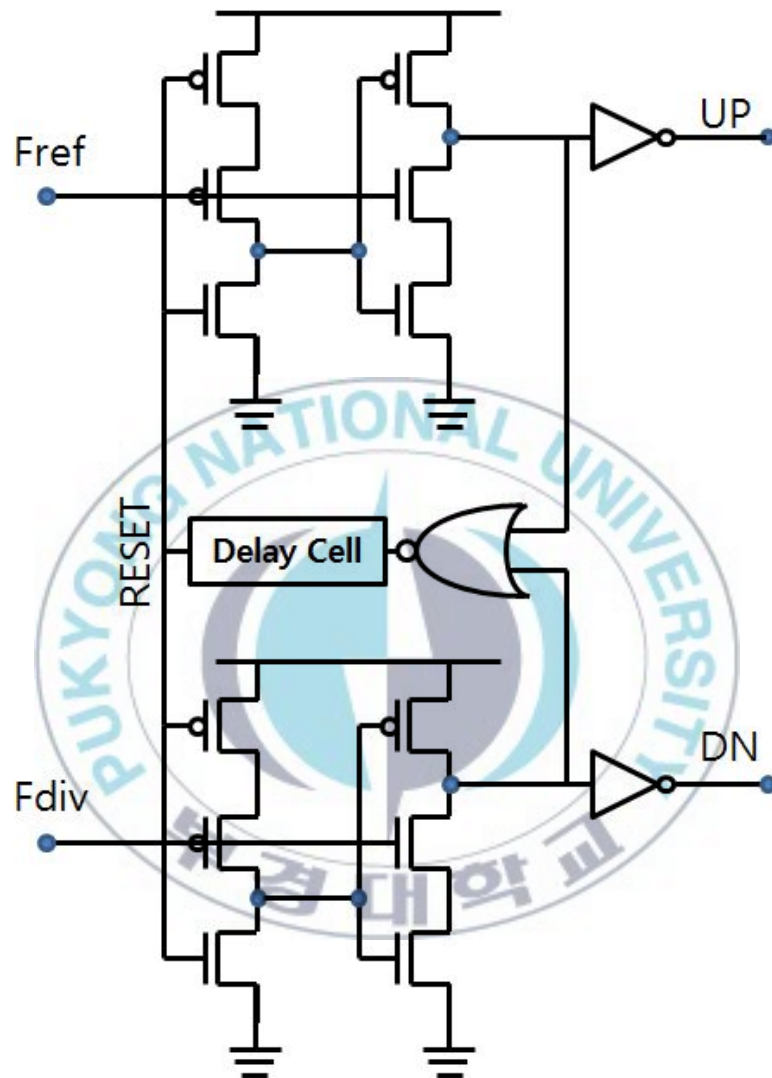


그림 3.5 위상 주파수 검출기 회로

3.3 전하펌프(Charge Pump)와 루프필터(Loop Filter)

그림 3.6 의 단방향 전하펌프는 주파수검출기에서 나온 UP/DN 신호에 따라 전류의 흐름을 제어하는 역할을 한다. 본 논문에서 사용된 전하펌프는 그림6에 나타난 바와 같이, 캐스코드 구조를 사용하였다. 전하펌프의 MN2 트랜지스터를 SWreset 신호로 제어하며 동작하도록 하여, MP2와 MN2의 크기에 따라 단방향 전하펌프의 충·방전 전류비를 제어한다. 이러한 구조는 UP 신호의 발생 시간을 조절하게 된다.

전압제어발진기는 전압제어저항 (VCR)과 3단 링 구조로 이루어져 있다 [11]. 루프필터의 전압은 전압제어저항을 통해 입력전압의 변화를 큰 전류의 변화로 변화시켜줌으로써 VCO가 넓은 출력주파수 범위를 가지도록 해준다.

그림 3.7의 루프필터는 일반적으로 CP-PLL에 사용하는 수동 루프필터이다. 이 루프필터는 두 개의 커패시터와 한 개의 저항으로 구성되어 있다. C1 커패시터를 루프필터에 첨가하는 이유는 전압 제어 발진기의 제어전압이 전압이 순간적으로 변하는 형태로(계단 모양) 되는 것을 막기 위한 것이다.

루프필터의 기능은 크게 두 가지로 나눌 수 있다. 하나는 위상 주파수 검출기 출력의 리플 성분 및 고주파 성분을 제거하여 전압 제어 발진기의 제어전압을 직류로 만든다. 이 기능은 전압 제어 발진기의 동작 성능과 깊은 관계가 있다. 그리고 더욱 중요한 기능은 루프필터의 설계에 따라 위상 고정루프 시스템의 기본적인 동적인 특성, 즉 락킹 시간, 루프 대역폭, 루프 이득 등이 결정된다는 것이다. 이것은 시스템의 자연주파수, 감쇠율과 밀접한 관계가 있으므로, 설계 시 많은 주의를 요구한다.

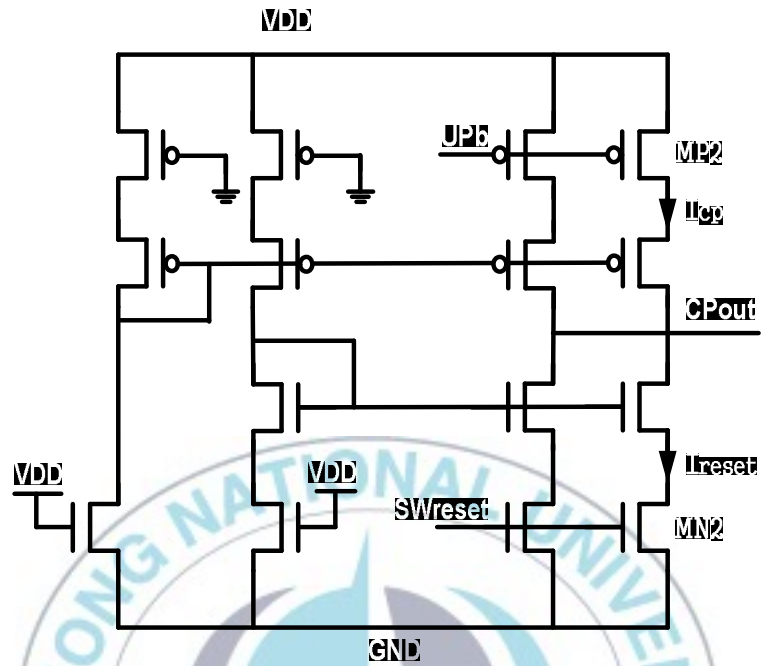


그림 3.6 제안된 전하 펌프의 회로

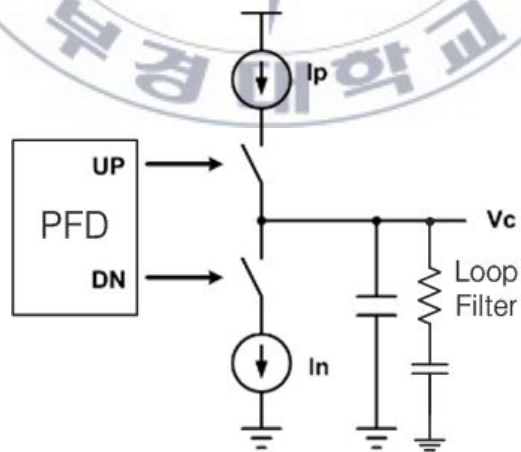


그림 3.7 전하 펌프와 루프 필터

3.4 전압 제어 발진기 (Voltage Controlled Oscillator)

전압제어 저항 (VCR)은 넓은 주파수 대역을 가진 VCO의 지연시간을 제어한다. 전체의 블록 다이어그램과 VCR을 포함한 VCO의 차동 지연소자 그리고 입력전압 대 주파수 특성이 그림 3.7 그림 3.8 에 나타나있다. 루프필터의 출력전압 VLF는 VCR을 통해 VCO의 지연 시간을 조절하는 전류로 변환된다. VCR은 입력 전압의 변화를 큰 전류의 변화로 바꾸어 주어 VCO가 넓은 범위의 주파수를 만들어내게 한다. VCO는 세 개의 차동 지연소자 로 구성되어있다. MP2와 MP3, MN2와 MN3는 지연소자의 짧은 on-time을 가지게 하여 위상 잡음을 줄여준다. VCR에 연결된 MP1과 MP4는 지연소자에 흐르는 전류와 지연시간을 조절한다. 입력전압 VLF와 생성된 주파수의 관계를 그림 3.8 에서 볼 수 있다. Gain은 기울기를 통해서 알 수 있고, $K_{vco}=330\text{MHz/V}$ 의 값을 가진다. 시뮬레이션에서 보듯이 입력전압이 0.9v 일 때, 출력이 목표한 VCO출력인 1GHz이다.

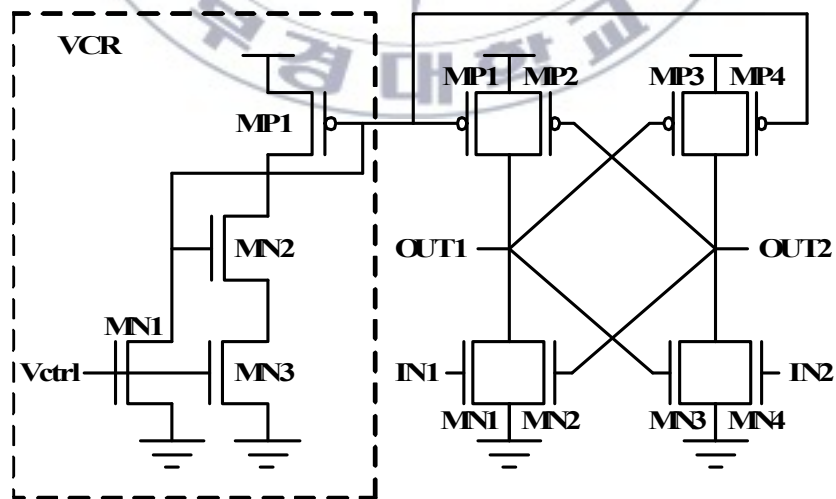


그림 3.7 VCO의 차동 지연 셀과 VCR

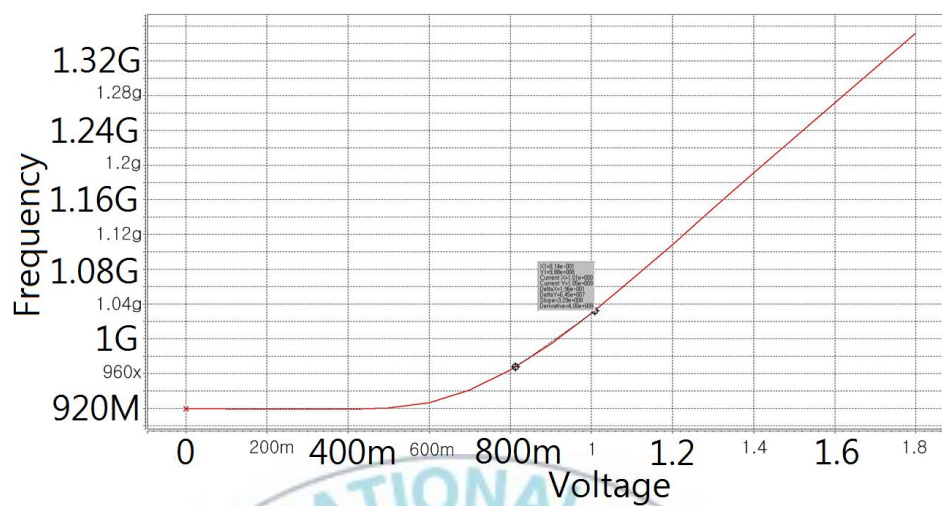


그림 3.8 (a) 입력 전압 대 출력 주파수 특성



3.5 주파수 분주기 (Divider)

본 논문에서 제안된 위상고정루프의 분주기는 다이내믹 E-TSPC (Expanded True Single Phase Clock)을 이용하여 프리스케일러에서 발생할 수 있는 출력신호의 지연을 최대한 줄인 구조이다. 그림 3.10는 제안한 주파수 분주기에 사용된 다이내믹 E-TSPC 회로이며, 하나의 E-TSPC는 2분주가 된다. 목표한 64분주비를 내기 위해서 6개의 E-TSPC를 연결하여 분주기회로를 설계하였다.

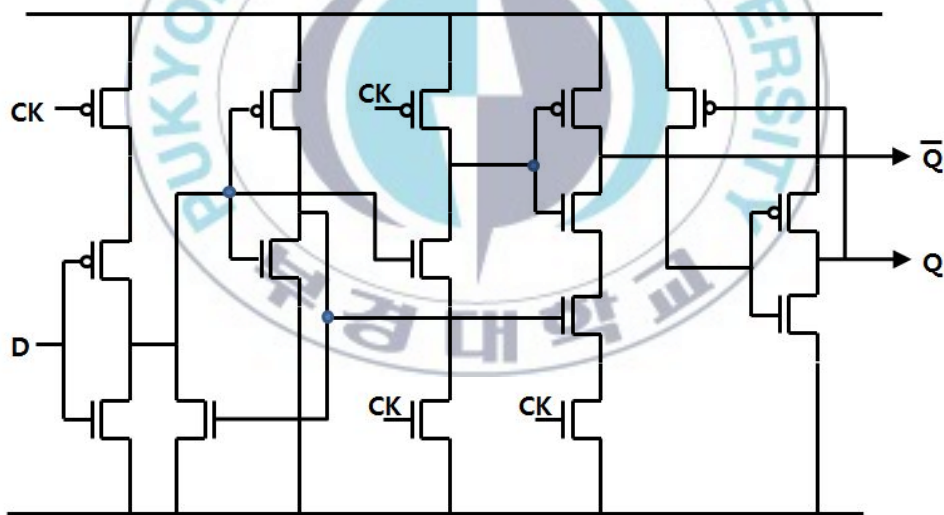
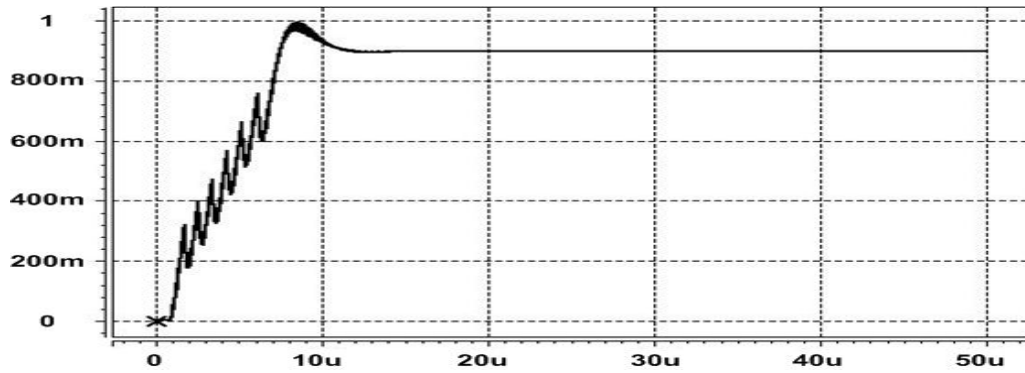


그림 3.10 다이내믹 E-TSPC (Expanded True Single Phase Clock)

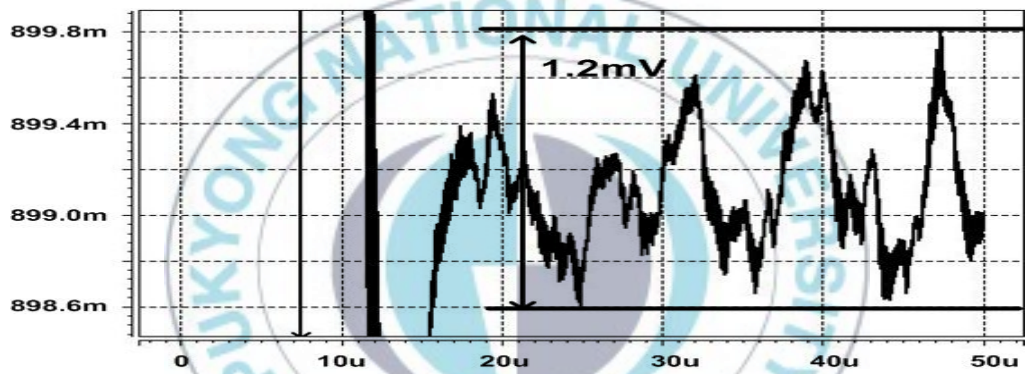
IV. 시뮬레이션 결과와 기존구조간의 비교

제안한 구조와의 비교를 위해 양방향 전하펌프와 2차 루프 필터를 가진 기존 구조의 위상고정루프를 시뮬레이션 하였다. 15.625MHz의 입력주파수를 가지고 출력 주파수는 1GHz이며, 분주비는 64이다. 이 회로의 변수 값은 $I_{cp}=200\mu A$, $C_p=100pF$, $R_z=1.5K\Omega$, $C_z=1nF$, $K_{VCO}=330MHz/V$ 이며, 0.18 μm CMOS 공정으로 시뮬레이션 하였다. 그림 4.1 (a)는 18 μs 에서 위상이 고정되는 것을 보여주고 있다. 그림 4.1 (b)는 위상고정 이후 발생하는 루프 필터 전압 크기 변화량, ΔV_{LPF} 는 1.2mV의 값을 가지며, 그림 4.1 (c)는 기준신호 주기마다 발생하는 $\Delta \Delta V_{LPF}$ 의 크기가 190 μV 인 것을 보여주고 있다.

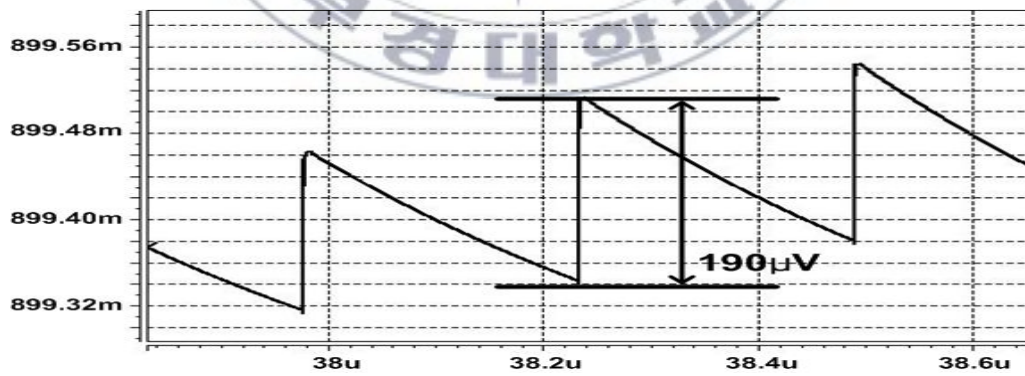
제안한 위상고정루프도 기존 구조와 같은 15.625MHz의 입력주파수, 1GHz의 출력 주파수, 330MHz/V의 K_{VCO} , 64의 분주비 값을 가지고 있다. 제안한 구조는 전하 펌프와 루프 필터 구조가 달라 $I_{cp}=200\mu A$, $I_{reset}=1mA$ 또는 의 전하펌프 전류 값을 가지면 루프필터는 $C_{p1}=50pF$, $R_z=1k$, $C_z=800pF$, $C_{p2}=50pF$ 의 값을 가지고 있다. 거의 유사한 값을 가지는 제안된 구조를 앞의 경우와 같이 0.18 μm CMOS 공정으로 시뮬레이션 하였다.



(a)



(b)



(c)

그림 4.1 기준 2차-RC 루프필터 PLL (a) 루프필터 전압 변화 (b) 위상고정 후 확대된 루프필터 전압변화 (c) 위상고정 후 확대된 루프필터 전압변화

그림 4.2 와 4.3은 제안한 위상고정루프를 Ireset/Icp의 값이 10과 50일 때의 시뮬레이션 결과이다. 그림 4.2 (c)와 그림 4.3 (c)에서 UP 신호가 발생하는 구간 동안은 전하펌프에서 2차-RC필터로 전하가 공급되지 않고, Cp2에서 저항 Rz을 통하여 Cz로 전류가 흘러 루프 출력 전압은 감소한다. 루프필터에 사용한 스위치는 전압제어발진기 출력 신호에 의해 동작하는 것을 확인할 수 있다.

그림 4.2는 Ireset/Icp의 값이 10일 때의 시뮬레이션 결과이다. 그림 4.2 (a)가 보여주듯이 기존 위상고정루프와 비슷한 21μs에서 위상이 고정된다. 그림 4.2 (b)와 (c)는 ΔV_{LPF} 와 $\Delta \Delta V_{LPF}$ 는 각각 770μV, 100μV로 기존 구조보다 크기가 35%와 48% 감소하였다.

그림 4.3은 Ireset/Icp의 값이 50일 때의 시뮬레이션 결과이다. 그림 4.3 (a)가 보여주듯이 30μs에서 위상이 고정된다. 그림 4.3 (b)와 (c)에서 나타난 파와 같이 ΔV_{LPF} 와 $\Delta \Delta V_{LPF}$ 는 각각 932μV, 218μV이다.

다음의 식들은 ΔV_{LPF} 와 $\Delta \Delta V_{LPF}$ 와 위상 잡음 특성과 기준신호 의사잡음 특성을 보여준다[12].

$$P_{spur} \propto 20 \log(\Delta \Delta V_{LPF}) \quad (1)$$

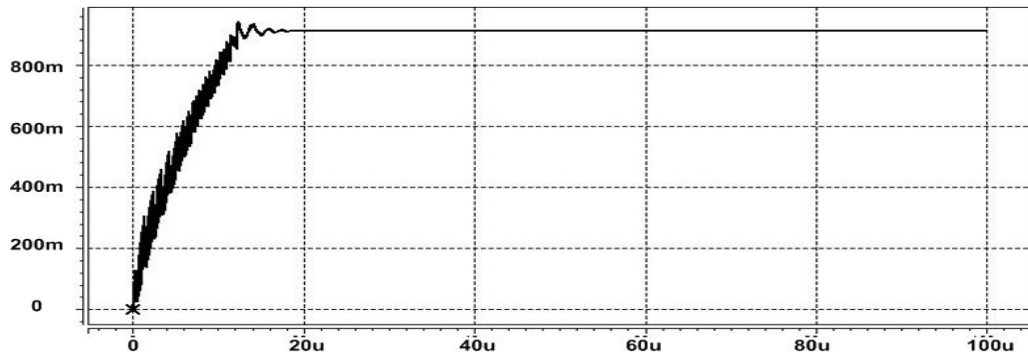
$$F_{VCO}(t) = A \cos \left(w_{FR} t + K_{VCO} \int_{-\infty}^t V_{LPF} dt \right) \quad (2)$$

식 (1)에 나타난 파와 같이 의사 잡음의 크기는 $\Delta \Delta V_{LPF}$ 의 크기에 비례하므로 기준신호 의사잡음 크기를 줄이기 위해서는 $\Delta \Delta V_{LPF}$ 크기를 줄여야 한다. 또한 식 (2)의 적분항에 포함된 V_{LPF} 가 보여주듯이 V_{LPF} 의 변화량(ΔV_{LPF})이 작으면 F_{VCO} 의 변화량이 작아진다. 즉, 위상잡음 특성이 개선

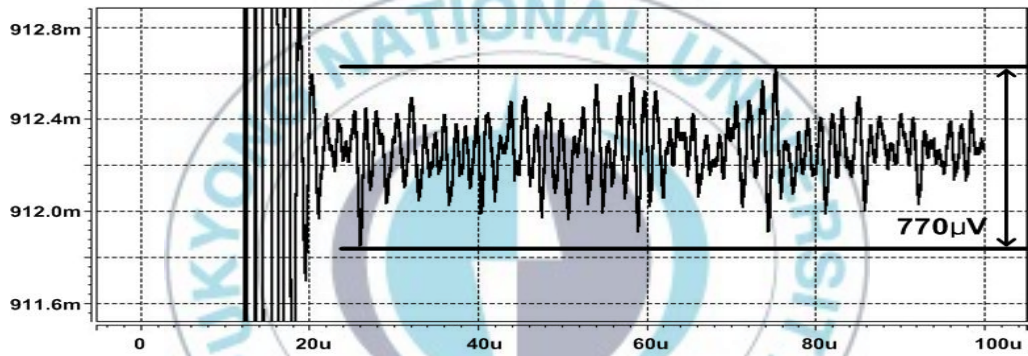
되므로 위상잡음 특성을 좋게 하기 위해서는 ΔV_{LPF} 의 크기도 줄여야 한다.

Ireset/Icp의 값이 10일 때, 시뮬레이션 결과는 제안한 구조의 $\Delta \Delta V_{LPF}$ 와 ΔV_{LPF} 크기가 기존 구조의 $\Delta \Delta V_{LPF}$ 와 ΔV_{LPF} 크기의 각각 1/2과 2/3의 크기로 감소하였다. Ireset/Icp의 값이 50일 때는 ΔV_{LPF} 의 크기는 25% 감소하였으나 $\Delta \Delta V_{LPF}$ 크기는 10% 증가하였다.

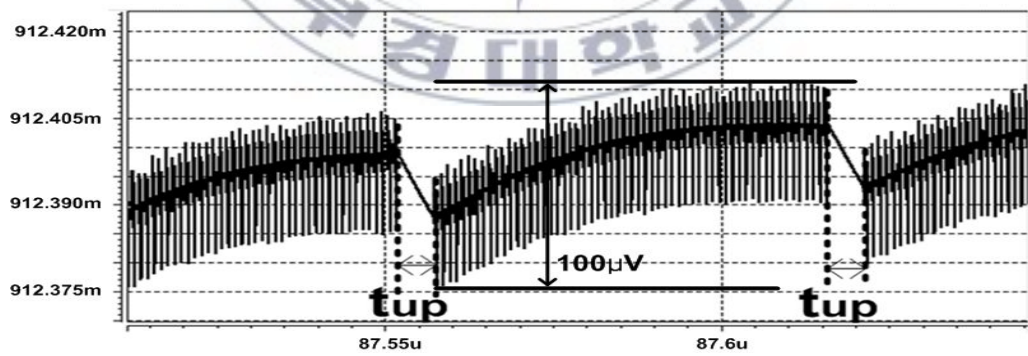
Ireset/Icp의 값이 10일 때는 기준신호 의사잡음과 위상잡음의 특성이 많이 좋아 졌다는 것을 알 수 있으며 위상고정 시간은 조금 증가 하였다. Ireset/Icp의 값이 50일 때는 기존 구조에 비해 위상고정시간도 많이 증가 하였고 잡음 특성도 거의 좋아지지 않는다. 2차-RC 필터와 sample-hold 커패시터로 구성된 루프필터와 단방향 전하펌프를 가진 위상고정루프는 Ireset/Icp의 값이 작을 때는 기존 구조에 비해 잡음 특성을 크게 향상 시킬 수 있다. 전압제어발진기 출력 신호로 제어되는 스위칭에 의해 반송파 주파수에서 전압제어발진기 출력 신호 주파수만큼 떨어진 주파수에서 의사 잡음이 발생한다. 의사 신호는 반송파에서 멀리 떨어져 있어 우리가 원하는 대역폭에 안에 있는 다른 채널 신호에는 영향을 미치지 않는다.



(a)

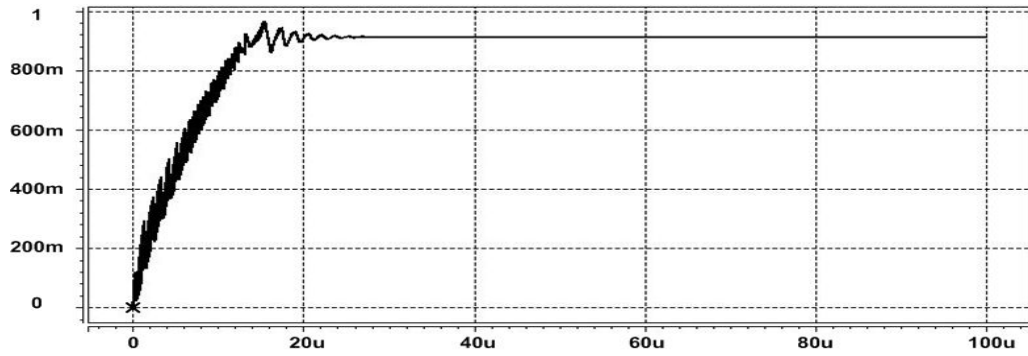


(b)

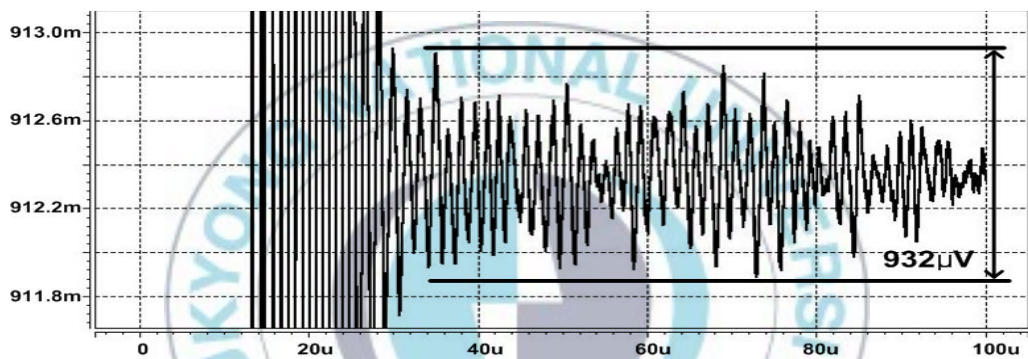


(c)

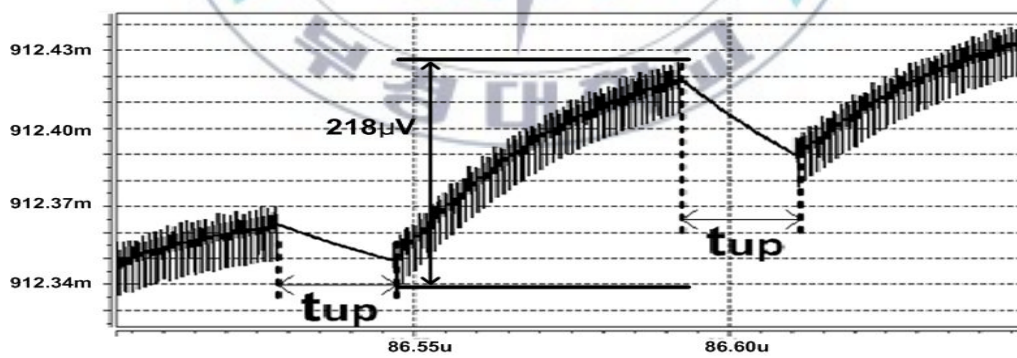
그림 4.2 전압변화 I_{reset}/I_{CP} 값이 10일 때 (a) 루프필터 전압 변화 (b) 위상고정 후 확대된 루프필터 전압변화 (c) 위상고정 후 확대된 루프필터 전압변화



(a)



(b)



(c)

그림 4.3 전압변화 $I_{\text{reset}}/I_{\text{CP}}$ 값이 50일 때 (a) 루프필터 전압 변화 (b) 위상고정 후 확대된 루프필터 전압변화 (c) 위상고정 후 확대된 루프필터 전압변화

V. 결론

본 논문에서는 기존의 2차-RC루프필터 구조의 앞단에 커패시터를 추가하고 전압제어발진기(VCO)의 높은 출력주파수로 동작하는 스위치를 연결하고, 단방향 전하펌프를 사용한 구조를 제안하였으며, 시뮬레이션을 통하여 동작을 확인하였다.

전압제어발진기의 출력신호로 제어되는 스위칭에 의해 반송파 주파수에서 전압제어발진기 출력신호 주파수만큼 떨어진 주파수에서 의사 잡음이 발생한다. 의사 신호는 반송파에서 멀리 떨어져 있어 우리가 원하는 대역폭 안에 있는 다른 채널 신호에는 영향을 미치지 않는다. 제안한 구조는 기존구조의 위상고정루프보다 루프 필터 출력 신호의 변화의 크기를 크게 줄여 위상잡음 특성과 기준신호 의사 잡음 특성을 개선할 수 있다.

제안된 위상고정루프는 삼성 0.18 μ m CMOS공정을 기반으로 설계 제작되었으며 Synopsys의 HSPICE를 사용하여 시뮬레이션 하여 동작을 검증하였다. 레이아웃 툴은 Cadence Virtuoso를 이용하여 회로를 구현하고, Mentor의 Calibre를 이용하여 DRC와 LVS를 통해 검증하였다.

참 고 문 헌

- [1] Marianne M. Kamal, Emad W. El-Shewekh, and Muhammad H. El-Saba, "Design and implementation of a low-phase-noise integrated CMOS Frequency Synthesizer for high-sensitivity narrow-band FM transceivers," *Microelectronics*, pp. 167-175, Cairo, Egypt. Dec. 2003.
- [2] Yan Ge, Wennan Feng, Zhongjian Chen, Song Jia and Lijiu Ji, "A Fast Locking Charge-Pump PLL with Adaptive Bandwidth," *ASIC*. vol. 1, ASICON, pp. 431-434, Oct. 2005.
- [3] Kyoohyun Lim, Chan-Hong Park, Dal-Soo Kim and Beomsup Kim, "A Low-Noise Phase-Locked Loop Design by Loop Bandwidth Optimization," *IEEE J. Solid-State Circuits*, vol. 35, no. 6, pp. 807-815, June. 2000.
- [4] Tsung-Hsien Lin and William J. Kaiser, "A 900-MHz 2.5-mA CMOS Frequency Synthesizer with an Automatic SC Tuning Loop," *IEEE J. Solid-State Circuits*, vol. 36, no. 3, pp. 424-431, March. 2001.
- [5] Wu-Hsin Chen, Wing-Fai Loke, and Byunghoo Jung, "A 0.5-V, 440- μ W Frequency Synthesizer for Implantable Medical Devices," *IEEE J. Solid-State Circuits*, vol. 47, no. 8, pp. 1896-1907, August 2012.
- [6] Shen Ye, Lars Jansson and Ian Galton, "A Multiple-Crystal Interface PLL With VCO Realignment to Reduce Phase Noise," *IEEE J. Solid-State Circuits*, vol. 37, no. 12, pp. 1795-1803,

December. 2002.

- [7] Te-Wen Liao, Chia-Min Chen, Jun-Ren, and Chung-Chih Hung, "Random Pulsewidth Matching Frequency Synthesizer With Sub-Sampling Charge Pump," IEEE Transactions on Circuits and Systems-I: Regular Papers, Vol. 59, no. 12, pp. 2815-2824, December. 2012.
- [8] E. Temporiti, G. Albasini, I. Bietti, R. Castello, and M. Colombo, "A 700-kHz bandwidth $\Sigma\Delta$ fractional synthesizer with spur compensation and linearization techniques," IEEE J. Solid-State Circuits, vol. 39, no. 9, pp. 1446-1454, Sep. 2004.
- [9] S. Pamariti, L. Jansson, and I. Galton, "A wideband 2.4-GHz delta-sigma fractional-N PLL with 10Mb/s in loop modulation," IEEE J. Solid-State Circuit, vol. 39, no. 1, pp. 49-62, Jan. 2004.
- [10] F. M. Gardner, Phaselock Techniques. Hoboken, NJ: Wiley, 2005
- [11] Y. G. Song and, Y. S. Choi, "A Fast Locking Phase Locked Loop with Multiple Charge Pumps", IEEEK-SD, vol. 46, no. 2, pp. 71-77, Feb. 2009.
- [12] H. C. Luong and G. C. T. Leung, Low-Voltage CMOS RF Frequency Synthesizers. Cambridge: Cambridge