



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

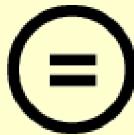
다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

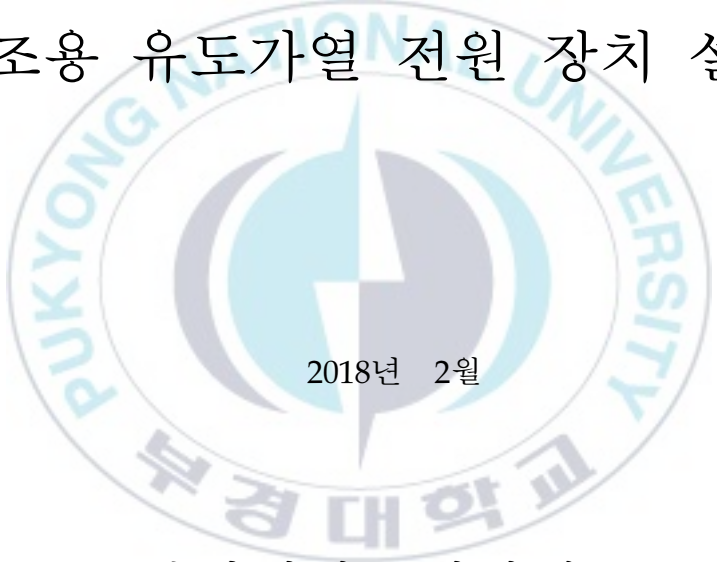
저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공 학 석 사 학 위 논 문

벽 컨버터 및 전류원 인버터를 이용한 고 역률
단조용 유도가열 전원 장치 설계

The logo of Pukyong National University is a circular emblem. It features a stylized 'P' and 'N' intertwined in the center, with the university's name in English 'PUKYONG NATIONAL UNIVERSITY' around the top half and in Korean '부경대학교' around the bottom half.

2018년 2월

부 경 대 학 교 대 학 원

전 기 공 학 학 과

이 창 우

공 학 석 사 학 위 논 문

벽 컨버터 및 전류원 인버터를 이용한 고 역률
단조용 유도가열 전원 장치 설계

지도교수 김 인 동

이 논문을 공학석사 학위논문으로 제출함.

2018년 2월

부 경 대 학 교 대 학 원

전 기 공 학 과

이 창 우

이창우의 공학석사 학위논문을 인준함

2018년 2월



주	심	공학박사	노 의 철 (인)
위	원	공학박사	김 영 학 (인)
위	원	공학박사	김 인 동 (인)

목 차

목차	i
그림 목차	iii
표 목차	v
Abstract	vi
I. 서 론	1
II. 본 론	6
1. 전체전원장치의 구성	6
가. 부하 특성	6
(1) 히스테리시스 손실	6
(2) 와전류 손실	8
(3) 공진탱크 부하 특성	9
나. IGBT 인버터	11
(1) IGBT 인버터 특성	11
(2) IGBT 인버터 동작 원리	12
(가) MODE 1 (s_1, s_2 ON)	14
(나) MODE 2 (s_1, s_4 ON)	15
(다) MODE 3 (s_3, s_4 ON)	16
(라) MODE 4 (s_2, s_3 ON)	17
다. 2 Phase Interleaved Buck Converter	18
(1) Interleaved Buck 컨버터 특성	18
(2) Interleaved Buck 컨버터 동작	19
라. AC Filter	23
(1) AC Filter 특성	23
마. 전원장치 제어	25
(1) 제어블록도	25

2. 전원장치설계	26
가. 다이오드 정류기	26
나. Interleaved buck converter 설계	28
다. AC Filter 설계	30
3. 시뮬레이션 결과	34
가. PSIM 시뮬레이션	34
나. 기존의 단조용 유도 가열 전원 장치와 제안하는 전원장치 비교	36
다. 공진 주파수별 유도 가열장치 비교	38
(1) 부하 탱크의 공진 주파수 3khz	38
(2) 부하 탱크의 공진 주파수 5khz	39
(3) 부하 탱크의 공진 주파수 7khz	41
(4) 부하 탱크의 공진 주파수 9khz	42
라. 제안하는 단조용 유도 가열 장치의 역률 및 전류 THD	43
III. 결 론	45
참고 문헌	46

그림 목 차

그림 1-1 유도가열의 원리	1
그림 1-2 고주파 유도가열 장치의 구성	2
그림 1-3 (a) 위상제어 SCR정류기 + SCR인버터 방식, (b) 역률 보상용 다이오드를 갖는 SCR 인버터 방식	3
그림 1-4 제안하는 전원 장치의 전력 회로	5
그림 2-1 히스테리시스 루프	6
그림 2-2 온도별 B-H Loop	8
그림 2-3 주파수별 전력 손실 비교	9
그림 2-4 공진탱크 회로	10
그림 2-5 공진탱크 등가회로	10
그림 2-6 병렬 공진형 인버터	12
그림 2-7 제안된 회로의 스위치 입력 파형	13
그림 2-8 인버터 출력 전압(V_{inv}), 전류(I_{dc}) 및 입력 전압(V_o), 전류(I_o)	14
그림 2-8-1 제안된 회로의 인버터 부 전류루프 (s_1, s_2 Turn ON)	15
그림 2-8-2 제안된 회로의 인버터 부 전류루프 (s_1, s_4 Turn ON)	16
그림 2-8-3 제안된 회로의 인버터 부 전류루프 (s_3, s_4 Turn ON)	17
그림 2-8-4 제안된 회로의 인버터 부 전류루프 (s_2, s_3 Turn ON)	18
그림 2-9 제안된 회로의 interleaved buck converter 회로	19
그림 2-10 2상 interleaved buck converter (a): Q_1 동작 시 (b): Q_2 동작 시	20
그림 2-11 2상 interleaved buck converter 각각의 전류 파형	21
그림 2-12 Duty ratio에 따른 리플율	23
그림 2-13 필터가 고려되지 않는 입력 측 선 전류 i_a	24
그림 2-14 필터가 고려되지 않는 입력 측 선 전류 FFT	24
그림 2-15 (a) 기본 주파수에 대한 등가 회로, (b) 고조파 주파수에 대한 등가회로	25
그림 2-16 제안하는 전원장치의 제어 블록 도	26
그림 2-17 다이오드 정류기	27
그림 2-18 입력 상 전압, 선 전류, 3상 다이오드 정류기를 통한 전압정류 파형	28
그림 2-19 상호 인덕턴스가 고려된 Interleaved 컨버터 회로	29
그림 2-20 AC filter 회로	31
그림 2-21 AC filter 회로에서의 페이지도	32
그림 2-22 AC filter 회로에서의 전류 입출력 보드선도	33

그림 2-23 시뮬레이션 회로	34
그림 2-24 입력 측 상 전압 V_a , 선 전류 I_a 파형 (a) : 기존의 단조용 유도가열 장치, (b) : 제안하는 단조용 유도가열 장치	37
그림 2-25 DC link 전류 그래프 파형 (a) : 기존의 단조용 유도가열 장치, (b) : 제안하는 단조용 유도가열 장치	38
그림2-26 공진 주파수 3khz에 대해 (a) : interleaved 컨버터에서의 각상의 전류 i_{dc1} , i_{dc2} 의 전류 파형, (b) : 인버터 입력 전류 i_{dc} , (c) : 인버터 출력 전류 i_o , 전압 파형 v_o	39
그림 2-27 공진 주파수 5khz에 대해 (a) : interleaved 컨버터에서의 각상의 전류 i_{dc1} , i_{dc2} 의 전류 파형, (b) : 인버터 입력 전류 i_{dc} , (c) : 인버터 출력 전류 i_o , 전압 파형 v_o	41
그림 2-28 공진 주파수 7khz에 대해 (a) : interleaved 컨버터에서의 각상의 전류 i_{dc1} , i_{dc2} 의 전류 파형, (b) : 인버터 입력 전류 i_{dc} , (c) : 인버터 출력 전류 i_o , 전압 파형 v_o	42
그림2-29 공진 주파수 9khz에 대해 (a) : interleaved 컨버터에서의 각상의 전류 i_{dc1} , i_{dc2} 의 전류 파형, (b) : 인버터 입력 전류 i_{dc} , (c) : 인버터 출력 전류 i_o , 전압 파형 v_o	43
그림 2-30 제안하는 단조용 유도가열 장치에서 40kW 출력 시 (a) : 입력 상 전압 V_a , 전류 파형 I_a , (b) : 입력 전류 I_a 의 FFT	44

표 목 차

표 1 대표적 히스테리시스 계수	7
표 2 재료별 자기 변태점	8
표 3 각 코일의 피 가열 체 유, 무 및 가열 전, 후에 대한 공진탱크의 특성변화	35
표 4 (a) : 필터 소자 및 DC LINK 인덕터 소자 값, (b) : 공진주파수에 따른 부하 설정 값	36



벽 컨버터 및 전류원 인버터를 이용한 고 역률 단조용 유도가열 전원 장치 설계

이 창 우

부 경 대 학 교 대 학 원 전기 공학과

요 약

유도가열은 전자기 유도현상을 이용하여 금속 체를 직접 가열하는 방식이므로 높은 변환 효율로 전기에너지를 열에너지로 변환시킬 수 있다. 즉 열전달 매질을 이용하지 않고 많은 양의 에너지를 짧은 시간에 피 가열 체에 투여 가능하므로 큰 용량의 피 가열 체는 급속 가열할 수 있다. 이로 인해 철강 산업과 기계 산업의 발달과 더불어 금속의 단조, 용해, 표면경화, 풀림 등 주용 응용분야에 널리 사용되고 있다. 그 중 현재 널리 사용되고 있는 단조용 유도 가열 전원 장치는 주로 위상제어 정류기를 이용한다. 하지만 입력단의 저 역률 및 입력 전류 THD가 높은 단점을 가진다. 따라서 본 논문에서는 이러한 단점을 보완하기위해 3상 다이오드 정류기와 벽 컨버터를 사용한 고 역률 유도가열 전원 장치를 제안한다.

I. 서론

공업용 전열장치는 전열방법에 따라 여러 가지가 있다. 그 중 고주파 유도전류에 의한 금속가열 및 용해방식은 1900년 초기부터 이용되기 시작해서 지금까지 널리 사용되고 있는 방법이다. 유도가열은 그림 1-1과 같이 전자기 유도현상을 이용하여 교번 자계에 의해 도체나 자성체에 발생하는 와전류손 또는 히스테리시스 손을 통해 금속 체를 직접 가열하는 방식이므로 높은 변환 효율로 전기에너지를 열에너지로 변환시킬 수 있다. 즉 열전달 매질을 이용하지 않고 많은 양의 에너지를 짧은 시간에 피 가열 체에 투입 가능하므로 큰 용량의 피 가열 체는 금속 가열할 수 있다. 이로 인해 철강 산업과 기계 산업의 발달과 더불어 금속의 단조, 용해, 표면경화, 풀림등 주요 응용분야에 널리 사용되고 있다. 유도가열 장치의 내부 구성도를 보면 그림 1-2와 같다.

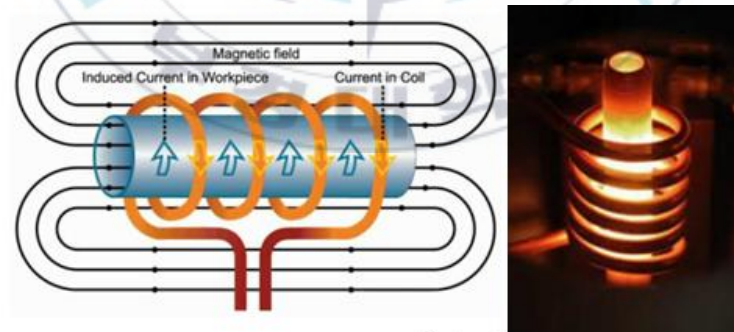


그림 1-1 유도가열의 원리

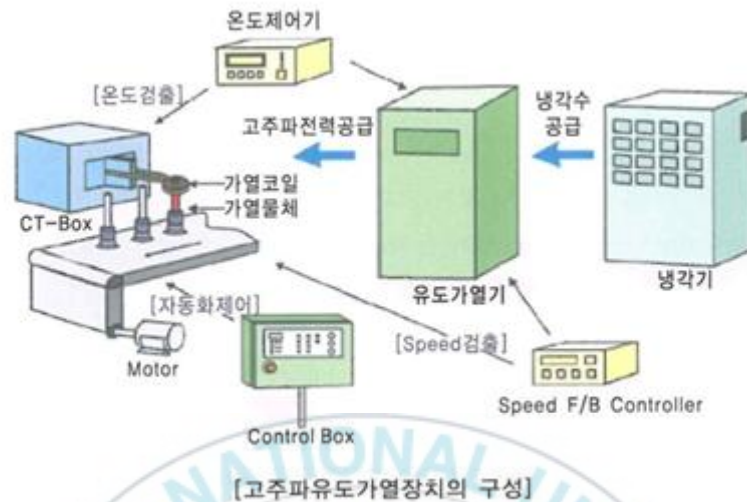
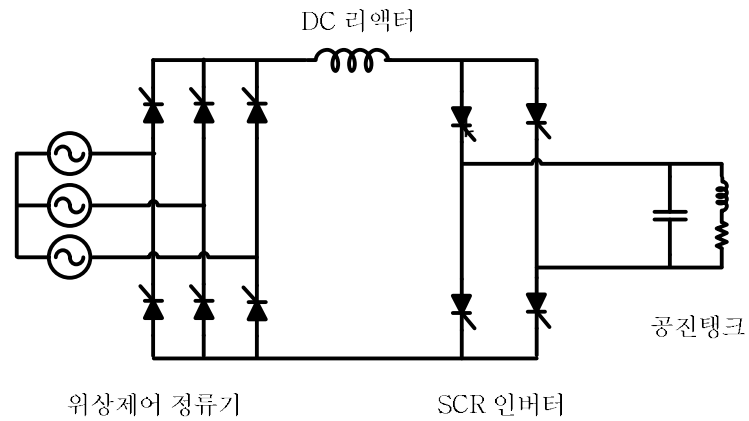
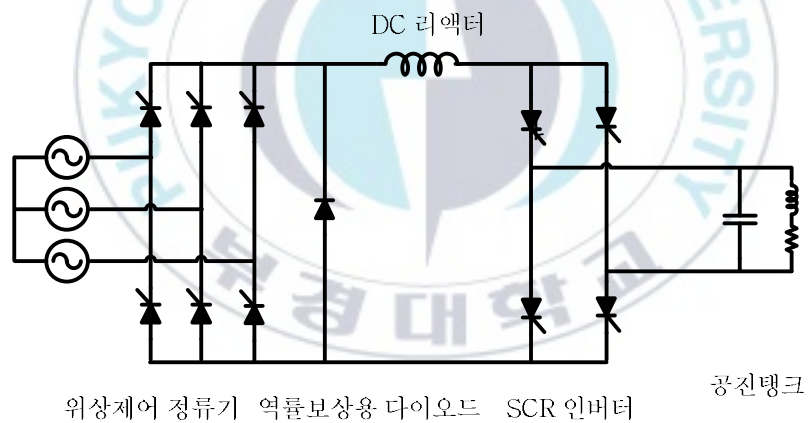


그림 1-2 고주파 유도가열 장치의 구성

그 중 특히 단조분야에 있어서 유도가열 장치는 급속가열을 통한 생산성 향상, 화석연료대신 전기에너지를 사용하므로 공해문제 해결, 장치의 디지털화 및 정밀 제어로 인한 품질관리 용이함 등의 장점으로 인해 널리 사용되고 있다. 현재 많은 산업체에서 단조용 유도가열 전원장치는 재래식 스위칭 소자를 사용하여 주파수가 낮은 범위에서 고정된 주파수로 스위칭하는 방식으로 그림 1-3과 같은 SCR과 같은 전력반도체를 사용한 전원장치로 병렬 공진회로 방식을 압도적으로 많이 채택하고 있다. 병렬공진회로 방식은 직렬공진회로방식에 비해 가열코일에 흐르는 전류가 인버터 전류 용량의 Q 배에 해당되는 큰 전류를 흘리므로 단조용 금속의 급속 가열을 용이하게 하는 장점을 갖고 있다. 더불어 전원 설비의 전류 용량이 작아도 되는 장점을 갖고 있다. 또한 전류원 인버터 사용으로 전원장치에서의 고장 전류 발생 시 보호 동작이 용이한 장점을 갖고 있으므로 열악한 작업환경에서도 쉽게 고장이 나지 않는다. 이로 인해 많은 단조 전문회사는 전류원 인버터 구동방식의 병렬공진 유도 가열 전원장치를 선호한다.



(a)



(b)

그림 1-3 (a) 위상제어 SCR정류기 + SCR인버터 방식
(b) 역률 보상용 다이오드를 갖는 SCR 인버터 방식

그러나 기존의 단조용 유도가열 전원장치는 직류전원을 얻기 위해 위상제어 정류기를 사용하며, 이로 인해 부하와 전원 변동에 따라 전원에서 본 입력 역률이 가변하며 입력 전류 파형이 구형파이므로 인해 큰 THD 특성을 지니며 유도 장애 현상을 발생시킬 수 있다. 또한 SCR 전류원 인버터를

사용하므로 10kHz 이상의 고주파 동작이 어려우며 유도가열 장치에서 출력을 조절하기 위해 스위칭 주파수를 조절하여 공진회로 내에서 무효 전력이 생기는 방식을 써왔으며 Load Commutation을 위해 부하 탱크 회로의 공진 주파수보다 높은 주파수에서 동작 하므로 큰 무효 전류에 의한 인버터 효율이 낮은 단점을 가지고 있다. 또한 탱크 회로의 초기 공진을 시작하기 위해 별도의 기동회로(Starting circuit)을 필요로 하는 단점을 지니고 있다.

따라서 부하변동에 관계없이 높은 역률 값을 가지며 전원 전류파형이 정현파와 유사한 낮은 THD 전원전류를 가지며 유도 장애 현상을 최소한으로 한다. 또한 최근 전력용 반도체 소자의 스위칭 속도와 용량이 증가함에 따라 공진형 인버터 개발이 지속적으로 향상하고 있다. 다양한 출력을 요구하는 열처리용 유도가열장치에 대해 만족하기 위해 적합한 IGBT를 이용하여 출력제어 컨버터와 탱크회로의 공진주파수와 같은 스위칭주파수로 인버터를 동작시킴으로 공진회로 내에 무효전력, 스위칭으로 인한 손실을 감소하며, 넓고 안정된 출력을 얻을 수 있다.

본 연구에서는 40[kW]급 유도가열용 병렬 공진형 풀-브리지(full-bridge) 전류형 인버터를 개발하고자 한다. 그림 1-4와 같이 3상 다이오드 정류기를 이용하며 인터리브드(interleaved)방식의 벡 컨버터를 통한 DC LINK단 입력 전압을 가변 할 수 있게 하고 환류 다이오드가 내장된 IGBT모듈로 풀 브리지 전류형 인버터를 구성하였다. 고주파 전류원 인버터의 동작주파수를 탱크회로의 공진주파수와 같게 제어하는 알고리즘을 통해 전류원 인버터의 출력 전류를 항상 최소로 유지하여 최적의 가열 조건과 효율을 유지한다. 공진주파수는 5kHz로 설정하였으며 전압의 위상을 비교하여 공진주파수를 추종하는 스위칭 주파수제어기를 설계하였다. 전체적인 유도가열의 원리와 등가회로를 해석하고 실제 부하회로에 대한 시뮬레이션을 통

해 안정성과 효율성이 좋은 유도가열 전원장치 시스템을 결정하였다.

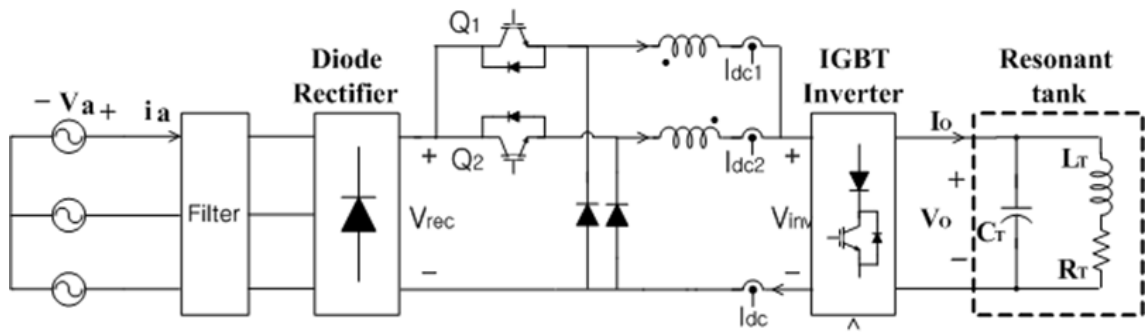


그림 1-4 제안하는 전원 장치의 전력 회로



이때 그림2-1과 같이 자속밀도의 변화를 나타내는 곡선과 자계의 세기를 나타내는 곡선은 일치하지 않는 히스테리시스 루프를 그릴 수 있으며 코일에서 전류 한 사이클 동안 에너지는 전원에서 피 가열 체에 공급된다. 이것은 에너지 손실로써 피 가열 체에 열을 발생한다. 또한 히스테리시스 루프의 면적은 히스테리시스 손실과 비례하며 히스테리시스 손실을 스타인 메츠 식을 통해 아래와 같이 나타낸다.

$$P_h = n f B_m^{1.6} \dots\dots\dots \text{식(2-1)}$$

(P_h : 히스테리시스 손, n : 히스테리시스 계수, f : 사용 주파수, B_m : 최대 자속 밀도)

재료에 따라 히스테리시스 계수는 다르며 각 재료별 히스테리시스 계수는 표 1과 같다.

재료	히스테리시스 계수
니켈	$33 \sim 95 \times 10^2$
주강	$25 \sim 40 \times 10^2$
박강판	$5 \sim 7.5 \times 10^2$
2.5% 규소강판	5.5×10^2
4.5% 규소강판	1.9×10^2

표 1 대표적 히스테리시스 계수

그림 2-2와 같이 온도가 높아질수록 히스테리시스 손실은 줄어들게 된다. 재료별로 자기변태점은 다르며 표 2와 같고 피 가열 체에서의 온도가 자기변태점 이상으로 가열하게 되면 히스테리시스 손실은 거의 없어진다. 그 후로는 와전류손에 의해 가열된다.

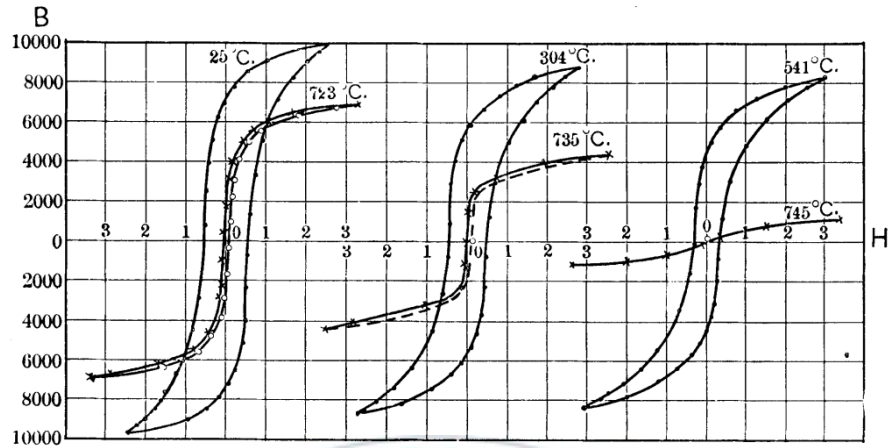


그림 2-2 온도별 B-H Loop

재료	온도	재료	온도
철	771 °C	니켈철	70 °C
코발트	1152 °C	파마로이	549 °C
니켈	360 °C	카본-스틸	721 °C

표 2 재료별 자기 변태점

(2) 와전류 손실

교번하는 교류 자계 내에 도체를 넣으면 전자 유도 작용으로 도체에는 전류가 발생하게 되는데 이는 소용돌이 형태의 전류가 되어 이를 와전류라 부른다. 이 와전류를 통해 저항이 있는 도체에 전류가 흐르며 열이 발생하며 그 열량은 흐르는 전류의 제곱과 도체의 저항 및 전류가 흐르는 시간에 비례하며 주울 법칙에 의한 가열 에너지는 다음식과 같다.

$$we = \eta e f^2 Bm^2 \dots\dots\dots \text{식(2-2)}$$

$$we = \eta f^2 t^2 k f^2 Bm^2 = \eta (ftkf Bm)^2 \dots\dots\dots \text{식(2-3)}$$

$$(kf(\text{파형율})) = \text{실효값} / \text{평균값} = \frac{\pi}{2\sqrt{2}} = 1.1)$$

(η = 상수, f = 주파수, Bm = 최대자속밀도)

이식에서 보듯이 와전류 손실은 주파수의 제곱에 비례하며 히스테리시스

손실보다 다 크게 주파수에 영향을 받게 된다.

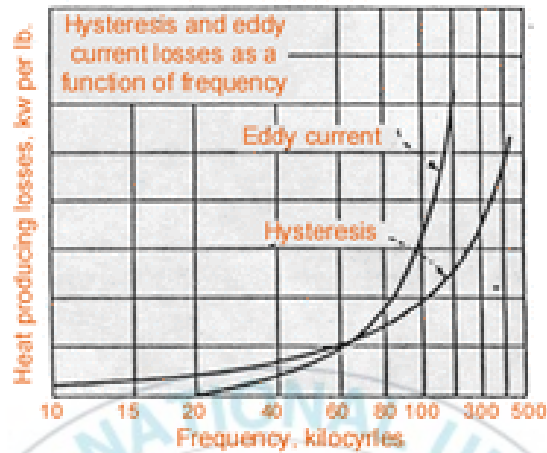
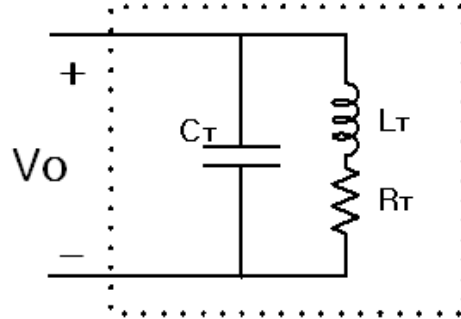


그림 2-3 주파수별 전력 손실 비교

그림 2-3과 같이 주파수가 낮으면 히스테리시스 손실이 크고 주파수가 높아지면 이와는 반대로 와전류손이 증가하는 것을 보여준다.

(3)공진탱크 부하특성

비접촉 가열인 유도가열 부하 계는 그림 2-4와 같이 표현된다. 직렬 등가 저항 R_T 는 코일의 내부저항, 히스테리시스 손, 와전류손으로 인한 저항 성분으로 표현되었으며 코일의 내부저항은 매우 작으므로 무시하였다. 또한 R_T 값은 측정하기 곤란하므로 전력제어를 하여 코일 속 피 가열 체는 자기 변태점까지 가열 할 수 있다. 직렬 등가 L_T 유도가열 코일이며 C_T 는 공진을 위한 커패시터로 공진주파수는 L_T, C_T 에 크게 영향을 받는다.



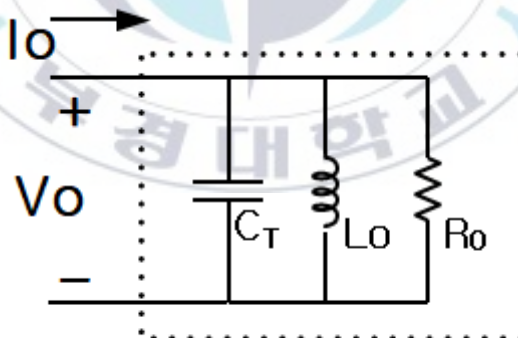
공진탱크회로

그림 2-4 공진탱크 회로

이때 공진 탱크의 어드미턴스 값은

$$Y = \frac{R_T}{R_T^2 + (wL_T)^2} + j\left(wC_T - \frac{wL_T}{R_T^2 + (wL_T)^2}\right) \dots\dots\dots \text{식 (2-4)}$$

이며 어드미턴스 값을 통해 그림 2-5와 같이 등가 회로로 표현이 가능하다.



공진탱크회로

그림 2-5 공진탱크 등가회로

그림 2-5에서 각각의 L_O , R_O 는

$$R_O = \frac{R_T^2 + (wL_T)^2}{R_T}, \quad L_O = \frac{R_T^2 + (wL_T)^2}{L_T} \dots\dots\dots \text{식 (2-5)}$$

로 나타난다. 또한 어드미턴스 값을 통해 공진 조건을 맞춰야함으로 허수 부 즉

$$w_o C_T - \frac{w_o L_T}{R_T^2 + (w_o L_T)^2} = 0 \quad (w_o : \text{공진각주파수}) \dots\dots\dots \text{식(2-6)}$$

이 되어야 한다.

이전 식을 통해 공진각주파수 w_o 와 공진주파수 f_o 는 아래의 식과 같다.

$$w_o = \sqrt{\frac{1}{C_T L_T} - \frac{R_T^2}{L_T^2}} \dots\dots\dots \text{식(2-7)}$$

$$f_o = \frac{1}{2\pi} \sqrt{\frac{1}{L_T C_T} - \frac{R_T^2}{L_T^2}} \dots\dots\dots \text{식(2-8)}$$

침투가열 깊이 및 각 피 가열 체 재료, 스위칭 반도체소자 특성에 맞게 공진주파수대역을 선택하여 유도 가열기를 동작되어야 하며 본 논문에서는 공진탱크 내에서의 C_T, L_T 값을 가변 하여 공진주파수 5khz 내외에서 동작 하게 설계한다. 이때 가열된 온도가 자기변태점 범위 히스테리시스 손실이 가장 작아진 지점까지 R_T 는 거의 동손만 남게 되며 줄어진다. 그로 인해 공진주파수는 점점 증가하며 인버터 스위칭역시 높은 효율을 내기위해 공진주파수를 추종되어야 한다.

나. IGBT 인버터

(1) IGBT 인버터 특성

부하탱크에서 높은 임피던스를 갖기 위해 전류 원으로 공급 받을 수 있도록 병렬 공진형 인버터를 선택하였다. 병렬 공진형 인버터는 전류가 연속적으로 제어되기 때문에 단락회로를 만들어 보호 작용에 큰 장점을 가지고 있다. 또한 공진탱크에 효율적으로 전류를 공급하기 위해 공진탱크 부

하에 따른 공진주파수를 추종하여 각각의 IGBT 스위치 (s_1, s_2, s_3, s_4)는 ON, OFF된다.

(2) IGBT 인버터 동작 원리

제안된 유도가열 시스템에서의 인버터는 그림 2-6과 같이 되어 있으며 전류형 풀 브리지 인버터 방식이다. 인버터 입력 측에는 커패시터를 제거하여 역률의 틀어짐과 단위역률로 전류형 인버터로 동작 할 수 있도록 구성되어 있다. 회로의 구성은 각각의 4개의 IGBT $s_1 \sim s_4$ 총 4개로 이루어져 있다.

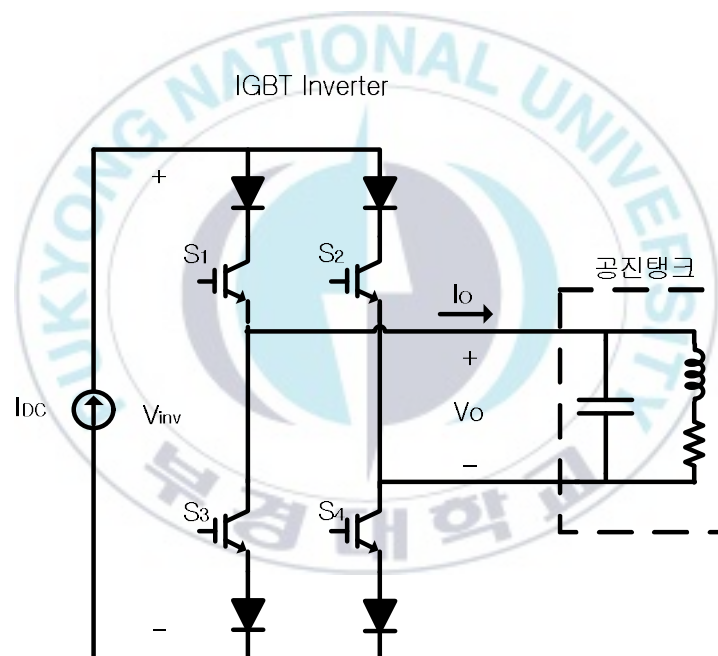


그림 2-6 병렬 공진형 인버터

전류형 인버터 스위치 방식은 그림 2-7과 같이 s_1, s_4 와 s_2, s_3 는 서로 상보적으로 Turn ON, OFF하며 이때 스위칭 주파수는 공진주파수 f_o 와 같이 작동된다. 또한 전압형과 다르게 일정 overlap time을 주어 스위치를 통해 전류 패스가 이루어지게 동작 하도록 하여 개방되지 않게 한다.

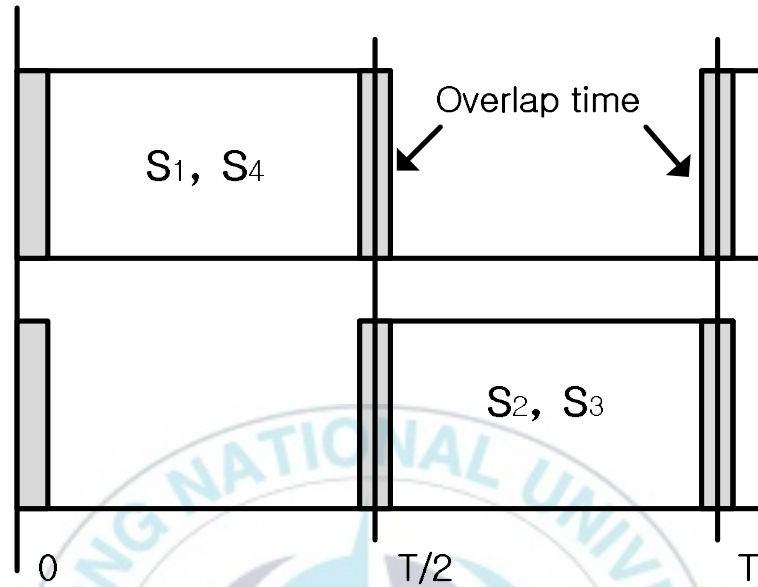


그림 2-7 제안된 회로의 스위치 입력 파형

또한 짧은 시간동안 s_1, s_2 을 ON하여 일정 전류가 DC LINK L에 충전되어야 하며 이후 스위칭을 통해 V_o 파형은 부하탱크의 공진 주파수를 가지는 sin파형으로 나타낸다. 이때 ZCD를 통해 공진주파수를 추종하여 인버터를 작동되게 알고리즘을 설계하여야 한다.

이를 통해 각각의 I_{dc} , V_{inv} , I_o , V_o 는 그림 2-8와 같은 파형이 나온다.

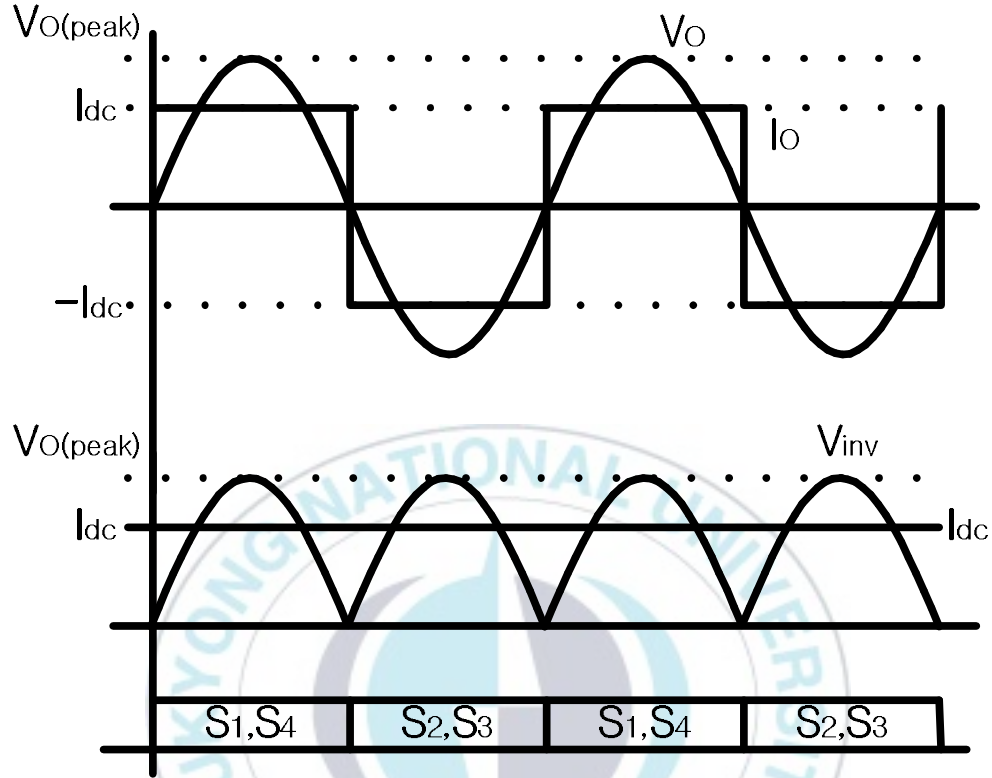


그림 2-8 인버터 출력 전압(V_{inv}), 전류(I_{dc}) 및 입력 전압(V_O), 전류(I_O)

입, 출력 관계에 있어 다음과 같은 식을 세울 수 있다.

$$V_{inv(avg)} \times I_{dc} = \frac{\pi}{2} V_{peak} \times I_{dc} = I_{dc} \times \frac{R_T^2 + (w_o L_T)^2}{R_T} = P_r (W) \dots \text{식 (2-9)}$$

$$V_o^* \times I_o^* = \frac{\pi}{2\sqrt{2}} V_{peak} \times I_{dc} = P_s (VA) \dots \text{식 (2-10)}$$

$$P_s = \frac{\pi}{2\sqrt{2}} P_r (VA) \dots \text{식 (2-11)}$$

와 같은 관계식을 세울 수 있으며 출력 측 전류 I_o 는 구형파이므로 약간은 무효전력이 생긴다. 원하는 가열량을 조절하기 위해서는 출력 유효전력으로 제어가 되어야한다.

(가) MODE 1. (s_1, s_2 ON)

s_1, s_2 가 Turn ON되어 회로의 시작되는 부분이다. 초반 ZCD를 아래위해 일정 시간동안 켜져 충분히 DC LINK 인덕터에 전류가 충전되어야 하며 이후 원하는 출력제어를 아래위해 V_{inv} 가 입력 될 때 전류원의 전류 패스구간을 만들어 주기 위한 구간이기도 하다. 이시간은 OVERLAP TIME이며 매우 작다. 그림 2-8-1은 MODE 1에서의 전류루프 이다.

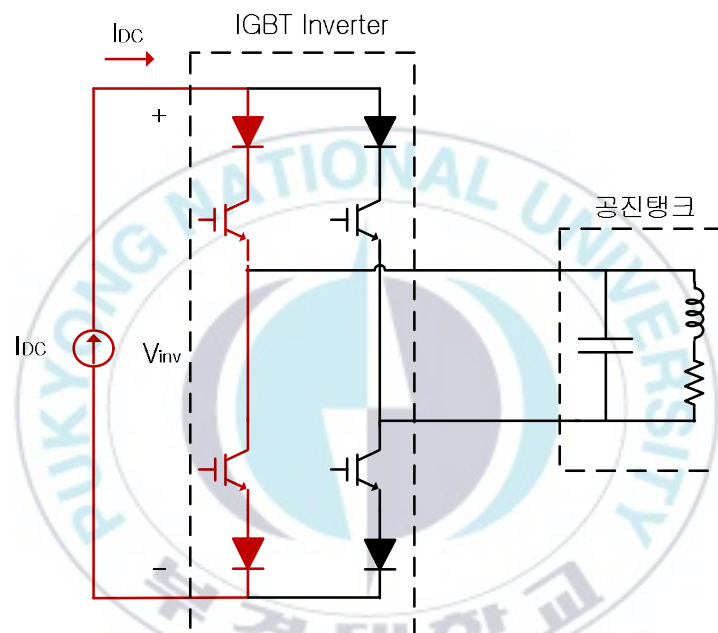


그림 2-8-1 제안된 회로의 인버터 부 전류루프 (s_1, s_2 Turn ON)

(나) MODE 2 (s_1, s_4 ON)

MODE 2는 출력되는 공진전압이 음의 반주기를 지나 0이 되는 부분에서 s_1, s_4 가 ON 이 되어 입력 측 전류원이 공진탱크로 입력되는 구간이다. 또한 공진 주파수를 추종하기 때문에 가장 큰 임피던스 값을 가지게 되며 최종적으로는 히스테리시스 손, 와전류 손, 그리고 동손 과같이 저항성분만 남게 되며 무효 성분인 L_T, C_T 값은 크게 영향을 받지 않는다. 공진 상태를 유지하게 되면서 인버터 측의 무효전력 성분은 최대한으로 줄어 효율역시

증가한다. 그림 2-8-2은 MODE 2에서의 전류루프 이다.

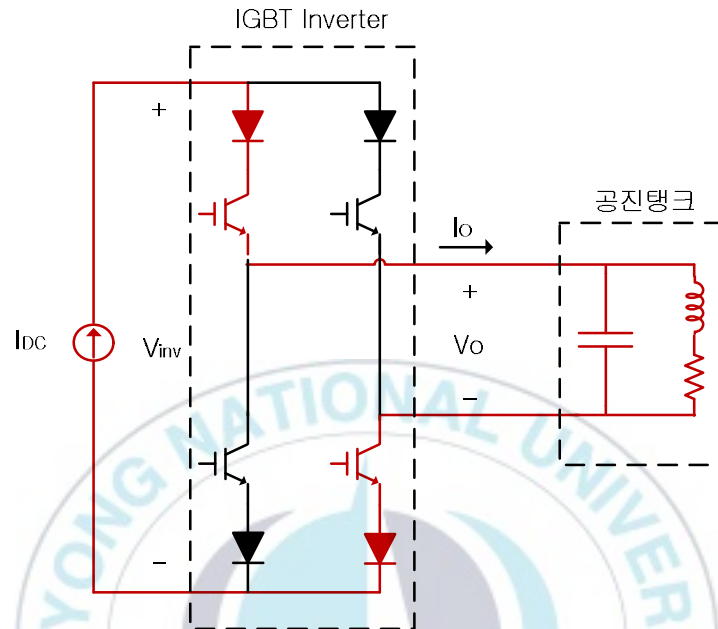


그림 2-8-2 제안된 회로의 인버터 부 전류루프 (s_1, s_4 Turn ON)

(다) MODE 3 (s_3, s_4 ON)

MODE 3은 s_3, s_4 이 ON이 되며 그림 2-8-3과 같이 MODE 1과 반대되는 전류 루프를 형성된다. 이는 DC LINK 인덕터에 충전되어 있는 일정한 전류원의 전류 패스구간을 만들어 주기 위한 구간이기도 하다. 이 시간 역시 MODE 1과 같이 OVERLAP TIME이며 매우 작다.

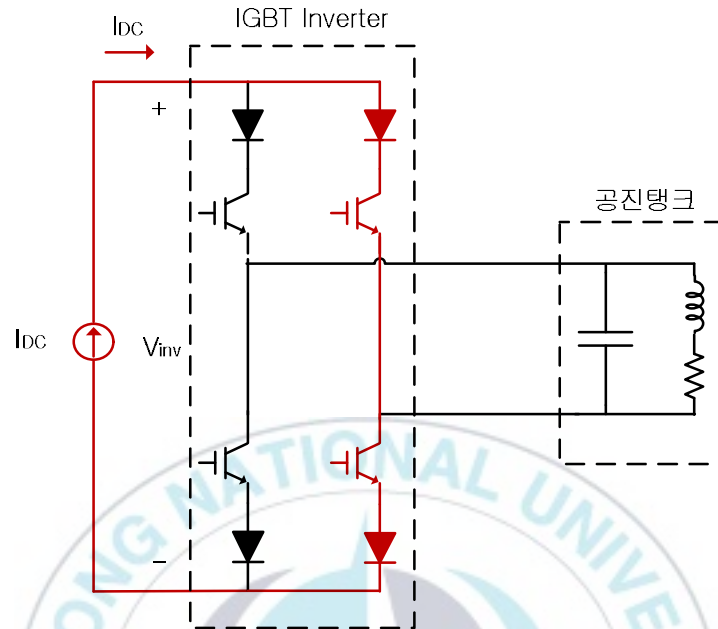


그림 2-8-3 제안된 회로의 인버터 부 전류루프 (s_3, s_4 Turn ON)

(라) MODE 4 (s_2, s_3 ON)

MODE 4는 출력되는 공진전압이 양의 반주기를 지나 0이 되는 부분에서 s_2, s_3 가 ON 이 되어 입력 측 전류원이 공진탱크로 입력되는 구간이다. 출력 전류와 전압은 MODE 2와 반대방향으로 형성되며 공진주파수를 추종하여 다시 0이 되는 부분에서 MODE 1으로 동작하게 된다. 그림 2-8-4은 MODE 2에서의 전류루프 이다.

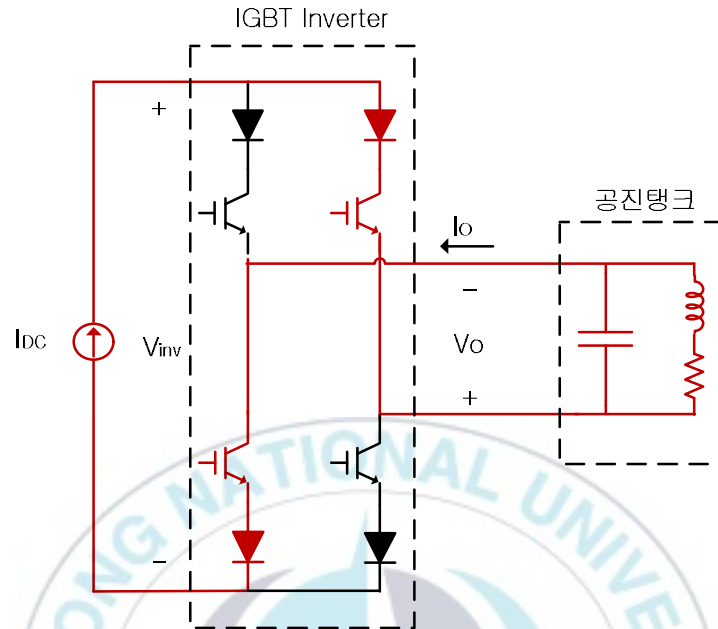


그림 2-8-4 제안된 회로의 인버터 부 전류루프 (s_2, s_3 Turn ON)

다. 2 Phase Interleaved buck 컨버터

(1) Interleaved buck 컨버터 특성

dc-dc 컨버터 중 출력 전압이 입력 전압보다 낮은 특성을 갖는 buck 컨버터를 통해 반도체 스위치를 ON, OFF 하여 직류 전압을 조절한다. 본 논문에서 제안하는 전류원 인버터는 온도 및 주파수 등 여러 조건에 대해 부하 특성이 달라지므로 일정한 출력으로 제어하기 위해 BUCK 컨버터의 전류와 전압 즉 전력을 제어해야 한다. 또한 높은 효율을 위해 리플이 적은 DC 전류는 DC LINK 인덕터의 값에 크게 영향을 미친다. 2상 Interleaved buck 컨버터는 그림 2-9와 같이 스위치 다이오드 인덕터가 2개로 구성되며 180° 위상차로 각각의 스위치를 교차시켜 Turn On, Off를

시켜 출력을 제어한다. 이를 통해 각 소자들의 전류용량을 줄일 수 있고 작은 소자들을 사용할 수 있다. 이로 인하여 낮은 스위칭 주파수를 사용하더라도 높은 스위칭 주파수 효과를 낼 수 있다. 또한 스위칭 주파수가 낮아지면서 스위치의 손실을 줄이며 수명 역시 높일 수 있으며 단일 BUCK 컨버터를 사용하는 것 보다 전류 리플이 줄어들게 되어 출력의 특성이 우수해지므로 효율 역시 높아지는 장점을 가지고 있다.

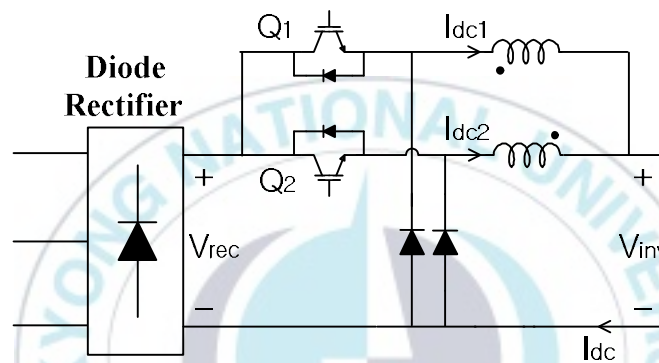
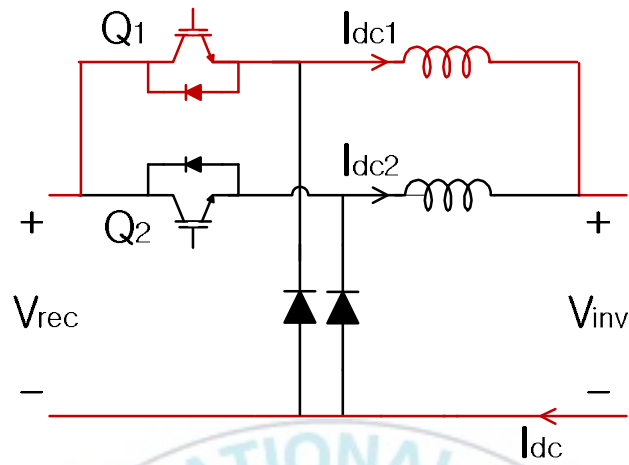


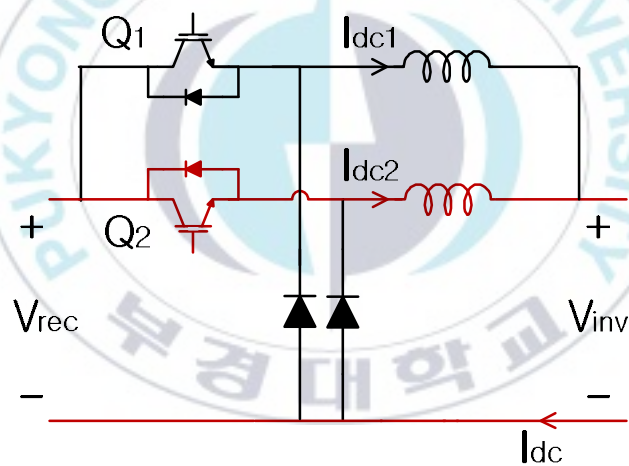
그림 2-9 제안된 회로의 interleaved buck converter 회로

(2) Interleaved buck 컨버터 동작

그림 2-10과 같이 스위치 Q_1, Q_2 는 180° 위상차를 가지며 duty 비에 맞게 각각 Turn On 된다. 이때 각각의 전류 리플이 상승하는 동안 반대로 하강하면서 DC LINK 전류로 들어가는 I_{dc} 값의 리플이 감소한다.



(a)



(b)

그림 2-10 2상 interleaved buck converter (a): Q_1 동작 시 (b): Q_2 동작 시

그림 2-11은 Q_1 , Q_2 의 스위치 상태에 대해 각상의 인덕터에 흐르는 전류 I_{dc1} , I_{dc2} , 인버터 입력으로 들어가는 전류 I_{dc} 의 파형이다. 이때 ΔI_{dc1} , ΔI_{dc2} 의 리플 차는 180° 도 차이이며 duty의 변화량에 따라 인버터 입력으로 들어가는 I_{dc} 의 리플에 영향을 받으며 아래와 같이 수식으로 증명된다. 이때 T값은

전류 I_{dc} 리플의 주기이며 I_{min1} 은 I_{dc1} , I_{dc2} 의 최소 전류 I_{min} 은 I_{dc} 의 최소 전류이다.

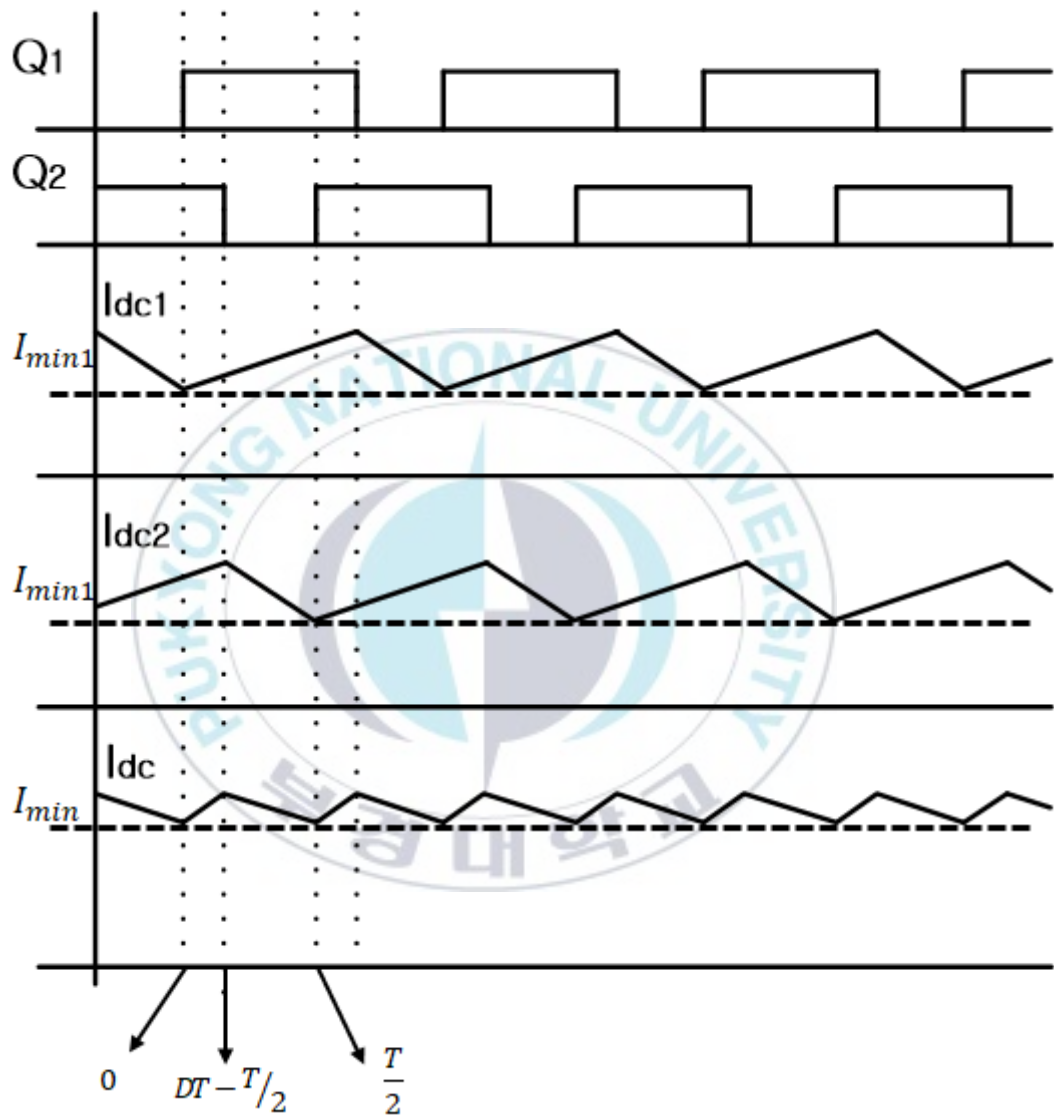


그림 2-11 2상 interleaved buck converter 각각의 전류 파형

Q_1 이 ON이 되는 시간 0에서부터 Q_2 가 OFF되는 시간 $DT - T/2$ 까지 각각 전류 방정식은

$$I_{dc1}(t) = I_{\min1} + \frac{V_{rec} - V_{inv}}{L} DT(t) \dots\dots\dots \text{식 (2-12)}$$

$$I_{dc2}(t) = I_{\min1} + \frac{V_{rec} - V_{inv}}{L} \frac{DT^2}{2} + \frac{V_{rec} - V_{inv}}{L} DT(t) \dots\dots\dots \text{식 (2-13)}$$

이때 I_{dc} 값은

$$I_{dc} = I_{dc1} + I_{dc2} \dots\dots\dots \text{식 (2-14)}$$

$$I_{dc}(t) = 2I_{\min1} + \frac{V_{rec} - V_{inv}}{L} \frac{DT^2}{2} + 2 \frac{V_{rec} - V_{inv}}{L} DT(t) \dots\dots\dots \text{식 (2-15)}$$

$I_{\min}$ 값은 $I_{dc}(0)$ 이므로

$$I_{\min} = 2I_{\min1} + \frac{V_{rec} - V_{inv}}{L} \frac{DT^2}{2} \dots\dots\dots \text{식 (2-16)}$$

$$I_{\max} = 2I_{\min1} + \frac{V_{rec} - V_{inv}}{L} \frac{DT^2}{2} + 2 \frac{V_{rec} - V_{inv}}{L} DT^2(D - \frac{1}{2}) \dots\dots\dots \text{식 (2-17)}$$

이다. Q_2 가 OFF되는 시간 $DT - T/2$ 에서부터 Q_1 이 다시 ON이 되는 시간 T 까지 각각 전류 방정식은

$$I_{dc1}(t) = I_{\min1} + \frac{V_{rec} - V_{inv}}{L} DT(DT - \frac{T}{2}) + \frac{V_{rec} - V_{inv}}{L} DT(t) \dots\dots\dots \text{식 (2-18)}$$

$$I_{dc2}(t) = I_{\min1} + \frac{V_{rec} - V_{inv}}{L} (DT)^2 - \frac{V_{inv}}{L} DT(t) \dots\dots\dots \text{식 (2-19)}$$

$$I_{dc} = 2I_{\min1} + \frac{V_{rec} - V_{inv}}{L} DT(DT - \frac{T}{2}) + \frac{V_{rec} - V_{inv}}{L} (DT)^2 + \frac{V_{rec} - 2V_{inv}}{L} D(t) \dots\dots\dots \text{식 (2-20)}$$

이다 이를 통해 ΔI_{dc} 값을 아래와 같이 구할 수 있다.

$$\Delta I_{dc} = I_{\max} - I_{\min} = 2 \frac{V_{rec} - V_{inv}}{L} DT^2(D - \frac{1}{2}) \dots\dots\dots \text{식 (2-21)}$$

벽 컨버터를 통해 duty ratio D 값에 대해 각각의 V_{inv} , V_{rec} 의 입출력 변환비는

$$V_{inv} = DV_{rec} \dots\dots\dots \text{식 (2-22)}$$

이며 ΔI_{dc} 는 다음과 같다.

$$\Delta I_{dc} = 2 \frac{V_{rec}}{L} T^2 (1-D) \left(D^2 - \frac{D}{2}\right) \dots\dots\dots \text{식(2-23)}$$

로 정리할 수 있다.

이때 DC LINK 인덕터, V_{rec} , T값이 일정할 때 단일 Buck converter와 interleaved buck converter을 duty ratio에 따른 리플을 비교하면 그림 2-12와 같다.

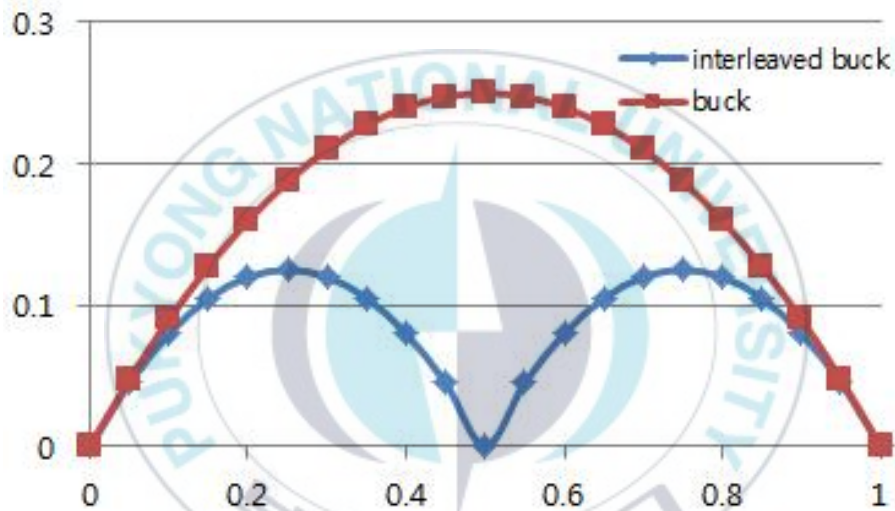


그림 2-12 Duty ratio에 따른 리플을

라. AC FILTER

(1) AC filter 특성

AC전원 시스템에서의 다이오드 정류기 및 벽 컨버터로 인해 AC시스템으로 다시 주입되는 전류에 스위칭 주파수 및 3고조파 등의 전류 고조파를 생성한다. 입력 전류는 그림 2-13과 같으며 그림 2-14는 입력 전류의 FFT를 나타낸다. 입력 전류 FFT인 그림 2-14에서 보이듯이 정류기에 의해 생성된

고조파 ($np \pm 1$)와 벽 컨버터 스위칭 주파수대역에서의 고주파 그리고 잔여 고조파가 존재한다.

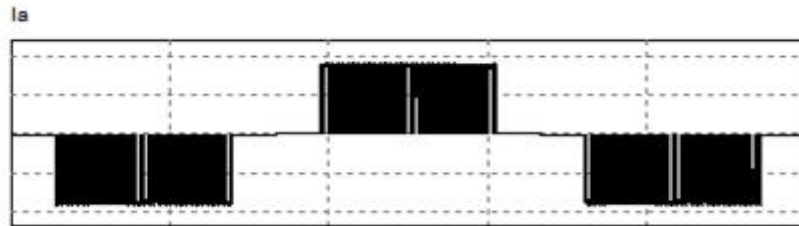


그림 2-13 필터가 고려되지 않는 입력 측 선 전류 i_a

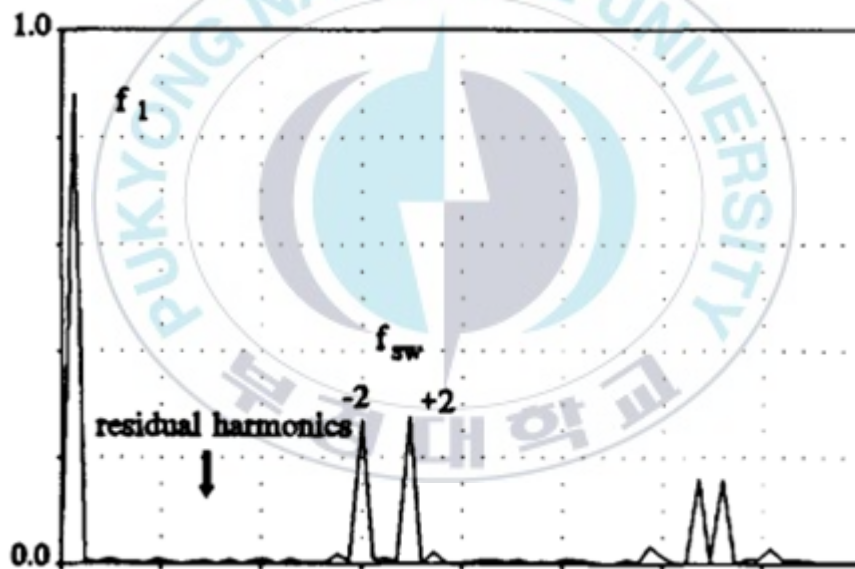


그림 2-14 필터가 고려되지 않는 입력 측 선 전류 FFT

그림 2-15 (a)는 입력 필터를 통해 AC전원에 대한 컨버터의 일반적인 연결이 나타나있고 (b)와 같이 기본 주파수 및 고조파 주파수에 대한 ac전원이 입력 측으로 들어가는 회로를 나타내고 있다. 이때 LC필터의 차단 주파수는 불필요한 고조파성분이 존재하지 않는 테드 밴드 부분으로 선정하며 L에 병렬로 연결되어 있는 R은 잔여 고조파 증폭을 줄여드는 댐핑 저항이다. 높은

전류 THD와 낮은 역률을 가지면서 전류 고조파는 전체 AC 시스템에 영향을 미치게 된다. 낮은 대역의 고조파를 제거하며 역률, 전압 감쇠, 시스템 효율 및 여러 제약조건에 맞게 LC 필터를 설계한다.

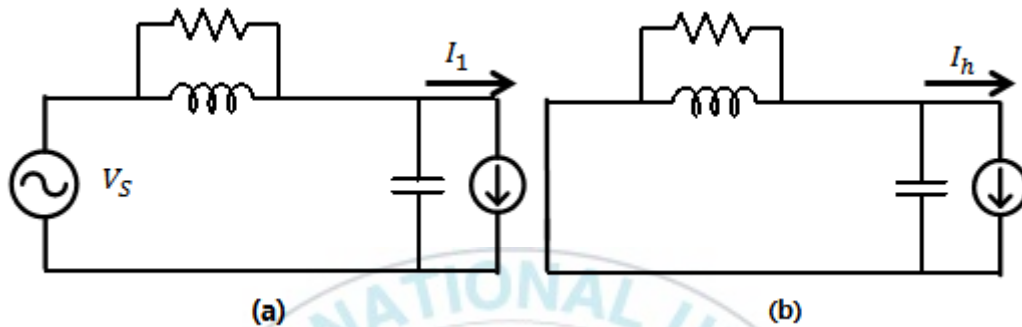


그림 2-15 (a) 기본 주파수에 대한 등가 회로
(b) 고조파 주파수에 대한 등가회로

마. 전원장치 제어

(1) 제어블럭도

컨트롤러 회로는 그림 2-16과 같이 내부 전류 루프와 외부 전력 루프로 구성되어 있다. 내부 전류는 외부 전원 루프가 공진 탱크의 출력 전력을 제어하는 동안 전류원 정류기와 인버터의 DC 링크 전류를 원하는 값으로 제어한다. V_o 에서 전압 센싱을 하여 ZVD(zero voltage detected)통해 인버터 스위치를 제어 한다 또한 가열 목표치까지 코일 속 피 가열 체 스틸 바디의 온도를 최종적으로 미리 결정된 값으로 조정 할 수 있게 전력 제어합니다. 각각의 interleaved buck converter의 전류제어와 전력제어 두 컨트롤러는 모두 PI 컨트롤러를 사용하여 구현한다.

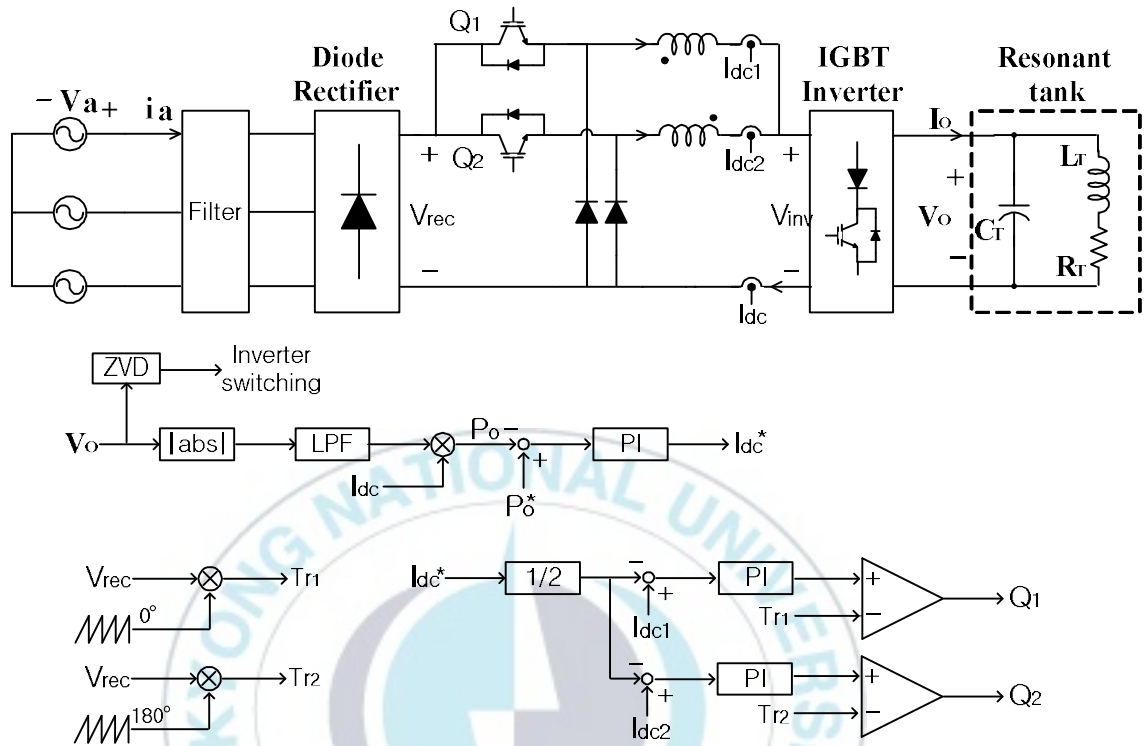


그림 2-16 제안하는 전원장치의 제어 블록 도

2. 전원장치설계

가. 다이오드 정류기

그림 2-17과 같이 3상 전파 정류회로는 6개의 다이오드로 이루어져있으며 양의 방향으로 가장 큰 상의 전압일 때 상단부에서 상 전압이 큰 다이오드가

ON된다. 또한 반대로 음의 방향으로 가장 큰 상의 전압일 때 하단부에서 상 전압이 작은 다이오드가 ON되면서 정류기에서 출력되는 V_{rec} 는 6개의 펄스 형태의 전압이 연속되는 파형으로 출력된다.

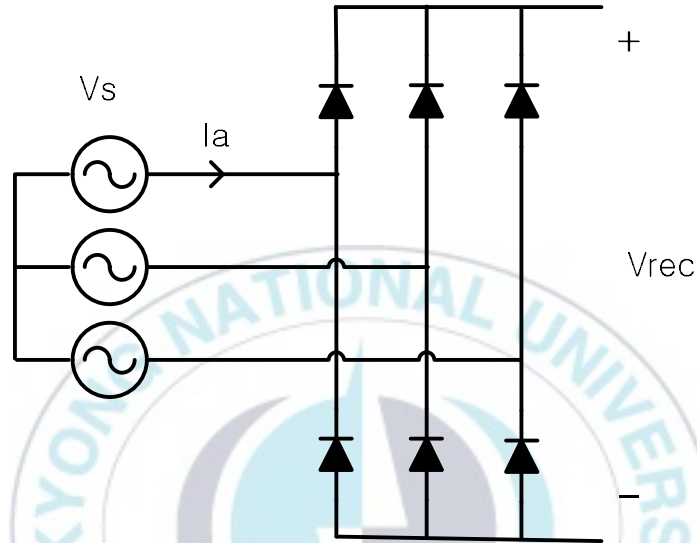


그림 2-17 다이오드 정류기

그림 2-18은 각각의 V_s (상 전압), I_a (선간 전류), V_{rec} (정류기 출력 전압)에 대한 파형이며 현재 필터가 고려하지 않은 선간전류 I_a 는 뒤에 벡 컨버터로 인한 스위칭 주파수가 포함된 파형이다. 이를 통해 정류되는 전압은 다음과 같다.

$$V_{rec} = \frac{3}{\pi} \int_0^{\frac{\pi}{3}} V_s d(\omega t) = \frac{3}{\pi} \int_0^{\frac{\pi}{3}} 440 \sqrt{2} \sin(\omega t + \frac{\pi}{3}) d(\omega t) = 594.208 V \quad \cdots \text{식 (2-24)}$$

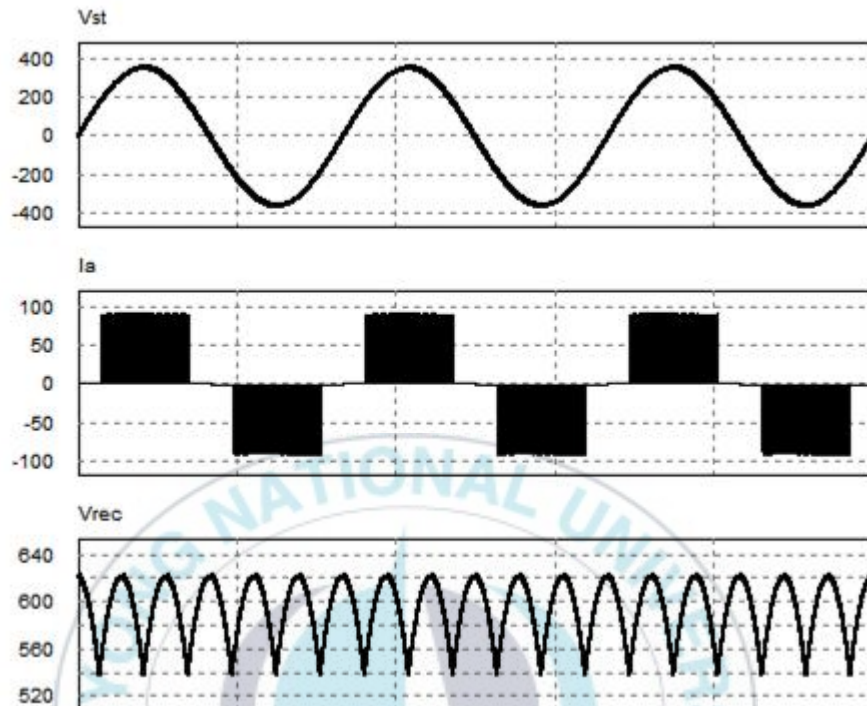


그림 2-18 입력 상 전압, 선 전류, 3상 다이오드 정류기를 통한 전압정류 파형

나. Interleaved buck converter 설계

일정 전류 리플을 목표로 하여 역으로 인덕터를 설계한다. 인덕턴스의 용량을 줄이기 위해 그림 2-19와 같이 Interleaved 형식으로 각각의 인덕터를 차동 결합하여 최대한 효율을 높게 하며 사이즈나 가격적인 면에서 고려하여 설계하였다.

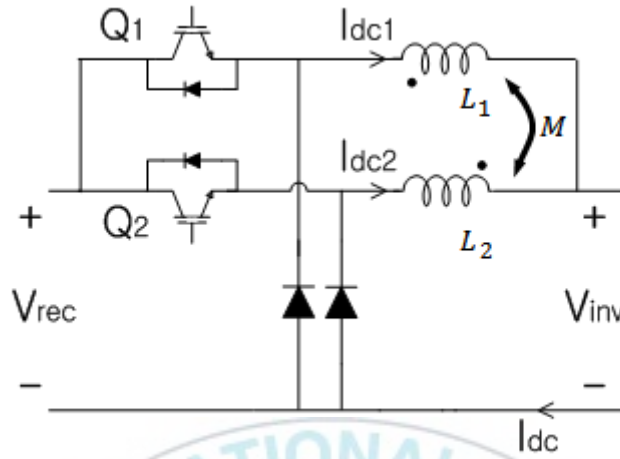


그림 2-19 상호 인덕턴스가 고려된 Interleaved 컨버터 회로

인버터 입력으로 들어가는 ΔI_{dc} 값은 다음과 같이 정리할 수 있다.

$$I_{dc}(0) = \frac{1}{L} \int_0^t (V_{rec} - V_{inv}) dt + I_{min} = I_{min} \dots \dots \dots \text{식 (2-25)}$$

$$I_{dc}(DT) = \frac{1}{L} \int_0^{DT} (V_{rec} - V_{inv}) dt + I_{min} = I_{max} \dots \dots \dots \text{식 (2-26)}$$

$$\Delta I_{dc} = I_{max} - I_{min} = \frac{V_{rec} - V_{inv}}{L} DT \dots \dots \dots \text{식 (2-27)}$$

또한 앞 써 2상 Interleaved 벡 컨버터는 D값이 0.75일 때 가장 큰 리플을 가지므로 Duty 값이 0.75일 때의 전류 리플을 통해 L 값을 선정한다.

리플율이 0.75일 때 I_{dc} 값은

$$I_{dc} = P_r / (D \times V_{rec}) \dots \dots \dots \text{식 (2-28)}$$

이다.

이를 통해 각상에서의 인덕터 L_1 의 값은

$$L_1 = \frac{(V_{rec} - V_{inv})}{2\Delta i_{dc}} \dots \dots \dots \text{식 (2-29)}$$

이며 L_1, L_2 의 상호 인덕턴스 차동결합을 통해 효율적인 DC LINK의 총 인덕

터 용량을 구할 수 있다.

다. AC Filter 설계

AC 필터를 설계하기 위해서는 먼저 고조파의 특징 및 테드밴드 내에서의 낮은 잔여고조파의 존재에 대해 파악하여야 하며 컨버터 성능 및 컨버터 부품의 정격에 대한 필터의 영향, 그리고 시스템 효율, 역률, 필터 용량 및 비용과 관련된 조건들을 고려하여야 한다.

AC 필터는 그림 2-20과 같이 L_f , C_f 로 lowpass 필터로 되어 있으며 L_f 와 병렬로 댐핑저항 R_f 로 구성되어 있다. 기본주파수 f_s 는 60Hz 이며 이때 차단주파수 f_s 는 10배 더 높은 600Hz로 선정하였다 이때 I_{dc} 는

$$I_{dc} = 3C_f \frac{4\Delta V_C}{T_{conv}} \quad (T_{conv}: \text{컨버터 스위칭의 주기}) \dots\dots\dots \text{식(2-30)}$$

이며 이를 통해 C_f 값을 선정할 수 있으며 다음과 같다

$$\Delta V_C = \frac{I_{dc}}{12f_{conv}C_f} = \frac{\Delta V_{C(l-l)}}{\sqrt{3}} \dots\dots\dots \text{식(2-31)}$$

$$C_f = \frac{I_{dc}\sqrt{3}}{12f_{conv}\Delta V_{C(l-l)}} \dots\dots\dots \text{식(2-32)}$$

이때 V_C 의 전압 변동률은 10% 이내로 설정한다. 차단 각 주파수 w_{cutoff} 는 필터의 공진주파수 $w_{resonant}$ 이므로

$$2\pi f_{cutoff} = \frac{1}{\sqrt{L_f C_f}} \dots\dots\dots \text{식(2-33)}$$

그러므로 LC필터에서 L_f 값은

$$L_f = \frac{1}{(2\pi f_{cutoff})^2 C_f} \dots\dots\dots \text{식(2-34)}$$

으로 계산하였다. 댐핑 저항은 $Q>10$ 으로 설정하여 under damping하며 이때

Q값은

$$Q = R_f \sqrt{\frac{L_f}{C_f}} \dots\dots\dots \text{식 (2-35)}$$

이며 식을 통해 R_f 값을 유도 한다.

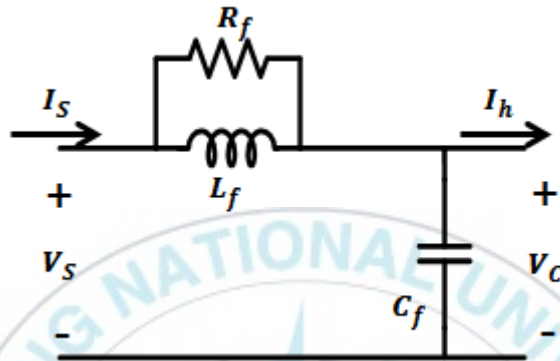


그림 2-20 AC filter 회로

AC filter에 의한 역률개선 역시 고려해야하며 각각의 입력 전압 V_s , 전류 I_s 와 필터에서의 출력 전압 V_c , 전류 I_h 에 대한 관계식은

$$\begin{pmatrix} V_s \\ I_s \end{pmatrix} = \begin{pmatrix} 1 & R \parallel jX_L \\ 0 & 1 \end{pmatrix} \begin{pmatrix} 1 & 0 \\ -j\frac{1}{X_C} & 1 \end{pmatrix} \begin{pmatrix} V_c \\ I_h \end{pmatrix} \dots\dots\dots \text{식 (2-36)}$$

와 같이 정리되며 각각의 I_s, V_s 는

$$I_s = I_h - j \frac{V_c}{X_c} \dots\dots\dots \text{식 (2-37)}$$

$$V_s = (1 - j \frac{(R \parallel jX_L)}{X_C}) V_c + (R \parallel jX_L) I_h \dots\dots\dots \text{식 (2-38)}$$

$$V_s = V_c + \frac{X_L R_f}{R_f^2 + X_L^2} (\frac{R_f}{X_C} V_c + X_L I_h) + j (\frac{X_L R_f}{R_f^2 + X_L^2} (R V_c - \frac{X_L}{X_C} I_h)) \dots\dots\dots \text{식 (2-39)}$$

같이 되며 그림 2-21과 같이 페이지 도를 그릴 수 있다.

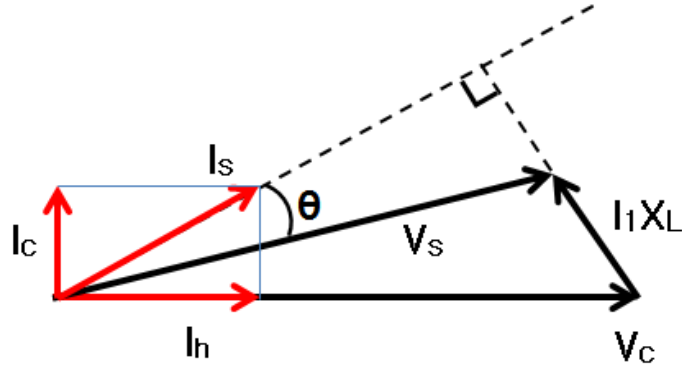


그림 2-21 AC filter 회로에서의 페이저도

입력 전압 V_s , 전류 I_s 위상차 θ 는

$$\theta = \tan^{-1}\left(\frac{V_c}{X_C I_h}\right) - \tan^{-1}\left(\frac{X_L I_h}{V_c(1 - \frac{X_L}{X_C})}\right) \dots\dots\dots \text{식(2-40)}$$

이며 이를 통해 역률역시 고려하여 필터 설계가 가능하다.

역률까지 고려된 필터의 전류 입, 출력 I_s , I_h 의 전달함수는

$$\frac{I_s}{I_h} = \frac{\frac{1}{sC_f}}{\frac{1}{sC_f + \frac{sL_f R_f + j\omega C_f}{R_f + sL_f}}} = \frac{1}{1 + \frac{-s^2 R_f L_f C_f}{R_f + sL_f}} = \frac{R_f + sL_f}{R_f + sL_f + s^2 R_f L_f C_f} \dots\dots\dots \text{식(2-41)}$$

이며 잔여 고조파에서의 증폭 및 위상지연에 대해 그림 2-22과 같은 보드선도로 확인 할 수 있다.

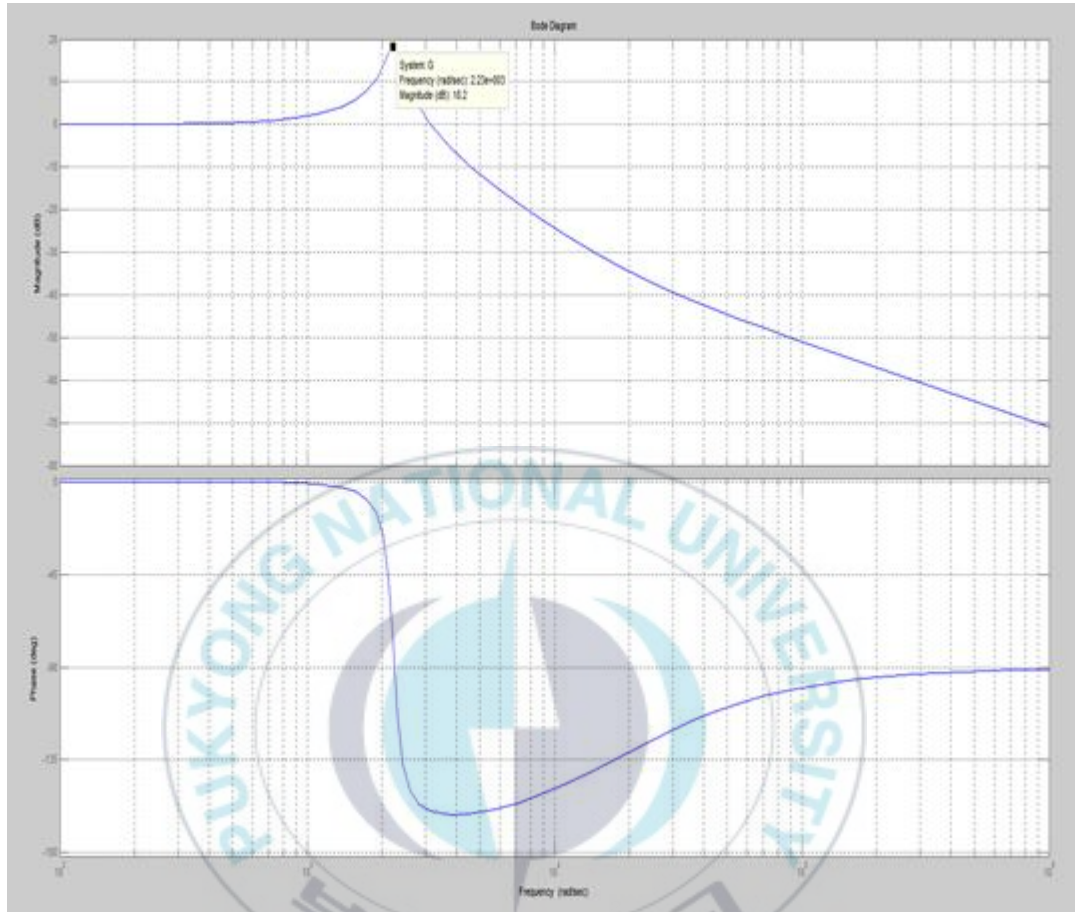


그림 2-22 AC filter 회로에서의 전류 입출력 보드선도

3. 시뮬레이션 결과

가. PSIM 시뮬레이션

고주파 전류원 인버터의 스위칭 주파수는 탱크회로의 공진주파수를 추종하고 2 phase Interleaved buck 컨버터 방식을 통해 DC link 전류를 제어하며 입력 측 전류의 THD 및 역률 개선을 위한 입력 LC 필터가 고려된 단조용 유도가열 전원장치에 대해 그림 2-23과 같이 PSIM으로 기존의 단조용 유도가열 장치와 비교하였다.

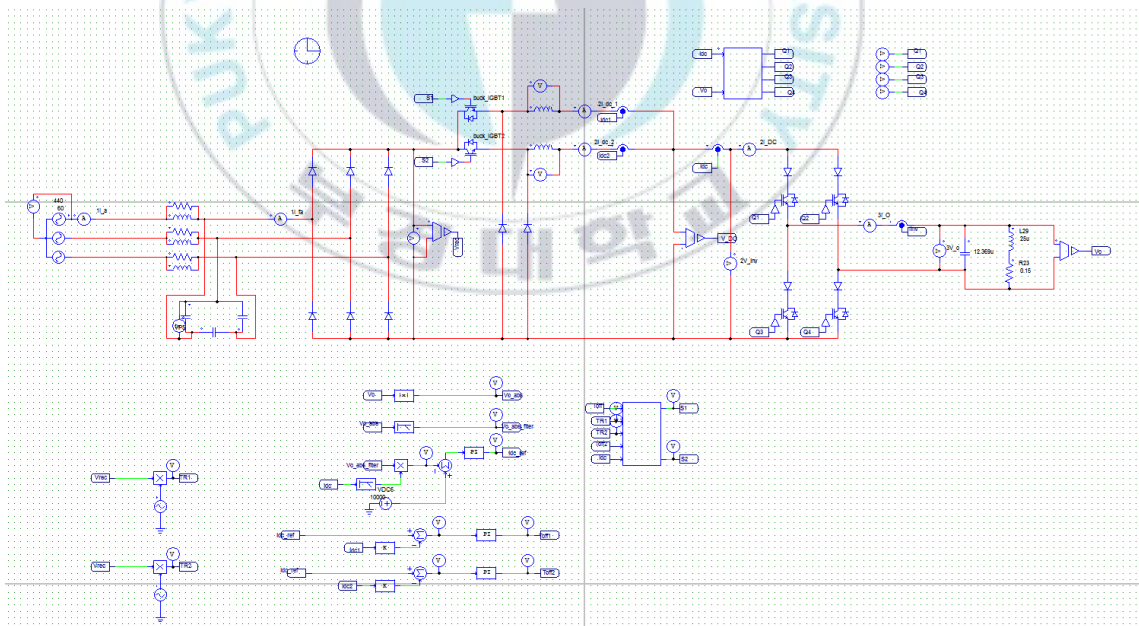


그림 2-23 시뮬레이션 회로

입력 선간 전압은 AC 440V 60Hz를 입력하였고 3상 브리지 다이오드를 통

해 DC로 정류하였다. 출력 전력은 40kW를 유지하기 위해 Interleaved buck 컨버터를 통해 피 가열 체의 온도 및 자성체의 특성에 따라 부하변동에 따른 전류를 제어하며 전류 리플은 20% 이내로 각 상의 인덕터를 설계하였다. 또한 AC Filter를 통해 출력 40kW에 대해 입력 측 역률은 95%, 전류 THD는 25% 이내로 설계조건을 두었다.

기존의 유도 가열기를 통해 가열 전, 후의 코일의 인덕터 및 부하는 다음 표 3과 같다.

구 분		1 kHz		4 kHz		10 kHz	
		R [mΩ]	L [uH]	R [mΩ]	L [uH]	R [mΩ]	L [uH]
중 코 일	무부하	8	24.8	14.5	24.4	25	24.2
	전부하 가열전	77.7	32.1	162	25.7	267	23.2
대 코 일	무부하	9	24.3	15.6	23.9	27	23.7
	전부하 가열전	101	33.8	209	25.6	345	22.43
	전부하 가열후	27	26.7	94	24.9	255	26.2

표 3 각 코일의 피 가열 체 유, 무 및 가열 전, 후에 대한 공진탱크의 특성 변화

표 3을 바탕으로 각각의 파라미터는 표4와 같이 선정하고 시뮬레이션 하였다.

Parameter	Symbol	Value	Unit
필터 측 댐핑 저항	R_f	2	Ω
필터 측 커패시터	C_f	70	μF
필터 측 인덕터	L_f	2	mH
DC LINK 인덕터	L_{dc1}, L_{dc2}	6	mH

(a)

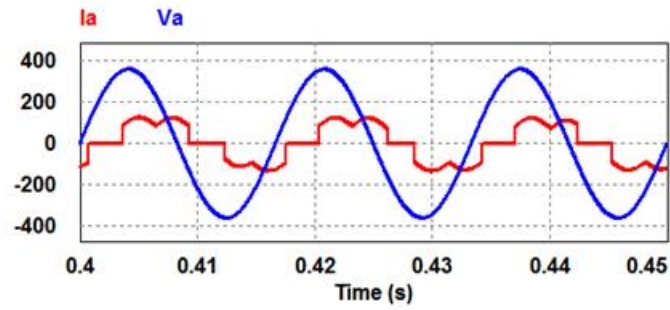
공진주파수	R_f	C_f	L_f
3000	0.15 (Ω)	103 (μF)	25 (μH)
5000	0.15 (Ω)	40 (μF)	25 (μH)
7000	0.5 (Ω)	20 (μF)	25 (μH)
9000	0.5 (Ω)	12 (μF)	25 (μH)

(b)

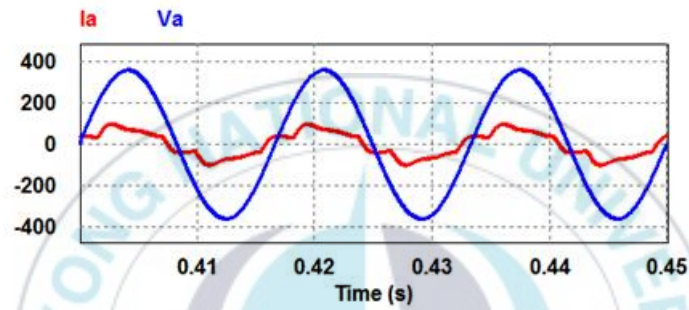
표 4 (a) : 필터 소자 및 DC LINK 인덕터 소자 값
(b) : 공진주파수에 따른 부하 설정 값

나. 기존의 단조용 유도가열 전원 장치와 제안하는 전원장치 비교

입력 정류기가 3상 SCR 위상제어를 하는 기존 단조용 유도가열기와 제안하는 전원장치에 대해 입력 측 선 전류 DC link 전류를 비교하였고 각각의 파형은 그림 2-24, 2-25와 같다.

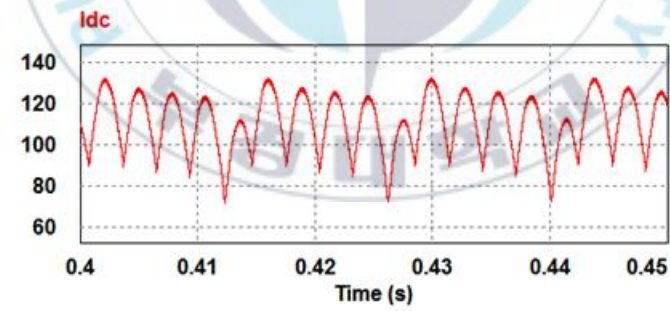


(a)

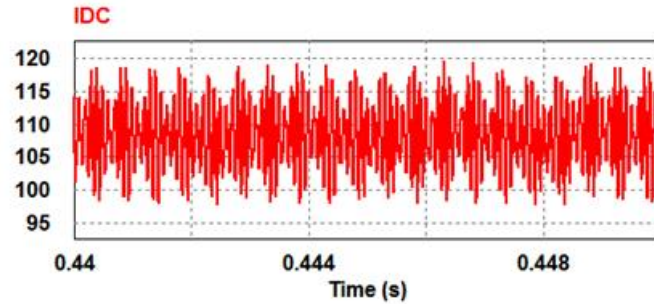


(b)

그림 2-24 입력 측 상 전압 V_a , 선 전류 I_a 파형
 (a) : 기존의 단조용 유도가열 장치, (b) : 제안하는 단조용 유도가열 장치



(a)



(b)

그림 2-25 DC link 전류 그래프 파형

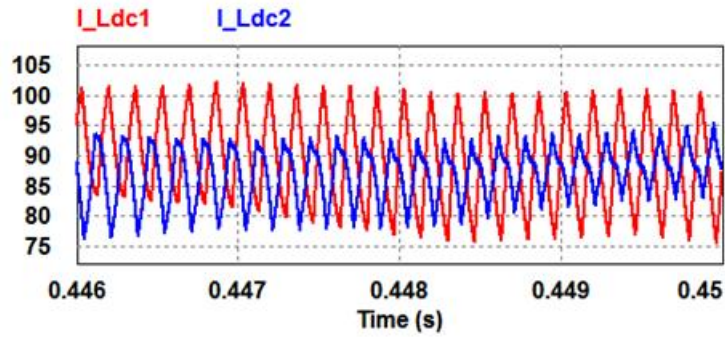
(a) : 기존의 단조용 유도가열 장치, (b) : 제안하는 단조용 유도가열 장치

40kW에서의 기존 유도가열 시스템의 역률은 59%, 선 전류의 THD 는 31.27%이며 DC Link 전류의 리플율을 59.02% 이지만 제안하는 유도 가열 장치의 역률은 95%, 선 전류의 THD 는 19.59%이며 DC Link 전류의 리플율을 18.45%로 측정된다.

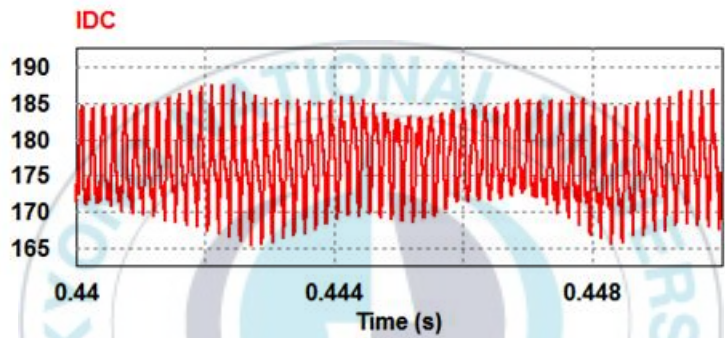
다. 공진 주파수별 유도 가열장치 비교

(1) 부하 탱크의 공진 주파수 3kHz

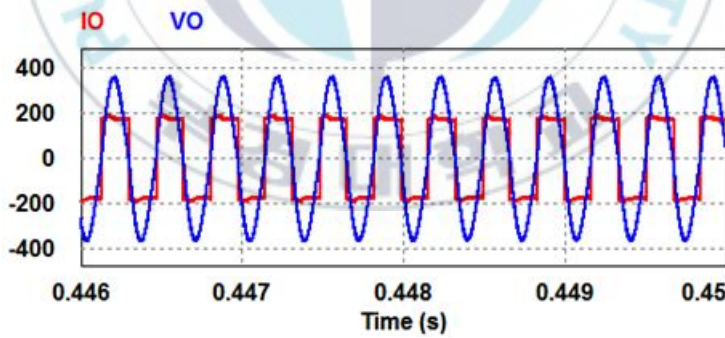
부하의 공진 주파수가 3kHz에 대해 그림 2-26은 interleaved 컨버터에서의 각 상의 전류 i_{dc1} , i_{dc2} 와, 인버터 입력 전류 i_{dc} , 그리고 인버터 출력 전압 v_o 및 전류 i_o 에 대한 파형이다. 이때 출력은 40kW이며 출력 전류 i_o 는 176.97A, 출력 전압 v_o 는 252.46V이며 이때 인버터 입력 리플율 ΔI_{dc} 는 12.69%이다.



(a)



(b)



(c)

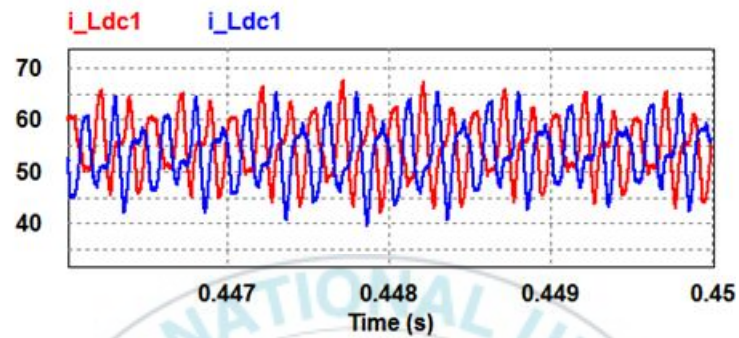
그림2-26 공진 주파수 3khz에 대해

- (a) : interleaved 컨버터에서의 각상의 전류 i_{dc1} , i_{dc2} 의 전류 파형,
 (b) : 인버터 입력 전류 i_{dc} , (c) : 인버터 출력 전류 i_o , 전압 파형 v_o

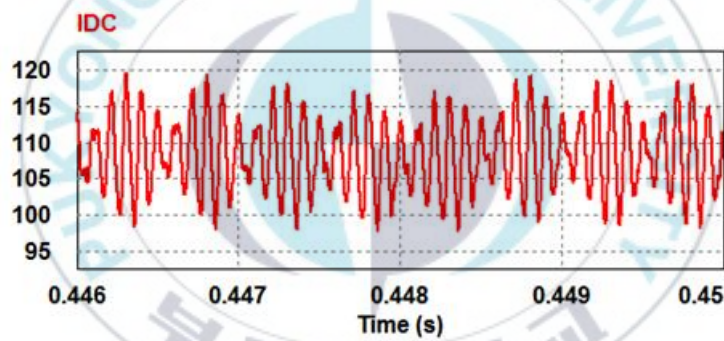
(2) 부하 탱크의 공진 주파수 5khz

부하의 공진 주파수가 5khz에 대해 그림 2-27은 interleaved 컨버터에서의

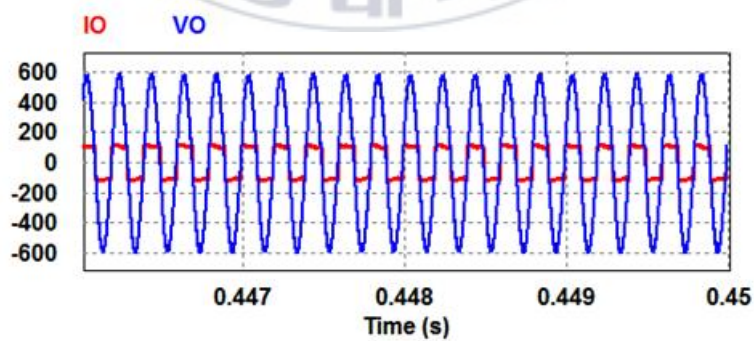
각 상의 전류 i_{dc1} , i_{dc2} 와, 인버터 입력 전류 i_{dc} , 그리고 인버터 출력 전압 v_o 및 전류 i_o 에 대한 파형이다. 이때 출력은 40kW이며 출력 전류 i_o 는 148.46A, 출력 전압 v_o 는 316.07V이며 이때 인버터 입력 리플을 ΔI_{dc} 는 18.45%이다.



(a)



(b)



(c)

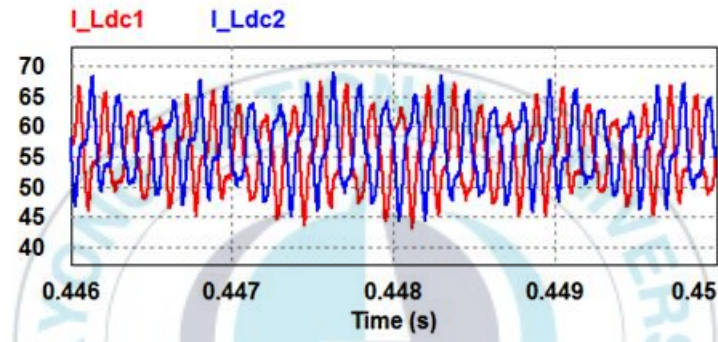
그림 2-27 공진 주파수 5kHz에 대해

(a) : interleaved 컨버터에서의 각상의 전류 i_{dc1} , i_{dc2} 의 전류 파형,

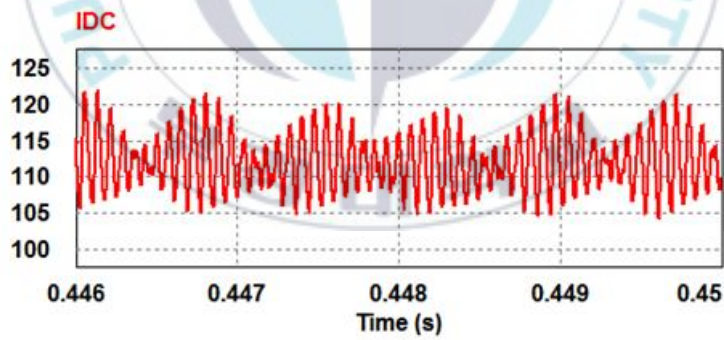
(b) : 인버터 입력 전류 i_{dc} , (c) : 인버터 출력 전류 i_o , 전압 파형 v_o

(3) 부하 탱크의 공진 주파수 7khz

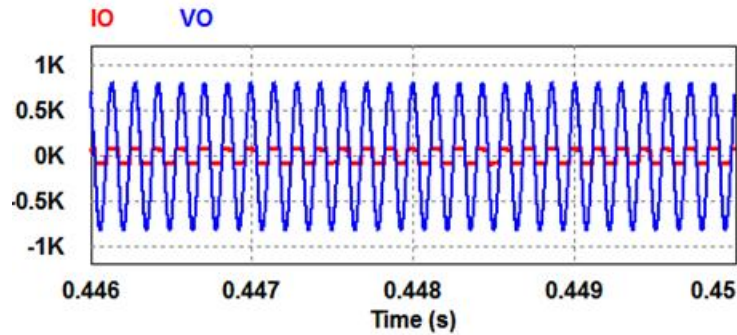
부하의 공진 주파수가 7khz에 대해 그림 2-28은 interleaved 컨버터에서의 각 상의 전류 i_{dc1}, i_{dc2} 와, 인버터 입력 전류 i_{dc} , 그리고 인버터 출력 전압 v_o 및 전류 i_o 에 대한 파형이다. 이때 출력은 40kW이며 출력 전류 i_o 는 112.14A, 출력 전압 v_o 는 356.63V이며 이때 인버터 입력 리플을 ΔI_{dc} 는 14.95%이다.



(a)



(b)



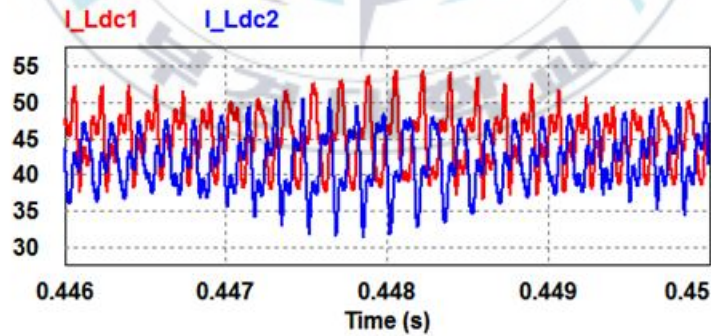
(c)

그림 2-28 공진 주파수 7khz에 대해

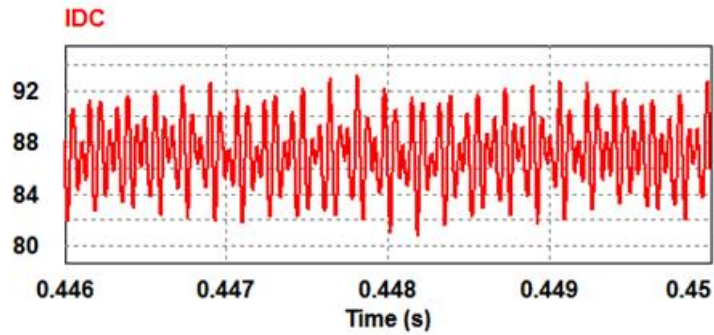
- (a) : interleaved 컨버터에서의 각상의 전류 i_{dc1} , i_{dc2} 의 전류 파형,
 (b) : 인버터 입력 전류 i_{dc} , (c) : 인버터 출력 전류 i_o , 전압 파형 v_o

(4) 부하 탱크의 공진 주파수 9khz

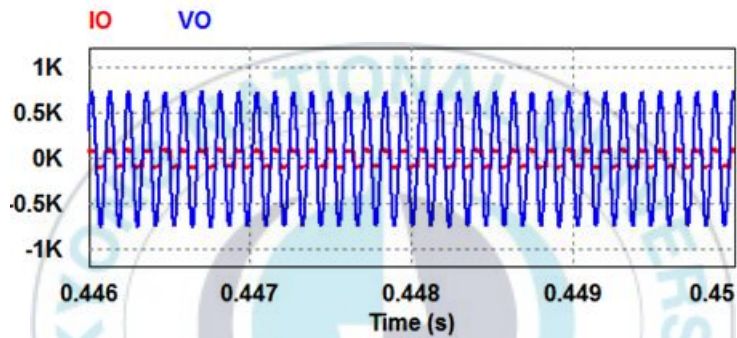
부하의 공진 주파수가 9khz에 대해 그림 2-29은 interleaved 컨버터에서의 각 상의 전류 i_{dc1} , i_{dc2} 와, 인버터 입력 전류 i_{dc} , 그리고 인버터 출력 전압 v_o 및 전류 i_o 에 대한 파형이다. 이때 출력은 40kW이며 출력 전류 i_o 는 89.18A, 출력 전압 v_o 는 511.98V이며 이때 인버터 입력 리플을 ΔI_{dc} 는 13.47%이다.



(a)



(b)



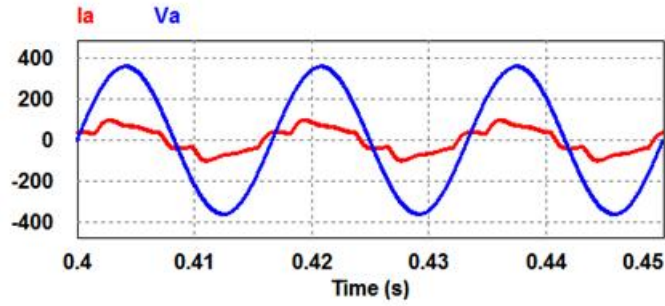
(c)

그림2-29 공진 주파수 9kHz에 대해

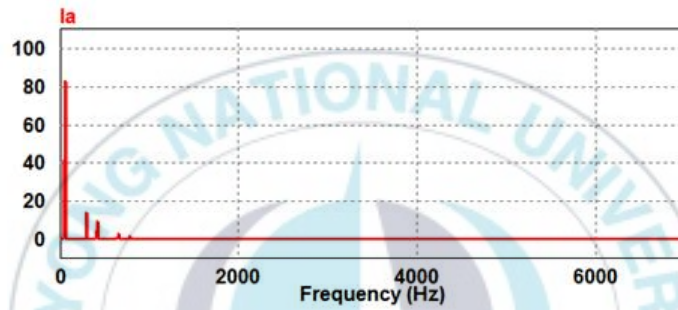
- (a) : interleaved 컨버터에서의 각상의 전류 i_{dc1} , i_{dc2} 의 전류 파형,
 (b) : 인버터 입력 전류 i_{dc} , (c) : 인버터 출력 전류 i_o , 전압 파형 v_o

라. 제안하는 단조용 유도가열 장치의 역률 및 전류 THD

출력되는 전력 40kW에 대해서 그림 2-30은 입력 상 전압 V_a , 전류 I_a 그리고 전류 I_a 의 FFT에 대한 파형이다. 이를 통해 역률이 95% 이며 입력전류 I_a 의 THD는 20.59%로 측정된다.



(a)



(b)

그림 2-30 제안하는 단조용 유도가열 장치에서 40kW 출력 시
(a) : 입력 상 전압 V_a , 전류 파형 I_a , (b) : 입력 전류 I_a 의 FFT

이를 통해 기존의 단조용 유도가열 전원 장치보다 입력 전류 THD, 역률 DC link 전류 리플, 공진주파수 추종을 바탕으로 더 좋은 특성을 가지고 있다.

III 결 론

본 논문에서는 단조용 40kW급 고 역률 고효율 대 전력 유도가열 전원 장치를 위한 정류기 토폴로지들을 연구하였으며, 시뮬레이션을 통해 각각의 기존토폴로지들과 함께 분석 및 비교 하였다. 비교 검토 결과 입력 단 역률, 입력전류의 THD 측면에서 그림 1-4의 다이오드 정류기 + 벡 컨버 터로 구성된 정류기의 특성이 더 뛰어나다는 것을 확인하였다. Interleaved 방식을 통해 DC LINK 인덕터 크기와 DC link에 흐르는 리플을 최대한 줄여 인버터의 효율 역시 줄일 수 있음을 확인 하였다. 또한 전력 제어 루 프를 통해 코일 속 피 가열 체의 온도와 자기밀도 및 자기의 세기의 변화 에 따라 부하의 특성역시 달라지지만 일정한 출력을 제어 되었다. 따라서 대 전력 단조용 유도가열 시스템에서 그림 1-4와 같은 다이오드 정류기 + 벡 컨버터를 이용한 전원장치 시스템이 많이 사용 될 것으로 예상된다.

참 고 문 헌

- [1] S. Deng, H. Mao, I. Batrseh, and K. K. Islam, "A New Control Scheme for High-Frequency Link Inverter Design," Applied Power Electronics Conference, APED'2003, pp.512-517, 2003.
- [2] D. M. Divan and G. L. skibinski, "Zero Switching Loss Inverters for High Power Applications," IEEE IAS, Rec., vol. 25, no. 4, pp. 634-643, 1989.
- [3] M. Maclaren "The Effect Of Temperature Upon The Hysteresis Loss In Sheet Steel", April 1911 IEEE
- [4] 성병기 "유도가열을 위한 고효율 고주파 직렬공진형 인버터 설계에 관한 연구", 1999 부산대학교 대학원 석사 학위 논문
- [5] 최정완 "연료전지용 3상 절연형 인터리브 방식 DC-DC 컨버터의 해석 및 설계", 2010., 忠南大學校 大學院
- [6] 황재욱 "ESS용 인터리브드 BUCK 컨버터 설계에 관한 연구"
- [7] 김희준 "스위치모드 파워 서플라이". -성안당 1993
- [8] 노의철 "전력전자공학", 2011., 문운당
- [9] 김홍삼 "유도가열을 위한 새로운 소프트 스위칭 고주파 인버터에 관한 연구", 경남대학교 2008년 석사 학위 논문
- [10] 김은석 "금속 융합 특성 개선을 위한 유도가열 불연속 출력 제어 특성 기법"
- [11] 박송배 "회로 이론", 1992., 문운당
- [12] R. Fuentes, "Design Aspects and Experimental Results of a High Power Factor Induction Heating System" 2009 35th Annual Conference

of IEEE Industrial Electronics,pp. 373 - 377, 2009

