



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공 학 석 사 학 위 논 문

고체 전해질 게이트 절연체가 적용된
하이브리드 박막 트랜지스터 기반
저전압 상보성 동작 회로에 관한 연구



2019년 2월

부 경 대 학 교 대 학 원

인 쇄 공 학 과

조 일 영

공 학 석 사 학 위 논 문

고체 전해질 게이트 절연체가 적용된
하이브리드 박막 트랜지스터 기반
저전압 상보성 동작 회로에 관한 연구

지도교수 백 강 준

이 논문을 공학석사 학위논문으로 제출함.

2019년 2월

부 경 대 학 교 대 학 원

인 쇄 공 학 과

조 일 영

조일영의 공학석사 학위논문을 인준함.

2019 년 2 월 22 일



위 원 장 공학박사 이 지 열



위 원 이학박사 김 창 우



위 원 공학박사 백 강 준



목 차

목차	i
List of Figures	iii
List of Tables	v
Abstract	vi
I. 서론	1
II. 이론	3
1. 인쇄 집적 회로(Printed Integrated Circuits)	3
가. Complementary Metal-Oxide-Semiconductor (CMOS) Inverter...	3
나. CMOS-like Ambipolar Inverter	6
다. Field-Effect Transistor (FET)	9
라. Organic-Inorganic Hybrid Ambipolar TFT	10
2. 인쇄전자 소재(Printed Electronics Materials)	11
가. Organic Semiconductors	11
나. Amorphous Oxide Semiconductors	14
다. Electrolyte Gate insulator	15
III. 실험 및 측정	19
1. 실험 재료	19
가. Thiophene 계열 고분자 반도체 (P3HT)	19
나. Indium Gallium 산화물 반도체 (IGO)	19
다. Solid state Electrolyte Gate Insulators (SEGIs)	20
2. 실험 방법	22
가. Bottom-Contact TFT 기관 제작	22

나. Spin-Coating	2 2
다. Thermal Evaporation Deposition.....	2 3
3. 측정 및 분석	2 5
가. Atomic Force Microscope (AFM) ^[27]	2 5
나. X-Ray Diffraction (XRD) ^[28]	2 5
다. X-ray Photoelectron Spectroscopy (XPS) ^[29]	2 6
IV. SEGI 가 적용된 유기물-무기물 하이브리드 TFT 의 전기적 특성 평가...	2 8
1. 소자 제작	2 9
2. 결과 및 고찰	3 2
가. Characterization of Active layer and Dielectric Films.....	3 2
나. Electrical Characteristics of Single layer TFTs.....	3 7
다. Electrical characteristics of bi-layer TFTs.....	4 2
라. Electrical characteristics of CMOS-like Inverters	4 4
V. 결론	4 6
참고문헌.....	4 8

List of Figures

Figure 1. Complementary Metal–oxide–semiconductor (CMOS) inverter	(5)
Figure 2. operation of CMOS inverter (a) at $V_{IN} = 0$ V and (b) $V_{IN} = V_{DD}$	(5)
Figure 3. characteristics of CMOS inverter. (a) operation regions, (b) corresponding voltage transfer characteristics ^[1]	(5)
Figure 4. Circuit configurations for the complementary inverters (a) Inverter consisting of two different n-type and p-type unipolar semiconductors. (b) Inverter based on a single ambipolar semiconductor.....	(7)
Figure 5. Ambipolar semiconductors for complementary circuit (a) D–A copolymer (b) Blending semiconductor and (c) Bi–layer semiconductor	(7)
Figure 6. Structures of TFT	(8)
Figure 7. (a) π –orbital model of molecules formed by linear combination of adjacent atomic orbitals (b) schematic of benzene molecule with electron cloud(1 3)	
Figure 8. Energy diagram of organic semiconductor.....	(1 3)
Figure 9. Representative ionic liquids	(1 8)
Figure 10. (a)EDL formation (b)Polarization mechanisms in OFETs with P(VDF–TrFE) (left) and Ion gel (right) dielectric ^[13]	(1 8)
Figure 11. Molecular structure of poly(3–hexylthiophene–2,5–diyl) (P3HT) ..	(2 1)
Figure 12. (a) Ion gel and SEGI fabrication process and (b) chemical structure of Ionic liquid, fluorinated polymer dielectric	(2 1)
Figure 13. Bottom–Contact glass substrate.....	(2 4)
Figure 14. Spin coating process.....	(2 4)
Figure 15. Simple schematic of thermal evaporator.....	(2 4)
Figure 16. (a) Schematics of Atomic Force Microscope (AFM) and (b) BRUKER, Icon–PT–PLUS.....	(2 7)

Figure 17. Schematic diagram of X-Ray Diffraction (XRD) in the lattice.....	(2 7)
Figure 18. Principle of X-ray Photoelectron Spectroscopy (XPS).....	(2 7)
Figure 19. Top-gate/bottom-contact TET device structure with Au source/drain electrodes and solid state electrolyte gate insulator.....	(3 1)
Figure 20. Schematic configuration of corresponding CMOS-like inverter circuit.....	(3 1)
Figure 21. AFM image of IGO, P3HT, SEGI.....	(3 3)
Figure 22. AFM image of SEGI on P3HT, IGO.....	(3 3)
Figure 23. XRD pattern of P3HT and IGO	(3 5)
Figure 24. XPS In3d and Ga2p spectra of IGO film with various chemical compositions	(3 5)
Figure 25. XPS O1s spectra of IGO film with various chemical compositions	(3 6)
Figure 26. Electrical characteristics of top-gated bottom-contact FETs (a) Transfer and output curves of P3HT(10 mg/ml) FETs with SEGI 99:1 and (b) P3HT(10 mg/ml) FETs with SEGI 98:2 and (c) of P3HT(2 mg/ml) FETs with SEGI (98:2), (d) IGO(0.05 M) FETs with SEGI 99:1 and (e) IGO(0.05 M) FETs with SEGI 99:2 (Gate bias sweep rates = 50 mV/s).....	(4 0)
Figure 27. Electrical characteristics of TG/BC Ambipolar Charge Transport in bi-layered Hybrid TFTs. (a) p-channel transfer curve and output curve, (b) n-channel transfer curve and output curve.....	(4 3)
Figure 28. Electrical characteristics of CMOS-like Inverter based on SEGIs (a) Voltage transfer curves of bi-layer and SEGI(99:1) Inverter (b) corresponding gains at various supplied bias (VDD).....	(4 5)

List of Tables

Table 1. Electrical characteristics of various TFTs based on SEGIs	(4 1)
Table 2. Electrical characteristics of bi-layer TFTs based on SEGIs	(4 3)
Table 3. Electrical characteristics of CMOS-like Inverter based on SEGIs.....	(4 5)



Low Voltage Operating CMOS-like Circuits using Hybrid Thin-Film Transistors and Solid-State Electrolyte Gate Insulators

Il Young Jo

Department of Graphic Arts Engineering, The Graduate School,
Pukyong National University

Abstract

Recently, electronic device technology has been researching and developing printing electronic technology through solution process for manufacturing soft electronic applications, such as wearable devices, Internet of Things (IoTs) and Radio-Frequency Identification (RFID) tags. Soft electronic applications must maintain its inherent characteristics for various external stimuli and operate under extremely low-power operating condition due to its limited power source. Therefore, new materials and processes need to be developed to integrate electronic circuits on flexible substrates. In particular, field-effect transistors (FETs) not only have thin films for application to backplanes and flexible electronic devices in next-generation displays, but also require high performance driving and flexible properties under low voltage conditions. In this study, we reported organic and inorganic bi-layer thin-film transistors (TFTs) with solid-state electrolyte gate insulator (SEGI) and fabricated complementary metal-oxide-semiconductor (CMOS)-like inverter circuits based on this. The solid state electrolyte insulator was fabricated by using poly(vinylidene fluoride) based polymer and 1-Ethyl-3-methyl Imidazolium bis (Tri fluoro methyl sulfonyl) Imide [EMIM] [TFSI], which is ionic liquid. In order to show the ambipolar characteristics of the TFT, P-type polymer semiconductor Poly(3-hexylthiophene-2,5-diyl) P3HT and N-type metal oxide semiconductor Indium-Gallium-

Oxide(IGO) were used as active layers. We investigated not only the electrical characteristics of TFTs and CMOS inverters but also the charge transfer at the IGO and P3HT interfaces based on the high charge density induced by SEGI.



I. 서 론

다양한 기능성 잉크를 기판에 인쇄하여 전자소자를 제작하는 기술인 인쇄전자는 기존의 전자기기 제작에 이용되는 포토리소그래피(photolithography) 공정에 비해 보다 효율적으로 진행되는 롤투롤(roll-to-roll, R2R) 공정을 바탕으로 다층박막구조 형성 및 저가(low-cost) 대면적(large-area) 생산에 유리하며, 플라스틱부터 종이까지 다양한 기판상에 직접 전자 회로를 구현할 수 있으므로 웨어러블 디바이스 및 Flexible 디스플레이의 구동 소자와 같은 차세대 전자기기의 집적회로를 저비용으로 제작하기에 적합한 기술로 각광을 받고있다.

인쇄전자 회로의 구현을 위해선 N 형과 P 형의 균형있는 전하이동 특성을 가진 전계효과트랜지스터(Field-Effect Transistors, FETs)를 기반으로 complementary metal oxide semiconductor(CMOS) 형 인버터(CMOS-like inverter)를 구현해야 할 필요가 있으며, 이를 집적화 하여 보다 복잡한 집적회로 및 논리/연산회로 제작이 가능하다. 따라서 용액화가 가능한 고성능 반도체 소재의 개발뿐만 아니라 복잡한 전자회로를 구현하기 위해 보다 높은 해상도를 가진 인쇄 패턴 형성 기술 개발이 요구된다. 하지만 인쇄전자 기술은 롤투롤 공정을 기반으로 저가 대면적 전자제품 생산에 유리하며 나노스케일(nanoscale)의 복잡한 채널 패턴 형성을 요구하는 소자에 적용하기 어렵다는 단점이 있다.^[1] 이러한 이유로 최근에는 외부 전압 조건에 따라 전자와 정공의 흐름을 제어할 수 있는 양극성(ambipolar) 반도체를 이용한 전자회로 제작에 관한 연구가 활발히 진행중이며, 복잡한 패턴 공정 없이 단순히 전면 코팅 공정만으로 인쇄전자 소자를 제작할 수 있다는 장점을 가지기 때문에 저가 대면적 생산에 적합한 소재로서 각광받고 있다. 허나 양극성 반도체를 활용한 인쇄전자 회로는 비교적 좋은 성능으로 구현되었음에도 실제 인쇄전자 제품에 적용되기 위해선 낮은 전하 이동도(charge mobility)의 개선 및 양 극성

간의 균형적인 전기적 특성 구현을 위한 연구 개발이 필요한 실정이다.^[1] 따라서 본 연구에서는 양극성을 가지는 고성능 인쇄전자 소자 제작을 위해 P 형 고분자 반도체인 Poly(3-hexylthiophene-2,5-diyl) (P3HT)와 N 형 비정질 산화물 반도체인 Indium-Gallium-Oxide(IGO)를 용액 공정을 통해 적층 하였으며, 전계 하에서 전기적 이중층(Electric Double Layer, EDL)의 형성으로 높은 전기용량($\sim 1 \mu\text{F}/\text{cm}^2$)을 가지는 고체상태의 전해질 절연체인 SEGI(Solid-state Electrolyte Gate Insulator)를 사용하여 저전압 하에서 좋은 전기적 특성을 유도하였다.^[2] 실험에서 사용된 SEGI 는 플루오르 중합체인 poly(vinylidene fluoride-)계열 고분자와 이온성 액체인 1-Ethyl-3-methyl Imidazolium bis(Tri fluoro methyl sulfonyl)Imide [EMIM][TFSI] 를 이용하여 제조 하였으며, 제작된 소자의 분석을 위해 전기장 하에서 SEGI 로부터 유도되는 높은 전기용량이 IGO 와 P3HT 의 계면에 미치는 영향과 전하의 이동을 토대로 TFT 및 CMOS-like 인버터의 전기적 특성을 연구하여 인쇄전자회로로써 응용 가능성을 알아보았다.

II.이 론

1. 인쇄 집적 회로(Printed Integrated Circuits)

가. Complementary Metal-Oxide-Semiconductor (CMOS) Inverter

실리콘 기반의 상보성 금속 산화막 반도체(Complementary Metal-Oxide-Semiconductor, CMOS) 기술은 전원, 접압 간에 직렬로 구성된 n-channel 과 p-channel 의 금속 산화막 반도체 전계효과트랜지스터(Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET)가 상보적인 온, 오프 동작을 하여 논리연산을 수행하는 집적회로를 제조하는데 사용된다(그림 1). 이러한 CMOS 기술을 바탕으로 마이크로프로세서나 static random access memory(SRAM) 등의 디지털 회로를 제조할 수 있으며 이미지 센서, 데이터 변환기 및 다양한 유형의 통신을 위한 고집적 송수신기와 같은 아날로그 회로에도 사용된다.^[3]

CMOS 기반 집적회로의 가장 기본적인 구성 요소는 CMOS 인버터이다. 앞서 설명한 다양한 전자회로의 전기적 거동은 인버터의 동작 결과로부터 알 수 있으며, NOT 역할을 수행하는 논리 회로인 CMOS 인버터 동작을 분석함으로써 NAND, OR, NOR 또는 XOR 과 같이 보다 복잡한 논리 게이트의 동작을 설명할 수 있다. 따라서 CMOS 인버터의 동작 및 특성이 명확하게 이해된다면 논리 게이트, 계산기와 같이 보다 복잡한 구조의 회로를 설계하는 것이 더욱 단순해진다.^[1] 이러한 이유로 1990 년대 이후에는 반도체 메모리나 마이크로프로세서의 논리 집적회로뿐만 아니라 디지털-아날로그 변환회로, 아날로그-디지털 변환회로, 전원 회로 와 같은 작은 규모의 회로들도 CMOS 구조로 제작되었다.^[4]

CMOS 인버터는 p 형 과 N 형 트랜지스터가 직렬로 연결되어 두 트랜지스터의 상보적인 온오프동작에 의해 주입 전압과 출력전압이 반대가 되도록 설계된 논리부정 회로이다. CMOS 인버터는 V_{IN} 에 입력되는 전압(Input voltage) 조건에 따라 동작하는 트랜지스터 영역이 변하며, 결과적으로 V_{OUT} 에 출력되는 전압(output voltage) 이 나타난다. V_{IN} 에 입력된 전압이 Low(logic “0”) 조건일 경우 인버터 회로에서 p-type 트랜지스터는 turn-on 이 되고 n-type 트랜지스터는 turn-off 가 되어 V_{OUT} 의 출력값은 High(logic “1”) 가 된다(그림 2a). 반대의 경우, n-type 트랜지스터가 turn-on 이 되며 V_{OUT} 의 출력값은 Low(logic “0”) 가 된다(그림 2b). 그림 3 에 입력된 전압과 출력되는 전압과의 상관 관계 및 각 영역별로 구동되는 트랜지스터의 동작 상태를 나타내었다.^[1]



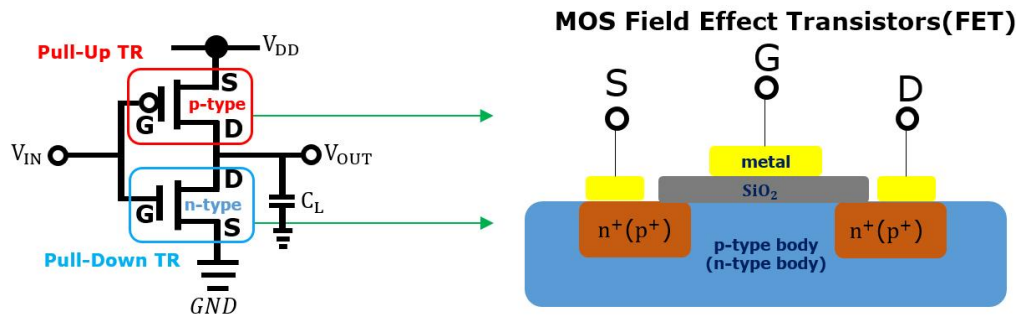


Figure 1. Complementary Metal-oxide-semiconductor (CMOS) inverter

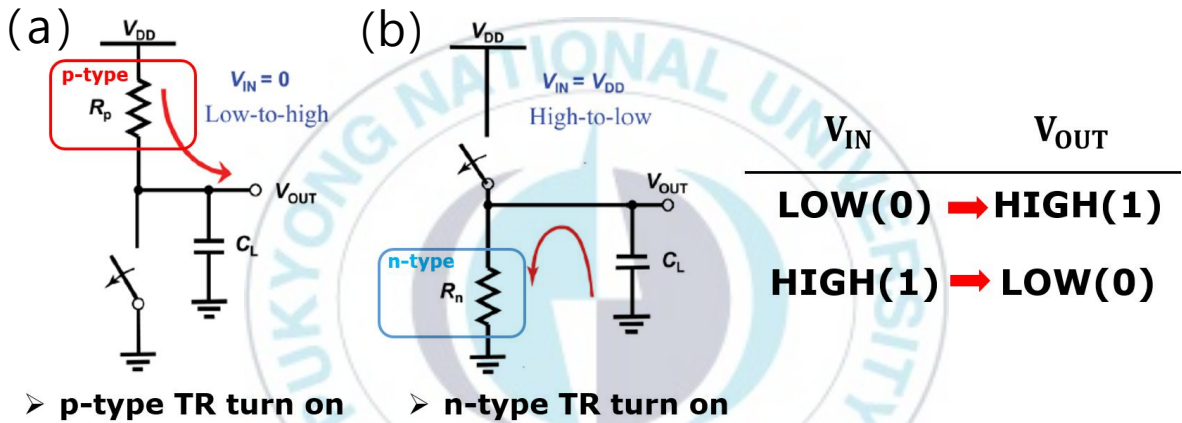


Figure 2. operation of CMOS inverter (a) at $V_{IN} = 0$ V and (b) $V_{IN} = V_{DD}$

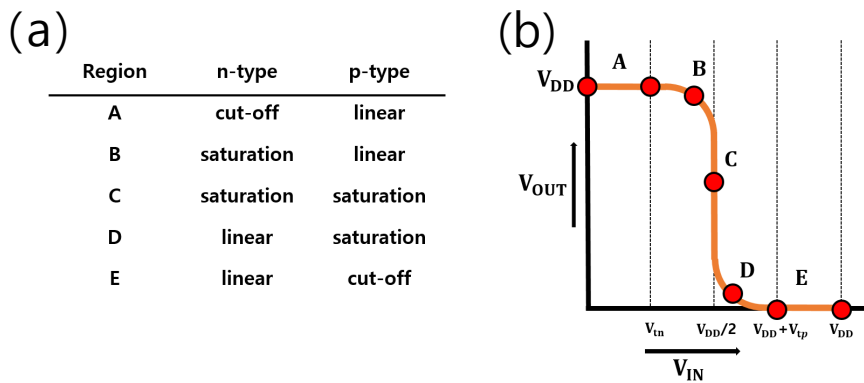


Figure 3. characteristics of CMOS inverter. (a) operation regions, (b) corresponding voltage transfer characteristics^[1]

나. CMOS-like Ambipolar Inverter

양극성 반도체가 적용된 TFT 기반 CMOS-like 인버터는 복잡한 반도체 패턴 공정을 요구하는 실리콘 기반 CMOS 인버터와 달리 단순 코팅 공정을 통해 제작 할 수 있다는 장점이 있다(그림 4a, 4b).^[5] 이러한 인쇄전자 기반 CMOS-like 인버터의 구현을 위해선 양극성 반도체 TFT 소자의 높은 성능이 요구되는데, 이때 사용될 수 있는 반도체 소재로는 도너(donor)와 억셉터(acceptor) 역할을 하는 분자구조가 유기물 반도체 주 골격에 포함된 D-A copolymer(그림 5a)와 p-type 과 n-type 의 성질을 가지는 각각의 유기물 반도체들을 섞은 블렌딩 양극성 반도체(그림 5b) 그리고 p-type 과 n-type 을 가지는 반도체들을 각각 순서대로 적층한 bi-layer 구조의 양극성 반도체(그림 5c) 등이 있다. 이를 활용하여 제작된 TFT 소자는 소스/드레인(source/drain) 전극으로부터 전하(charge)의 주입이 원활히 이루어져야 하며 적층된 게이트 절연체와 반도체 사이의 계면에서 전자의 트랩(trap)이 발생하지 않도록 적합한 절연층 소재 선정과 최적의 TFT 소자 구조를 설계하는 것이 중요하다(그림 6)

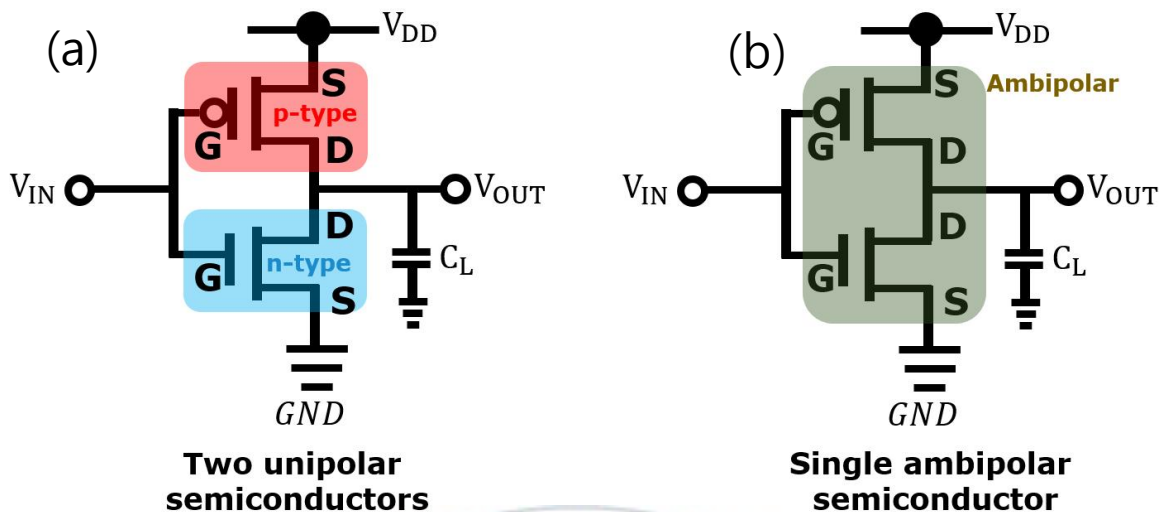


Figure 4. Circuit configurations for the complementary inverters (a) Inverter consisting of two different n-type and p-type unipolar semiconductors. (b) Inverter based on a single ambipolar semiconductor

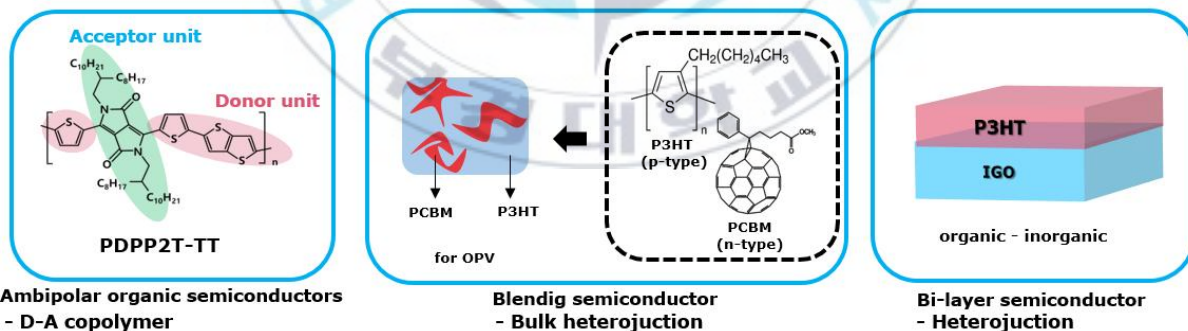


Figure 5. Ambipolar semiconductors for complementary circuit (a) D-A copolymer (b) Blending semiconductor and (c) Bi-layer semiconductor

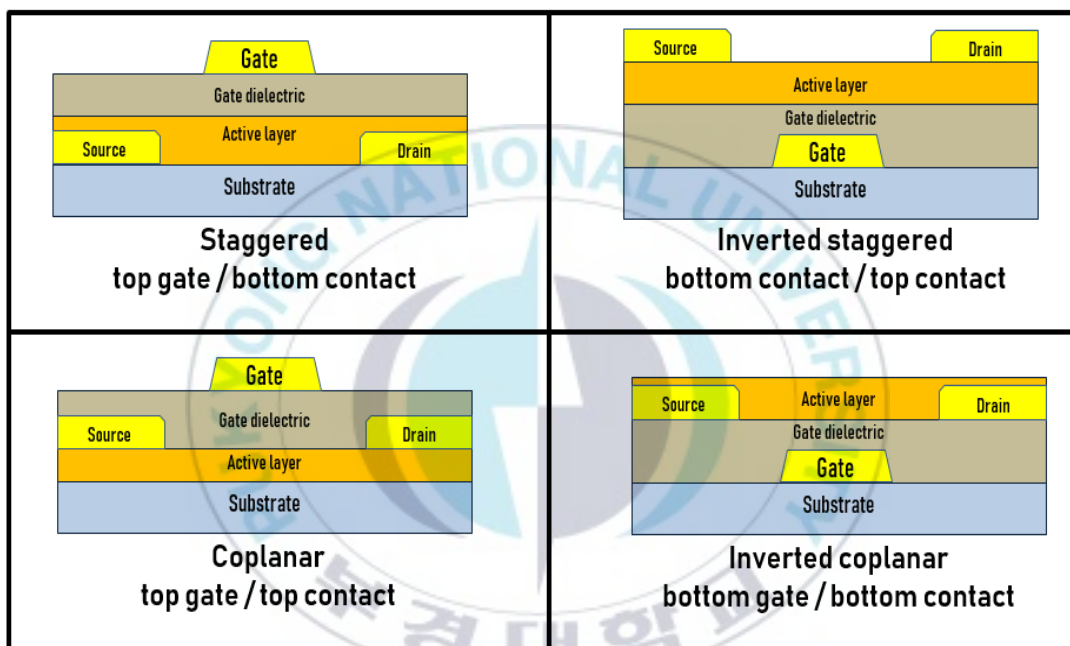


Figure 6. Structures of TFT

다. Field-Effect Transistor (FET)

전계 효과 트랜지스터는 게이트 전극에 전압을 걸어 전기장을 형성하고 활성층에 발생하는 채널로 전하가 흐르게 하는 소스(source)와 드레인(drain) 사이의 전류를 제어하는 트랜지스터이다. 본 연구에서 사용된 3 단자 FET 는 기판(substrate) 상에 활성층과 절연층을 적층한 구조를 바탕으로 소스, 드레인, 게이트 전극으로 구성되어 있다. 이때 활성층 물질이 유기 전자 소재일 경우 유기물 박막 트랜지스터 혹은 유기 전계 효과 트랜지스터라 하며 기존의 무기물 기반 트랜지스터를 대체할 차세대 소자로 각광받고 있다.^[2] 하지만 현재까지 다결정 실리콘의 전기적 성능에 미치지 못하였으며 실험적으로 비정질 실리콘의 이동도($\sim 1.0 \text{ cm}^2/\text{Vs}$) 보단 높은 이동도에 도달해 있는 상태이다. 따라서 현재 대다수의 전자기기 내에 들어있는 무기물 기반 반도체를 대체하기 위해선 더 높은 수준의 전기적 성능이 요구된다.^[6] 전계 효과 트랜지스터의 전기적 특성은 측정된 전류-전압 그래프로부터 추출 할 수 있다. 드레인 전압을 일정하게 고정하고 게이트 전압의 변화에 따른 드레인 전류를 나타낸 transfer curve 와 게이트 전압을 일정하게 고정 후 드레인 전압의 변화에 따른 드레인 전류를 나타낸 output curve 로 전기적 특성을 평가한다. 전기적 특성은 활성층 내의 전하 이동도(carrier mobility), 문턱 전압(threshold voltage) 및 문턱 전압이하에서의 기울기(subthreshold slope, S.S), 점멸 전류비(on/off ratio) 등으로 평가하며 파라미터들은 transfer curve 를 통해 다음 식으로 구할 수 있다(1-1).

$$I_{D,lin} = \frac{W\mu C_i}{L} \left(V_G - V_T - \frac{V_D}{2} \right) V_D \quad (\text{linear region})$$

$$I_{D,sat} = \frac{W\mu C_i}{2L} (V_G - V_T)^2 \quad (\text{saturation region}) \quad (1-1)$$

W = 채널 폭, L = 채널 길이, μ_{FET} = 캐리어 이동도, V_{TH} = 문턱 전압, C_i = 게이트 절연체의 정전용량

라. Organic-Inorganic Hybrid Ambipolar TFT

ambipolar TFT 는 활성층이 양극성을 가져 전자와 정공을 동시에 수송할 수 있는 소자이다. 즉, p-type 과 n-type 특성이 반도체 내에서 동시에 나타나는 소자를 의미한다. Ambipolar TFT 의 활성층을 제작하는 방법은 세가지로 나눌 수 있다. 먼저 n-type 반도체와 p-type 반도체를 혼합하는 blending 방법, p-type 반도체와 n-type 반도체를 이중층으로 형성하는 bi-layer 방법, 그리고 ambipolar 특성을 가진 반도체를 사용하는 single-component 방법 등이 있다.

최근 유기물 반도체와 금속 산화물 반도체는 전계 효과 트랜지스터 분야에서 기존의 무기물 반도체 (4 족 반도체 및 3,5 족 화합물 반도체)를 대체할 활성층 재료로 주목을 받고 있다. 특히 유기물 반도체는 구조의 제어 및 도핑을 통해 양극성 반도체로서 균형적인 전기적 성능을 위해 연구가 계속해서 진행 중이지만 여전히 단일 극성 유기물 반도체의 전기적 성능이 양극성 유기물 반도체에 비해 더 높으며, 보통 전자보다 정공의 수송이 우세한 p-type 특성을 가진다. 한편, 금속 산화물 반도체의 경우 유기물 반도체와 반대로 전자의 수송이 우세한 n-type 특성을 가진다.^[7] 따라서 단일극성을 가지는 유기물 반도체와 무기물 반도체를 논리/연산 회로와 같이 양극성이 요구되는 소자에 적용하기 위한 방법으로 유기물 반도체와 무기물 반도체를 이종접합(hetero junction) 한 bi-layer 활성층 기반 TFT 제작을 할 수 있으며 균형있는 양극성을 가진다면 기존의 단일 극성 반도체의 활용도가 더욱 높아질 것으로 기대된다.

2. 인쇄전자 소재(Printed Electronics Materials)

가. Organic Semiconductors

탄소와 수소 혹은 질소, 황, 산소 등으로 이루어진 유기 화합물은 일반적으로 전도성을 가지지 않지만 밴드갭(band gap)의 조절을 통하여 전도성을 유도할 수 있다. 유기고분자를 이루는 탄소 원자는 최대 4 개의 결합 가능한 최외각 전자를 가지고 있기때문에 탄소가 이중결합을 이루게 되면 σ -결합과 π -결합을 가지게 되는데, 전자가 단단히 묶여있는 σ -결합과 달리 π -결합의 전자 구름은 자유로운 이동이 가능한 비편재화(delocalization)상태가 된다(그림 7a). 예컨대 벤젠(benzene)에 존재하는 탄소원자의 경우 세개의 전자는 근접한 두개의 탄소 및 하나의 수소 원자 사이에서 sp_2 혼성궤도의 형성으로 σ -결합을 이루어 삼각 평면을 이루고, 각 탄소에 남아있는 나머지 전자들은 고리 평면에 수직인 방향으로 p_z 궤도에 존재하게 되어 측면 겹침을 형성한다. 이때 탄소 고리의 수직 방향으로 형성된 전자 구름의 π -전자들은 비편재화되어 이동이 가능하게 된다(그림 7b). 따라서 벤젠과 같이 근접한 원자 사이에 단일-이중결합이 교차로 형성된 공액 구조를 가진 분자는 인접 원자 궤도 전자와의 선형적 결합으로 분자 궤도의 에너지밴드를 형성한다.^[8] 이때 π -전자는 분자 내의 에너지밴드에서 가장 낮은 레벨에서부터 채워져 가전자대(valence band)를 형성하고 전자로 채워지지 못한 비워진 분자 궤도의 중첩으로 전도대(conduction band)를 형성하게 된다. 한편, 가전자대에서 가장 높은 에너지 분자 궤도와 전도대에서 가장 낮은 에너지 분자 궤도를 각각 HOMO(highest occupied molecular orbital), LUMO(lowest unoccupied molecular orbital)라고 한다(그림 8). 특히, HOMO 와 LUMO 사이의 밴드갭(bandgap)보다 큰 에너지를 가지는 가전자대의 전자들은 전도대로 이동할 수 있으며, 전도대로 주입된 전자들은 분자를 따라 이동이 가능하게 되어 전기가 흐를 수

있게 된다. 전자들이 밴드갭을 뛰어넘을 수 있도록 하기 위해선 빛, 전압, 열 및 압력 등의 다양한 외부 자극들이 필요하며, 이때 분자의 HOMO 와 LUMO 사이의 밴드갭이 좁아 전자들이 밴드갭을 쉽게 뛰어 넘을 수 있는 경우 전기적으로 반도체 혹은 전도체의 특성을 갖게 될 수 있다.

실리콘 기반 반도체의 경우 도펀트(dopant)에 따라 같은 재료로부터 전자 수송이 우세한 n-type 혹은 정공 수송이 우세한 p-type 으로 나뉜다. 반면, 유기물 반도체는 해당 분자의 작용기가 전자를 주는 특성(전자 공여체)과 전자를 받는 특성(전자 수용체)의 우세에 따라 n-type, p-type 으로 나뉘며 작용기의 적절한 배치를 통해 양극성을 가진 유기물 반도체를 제작할 수 있다. 한편, 유기물 반도체의 전하들은 상대적으로 약한 van der Waals 인력으로 결합된 분자 사이를 주로 Hopping Mechanism 을 통해 전달되므로 단결정 실리콘과 같은 높은 이동도를 얻을 수 없다.^[9] 하지만 최근에는 고분자 반도체 합성 및 공정 기술이 개발 되어 $10\text{ cm}^2/\text{Vs}$ 이상의 높은 수준의 이동도를 가지는 고분자 반도체들이 보고되고 있으며, 이는 기존의 비정질 실리콘(amorphous silicon) 반도체에서 얻을 수 있는 전하 이동도($0.5\sim 1\text{ cm}^2/\text{Vs}$)를 뛰어 넘을 뿐만 아니라 비정질 산화물 반도체($\sim 10\text{ cm}^2/\text{Vs}$)에 비견되는 수준이다.

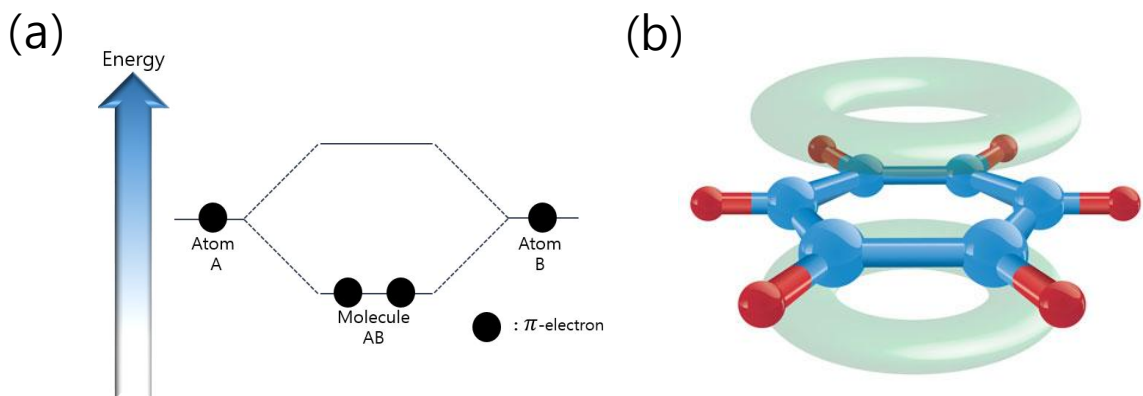


Figure 7. (a) π -orbital model of molecules formed by linear combination of adjacent atomic orbitals (b) schematic of benzene molecule with electron cloud

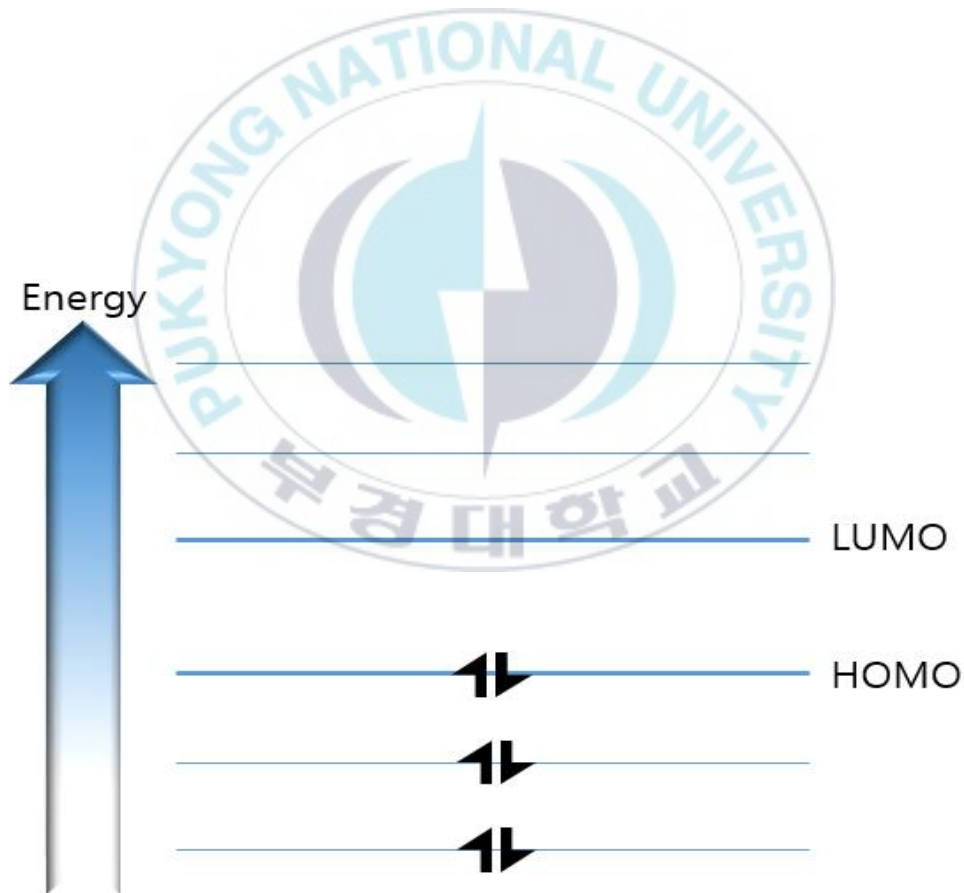


Figure 8. Energy diagram of organic semiconductor

나. Amorphous Oxide Semiconductors

비정질 산화물 반도체 또는 금속 산화물 반도체는 금속 양이온과 산소 음이온의 이온결합으로 이루어진 화합물 반도체이다. 산화물 반도체의 에너지밴드에서 가전자대의 최대점인 VBM(valence band maximum)은 주로 산소의 p 궤도들의 결합으로 구성되어 있으며 전도대의 최저점인 CBM(conduction band minimum)은 주로 산화물 반도체를 구성하는 금속들의 s 궤도의 결합으로 구성되어 있다. 대부분 산화물 반도체의 주 캐리어는 전자이며 일차적으로 전기적 특성을 좌우하는 것은 공정 중에 도핑된 수소와 산화물 반도체의 산소 공공(vacancy)이다. 예를 들어, 4 성분계 산화물 반도체인 IGZO(InGaZnO)의 경우, 반도체 구성 성분 중 산소와의 결합이 가장 약한 인듐(In)이 풍부한 조성을 가질 때 상대적으로 산소 공공 형성이 용이하게 일어나며 이는 산화물 반도체 내의 전하 농도를 증가시키는 요인으로 작용한다. 한편, 갈륨(Ga)은 산소와 결합하여 과잉 캐리어 생성을 억제함으로써 누설 전류를 방지하고 소자 성능 저하 요인인 수산화물 생성 비율을 줄이며 아연은 IGZO 화합물의 화학적 구조를 안정화 시키며 각 원소의 형체를 구성한다. 따라서 화합물 내의 각 원소가 적절한 균형을 이룬다면 최적화된 성능을 유도할 수 있다.^[10]

이러한 산화물 반도체가 비정질 상태에서도 높은 이동도($\sim 10 \text{ cm}^2/\text{Vs}$) 특성을 나타내는 것은 전도대를 형성하는 주 구성요소인 금속의 s 궤도 결합들이 결합각(bond angle)에 의존성을 덜 보이기 때문이다.^[11] 하지만 비정질 상태의 특성 상 여러 금속 양이온의 s 궤도들이 CBM 을 형성할 경우 각 금속 양이온과의 겹침 정도가 달라질 수 있으며 이는 CBM 의 방향 변이를 야기시키므로 전자 이동에 대해 트랩(trap)으로 작용할 수 있다. 따라서 CBM 내의 에너지 격막을 넘어 높은 이동도 특성을 가지기 위해선 산화물 반도체의 캐리어 농도는 타 반도체 대비 더 높아야 한다.^[12]

다. Electrolyte Gate insulator

일반적으로 사용되는 전계 효과 트랜지스터의 게이트 절연체는 주로 금속산화물 (SiO_2 , Al_2O_3)로 이루어져 있다. 이러한 금속산화물이 적용된 트랜지스터는 빠른 응답속도를 가지는 장점이 있지만, 절연막 형성과정에서 진공 공정이 필요하여 비용이 높다는 단점을 가진다.^[13] 이를 대체하여 전해질 고분자 절연체를 이용할 수 있는데, 주로 용액 공정을 이용하므로 소자 제작이 비교적 간단하며 최근 조용매(Cosolvent)를 이용해 농도와 점도를 조절하여 롤투롤 프린팅 방식의 연속 공정 개발 연구가 진행되고 있다.^[14] 또한 전해질 절연체는 높은 전기용량($\sim 1 \mu\text{F}/\text{cm}^2$)을 가져 기존의 절연체들 보다 높은 전하밀도를 얻을 수 있기 때문에 저전압 하에 고성능 구동이 가능해진다. 따라서 저비용으로 매우 낮은 전력소모량을 요구하는 차세대 휴대용 유연 전자 소자를 제작할 수 있는 장점을 가진다.

전해질 절연체의 대표적인 예인 이온 젤은 유기 양이온과 유기, 무기 음이온으로 구성된 이온성액체에 3 차원 망구조를 형성할 수 있는 고분자를 첨가하여 제조한다. 이온성 액체는 높은 전기용량($\sim 10 \mu\text{F}/\text{cm}^2$) 가지지만 상온에서 액체상태 이므로 전자 소자에 적용하기 위해선 이온의 움직임이 자유롭되, 고체상태(solid-state)를 유지할 수 있도록 3 차원 망구조를 가진 고분자를 이용해 기계적성질을 부여해야 한다.^[15] 이온성액체는 양이온과 음이온의 조합에 따라 다양하게 제조할 수 있으며 대표적인 이온성 액체의 예를 그림 9에 나타내었다.

이온 젤의 구성물질 중 3 차원 망구조 고분자는 화학적 가교 혹은 물리적 가교를 통하여 구성할 수 있는데, 화학적 가교를 이용할 경우 고분자의 비가역적인 공유 결합으로 인해 이온 젤의 물성 제어가 어려워 소자 제작에 제약이 따른다. 한편, 고분자의

자가조립(self-assembly), 수소결합, 결정형성 등의 물리적 가교를 이용하여 이온 젤을 제조할 수 있는데, 그 중 대표적으로 블록 공중합체 이온 젤은 블록의 구조를 요구되는 물성에 맞게 변화시켜 이온 젤의 물리화학적 특성을 조절할 수 있으므로 높은 응용범위를 가진다. 이외에도 poly(vinylidene fluoride-) 계열 고분자의 상 분리를 이용한 이온 젤 제조법 등의 연구가 진행 되었다.^[16]

전해질 절연체는 기존의 유기물 절연체에 비하여 매우 높은 전기용량($\sim 1 \mu\text{F}/\text{cm}^2$)을 가지는데, 이는 게이트 전극으로부터 전계 형성 시 계면에서 전기적 이중층(Electric Double Layer, EDL)을 형성하는 것으로부터 기인된다. 특히, 전해질 절연체로 유도되는 전기용량은 일반적인 절연체가 두께에 영향 받는 것과는 달리 형성된 전기적 이중층에만 의존한다. EDL 은 전기장하에서 프리 카운터 이온(free counter ion)들이 전극과 전해질 계면, 그리고 반도체와 전해질 계면에 조밀하게 축적되어 형성되는 나노미터의 커패시터 층이다(그림 10a).^[17] 따라서 일반적으로 전기장 하에서 배향 분극을 하는 고분자 절연체에 비하여 굉장히 높은 전하 밀도를 유도하기 때문에 1~3 V 이하의 저전압 소자 구동이 가능하게 된다(그림 10b).^[18]

이온 젤의 물리적 형상은 3 차원 망구조를 가진 고분자에 의해 제어된다. 하지만 완전한 고체가 아닌 젤 상태 이므로 열적안정성은 기존의 절연 물질들 보다 떨어진다는 단점이 있다. 따라서 보통 전해질 절연체 상부에 게이트 전극을 형성 시키기 위해선 프린팅 공정으로 전도성 고분자 게이트 전극을 형성하거나 Side-Gate 를 구성하여 전계 효과 트랜지스터를 제조한다.^[19] 최근, 이러한 이온 젤의 열적안정성을 향상 시켜 프린팅 공정 뿐만 아니라 금속을 열 증착 시킬 수 있는 고체 상태의 전해질 게이트 절연체(Solid-state Electrolyte Gated Insulators, SEGIs)가 보고 되었다.^[2] 이온 젤을 고유전율 폴리머 중합체와 일정 비율로 혼합하여 제조된 SEGI 는 열 증착을 통해 견고한 게이트 전극을

형성시킬 뿐만 아니라 이온의 응집으로 인해 상대적으로 느린 스위칭 속도를 가진 이온 젤에 비해 더 복잡해진 3 차원 망구조를 가진 SEGI 는 이온 응집을 방해하므로 보다 높은 동작 속도를 가질 수 있다.



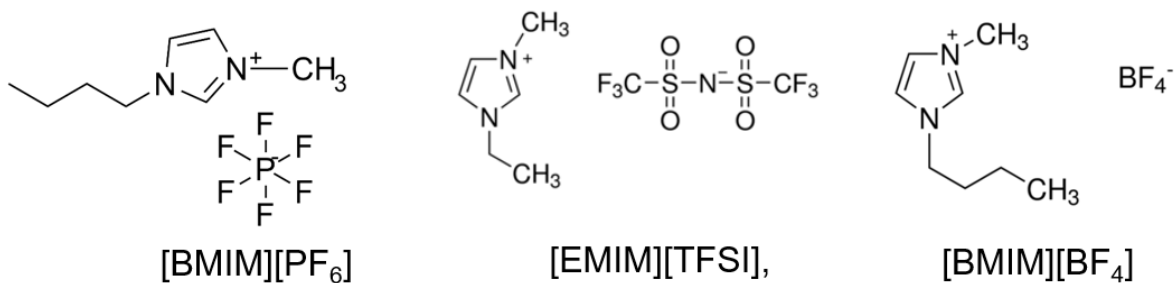


Figure 9. Representative ionic liquids

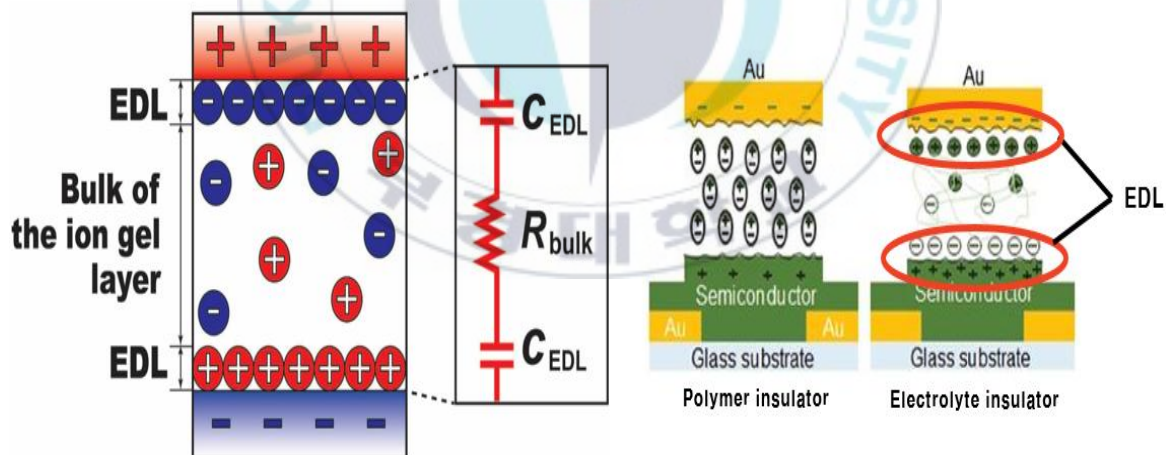


Figure 10. (a)EDL formation (b)Polarization mechanisms in OFETs with P(VDF-TrFE) (left) and Ion gel (right) dielectric ^[13]

III. 실험 및 측정

1. 실험 재료

가. Thiophene 계열 고분자 반도체 (P3HT)

poly(3-hexylthiophene-2,5-diyl) P3HT 는 광 다이오드, OFET, OPV(유기물 기반 태양전지) 등 다양한 분야에서 표준 물질로 연구되는 대표적인 p-type 고분자 반도체 물질이다(그림 11). 입체 규칙성(regioregularity)이 높은 반도체성 중합체이며, 측쇄(side chain)들이 end-to-end 형식으로 배열되어 있어 고분자 주사슬(back bone)들은 효율적으로 $\pi-\pi$ 쌓임($\pi-\pi$ stacking)을 할 수 있다.^[20]

나. Indium Gallium 산화물 반도체 (IGO)

인듐(Indium, In), 갈륨(Gallium, Ga) 화합물로 구성된 3 성분계 산화물 반도체인 IGO 는 고성능 박막트랜지스터를 위한 활성층으로서 광범위하게 연구되고 있으며 전하 이동도가 높고 광 투과도가 우수해 차세대 투명 TFT 에 유용하게 사용할 수 있다.^[21] 또한 낮은 저항 값을 나타내는 입방구조(cubic structure)와 높은 저항 값을 나타내는 비정질 구조 사이에서 10^2 정도의 저항 값 변화를 보이며, 이러한 특성 덕분에 저전압 구동 상변화 메모리(Phase Change Memory, PCM) 소자에 적합한 재료로서 각광 받고 있다.^[21] 일반적으로, IGO 의 화학양론적 식은 $\text{In}_{2x}\text{Ga}_{2-2x}\text{O}_3$ 로 표시된다. $\text{In}_{2x}\text{Ga}_{2-2x}\text{O}_3$ 의 고용체(solid solutions)는 $X \geq 0.895$ 일 때는 갈륨이 입방체의 인듐 산화물(In_2O_3) 격자로 치환되며, $X \leq 0.41 \sim 0.44$ 일 때는 인듐이 β -갈륨 산화물(Ga_2O_3) 격자로 치환된다.^[22]

IGO 박막을 증착하기 위해 사용되는 제조방법으로는 대부분 기상 증착법으로 rf 마그네트론 스퍼터링법(rf magnetron sputtering), 유기금속 화학증착법(MOCVD), 동시

증발법(co-evaporation) 등이 있다.^[23] 이러한 증착법들은 고품질의 박막을 성장시킬 수 있는 장점이 있으나 고가의 진공 증착 장비 및 부대시설이 사용된다. 따라서 장비 비용 및 복잡한 공정 단계로 인해 제조 비용 상승의 단점이 있다. 따라서 최근에는 비용과 공정이 비교적 저렴하고 간단한 용액 공정 기반 산화물 반도체 제조에 대한 연구가 활발히 진행되고 있다.^[24]

다. Solid state Electrolyte Gate Insulators (SEGIs)

앞서 언급했던 바와 같이 SEGI 는 이온 젤보다 열 저항성이 높아 게이트 금속 전극을 열 증착법을 통하여 형성할 수 있으며 보다 복잡한 3 차원 망구조는 이온의 응집을 최소화 하여 FET 에 적용 시 높은 구동 속도를 유도할 수 있는 전해질 절연체이다.^[2]

SEGI 의 제조법은 총 2 단계로, 먼저 플루오르 중합체인 poly(vinylidene fluoride-co-hexafluoropropylene) P(VDF-HFP)와 이온성 액체인 1-ethyl-3-methylimidazolium bis(trifluoromethylsulfonyl)imide [EMIM][TFSI] ($\geq 98\%$ (HPLC), $\leq 0.5\%$ water, Sigma-Aldrich)을 acetone(99.9%, Sigma-Aldrich)에 각각 1:4:7 의 중량비로 혼합 후 80 °C 에서 24 시간 이상 교반 시켜 이온 젤을 제조한다. 다음 poly(vinylidene fluoride-trifluoroethylene) P(VDF-TrFE) 를 2-butanone 에 용해시킨 용액(30 mg/ml)을 제조된 이온 젤과 99:1 과 98:2 의 부피비로 혼합 시켜 SEGI 를 제조한다. 제작 과정 및 사용 물질은 그림 12 에 나타내었다.

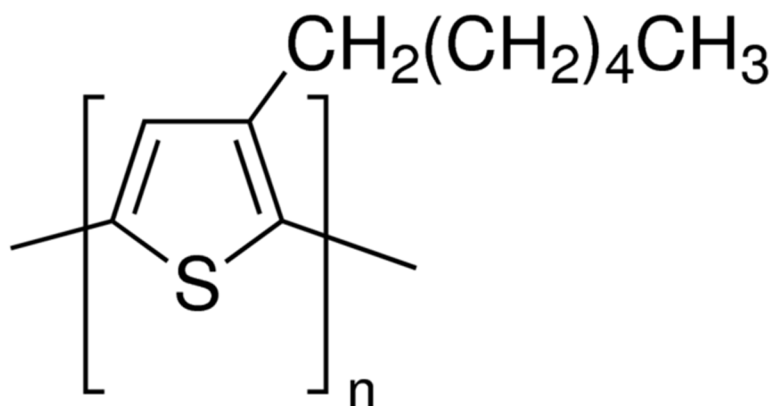


Figure 11. Molecular structure of poly(3-hexylthiophene-2,5-diyl) (P3HT)

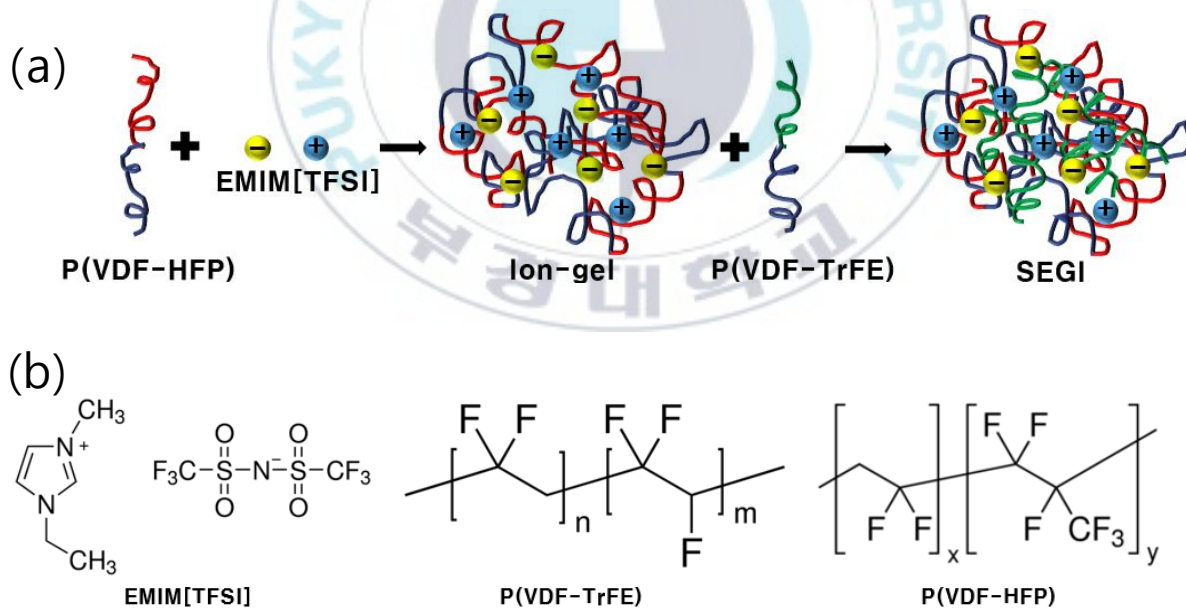


Figure 12. (a) Ion gel and SEGI fabrication process and (b) chemical structure of Ionic liquid, fluorinated polymer dielectric

2. 실험 방법

가. Bottom-Contact TFT 기판 제작

본 연구에서 사용된 bottom-Contact 구조의 유리기판(glass substrate) 제작을 위한 리프트-오프 포토리소그래피 공정은 다음과 같다. 유리기판(Corning glass)상에 포토 레지스트(AZ5214)를 전면 스핀 코팅(4000 rpm, 40 s) 후 dry oven 에서 soft-baking(90 °C, 10 min)을 진행하여 박막을 형성한다. 이때 기판에 코팅된 박막의 두께는 약 1.4 μm 이다. 다음 전극 패턴이 설계된 웨도우 마스크를 기판에 부착 후 UV 노광 처리를 진행한다. 이후 hot plate 에서 hard-baking(120 °C, 90 s)을 진행하고, 다시 전면 UV 노광 처리(flood exposure)를 진행한다. 다음 developer(AZ 300 MIF)를 이용해 약 25 초간의 현상 처리 후 진공 열 증착 공정으로 금속 전극(Ni/Au=4/15 nm)을 형성 한다. 최종적으로 스트리퍼(1-methyl-2-pyrrolidinone)를 이용해 포토 레지스트를 제거하고 웨이퍼를 일정한 크기로 절단하는 다이싱(dicing) 공정을 거쳐 S/D 전극이 형성된 기판을 제작한다. 제작된 기판의 전극 구조는 그림 13 에 나타내었다.

나. Spin-Coating

본 연구에서 제작된 TFT 의 활성층 및 절연층은 스핀 코팅(spin-coating)을 이용하여 형성하였다. 스핀 코팅은 스핀 코터(spin-coater)의 척(chuck)위에 기판을 올려 진공을 이용해 지지시킨 후 기판위에 용액을 도포하고 설정된 공정조건으로 기판을 회전 시켜 박막을 형성하는 대표적인 용액 공정이다. (그림 14)

스핀코팅 공정은 공정 시간이 짧고 도포된 물질의 전면 균일도가 우수하나 고분자 반도체의 경우 결정이 성장할 시간이 비교적 짧다는 단점이 있다. 따라서 고분자 반도체의 종류에 따라 열처리를 하여 분자 배열을 향상시킬 수 있다.^[25]

다. Thermal Evaporation Deposition

그림 15 는 본 실험에서 S/D 전극 및 게이트 전극을 형성하는데 사용된 열증발 진공 증착기의 개략도이다. 물리적 기상 증착법(Physical Vapor Deposition, PVD) 중 열증발 진공 증착법(Thermal evaporation deposition)은 고진공 상태에서 열이 가해진 보트를 통해 기화된 금속 입자들이 상대적으로 낮은 온도의 타겟 기판에 박막을 형성하는 대표적인 금속 박막 증착법이다. 생성된 금속 입자는 직선 운동을 하므로 진공 챔버(vacuum chamber) 내에서 기판을 놓는 위치가 중요하다. 또한, 열 에너지가 금속 입자를 이동시키는 유일한 에너지원이므로 이동 중에 불순물을 만난다면 쉽게 열 에너지를 잃어 다른 곳에 증착 될 수 있다. 따라서 높은 고진공 상태를 유지하는 것이 중요하다. 일반적으로 전류량을 조절하여 증착 속도를 변화시킬 수 있으며 웨도우 마스크를 통해 원하는 부분만 증착을 하여 전극 패턴을 형성할 수 있다.^[26]

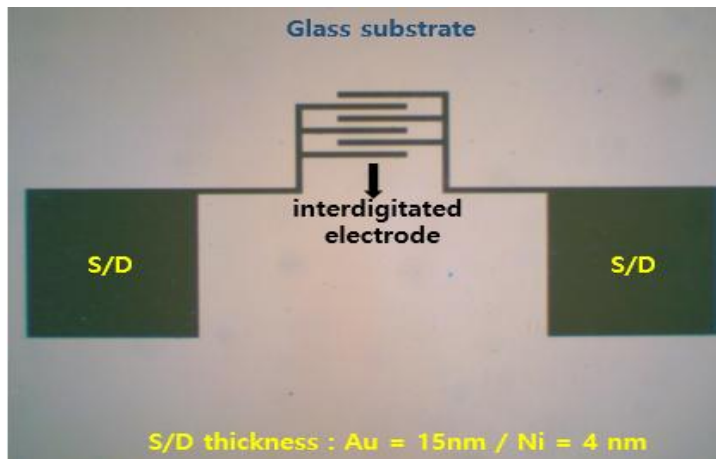


Figure 13. Bottom-Contact glass substrate

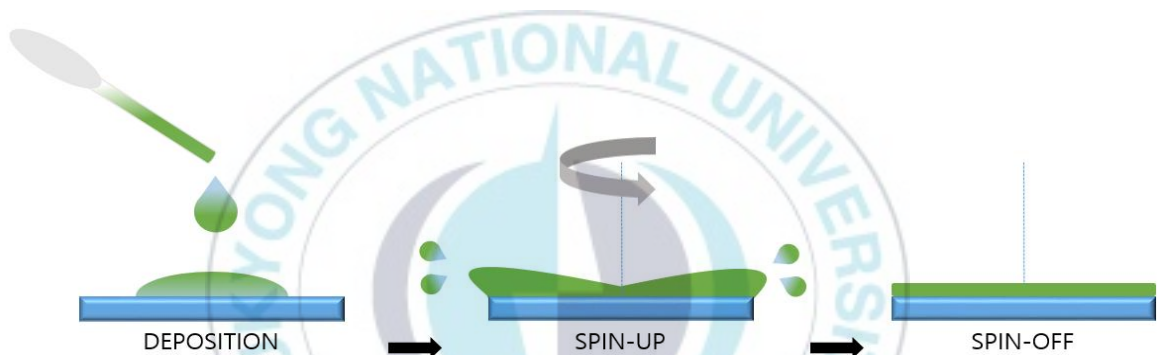


Figure 14. Spin coating process

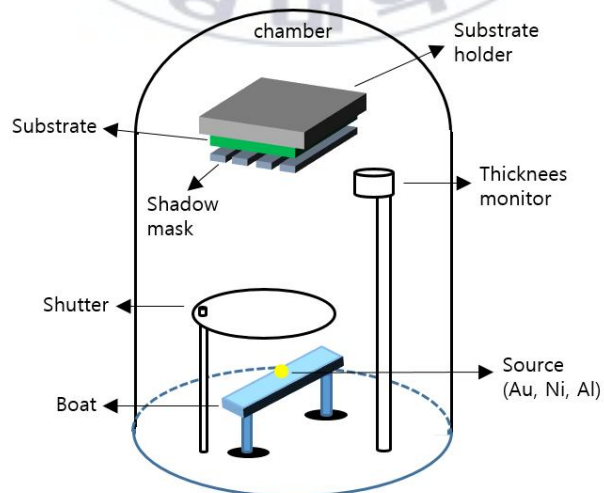


Figure 15. Simple schematic of thermal evaporator

3. 측정 및 분석

가. Atomic Force Microscope (AFM) ^[27]

원자력 현미경(AFM)은 미세한 탐침으로 시료표면을 스캐닝하여 마이크로 수준부터 원자 수준의 표면 정보를 얻을 수 있는 분석장비이다. AFM 은 SPM(Scanning probe microscope)의 일종으로 시료 표면과 탐침 사이의 상호작용으로 발생하는 1 nN 의 미세한 힘도 탐지가 가능하다. 또 다른 SPM 의 일종인 STM(Scanning Tunneling Microscopy)은 탐침과 시료 사이의 미세한 전류를 제어하는 방식을 사용하기 때문에 전도성 시료만 분석이 가능한 반면, AFM 은 탐침과 시료 표면 사이의 상호작용하는 힘에 의해 쉽게 휘어질 수 있는 캔틸레버(cantilever)가 탐침의 상부에 위치하였기 때문에 다양한 시료 표면에 대하여 고해상도 3 차원 이미지화가 가능하다. 캔틸레버에 위치한 미세한 탐침은 시료 표면과 접촉 혹은 비접촉 방식으로 동작하며 이때 탐침과 원자간의 반발력 또는 인력으로 인한 캔틸레버의 휨 정도를 측정하여 이미지화 시킨다(그림 16a). 그림 16b 는 본 실험에서 사용된 AFM 장비이다.

나. X-Ray Diffraction (XRD) ^[28]

X-선 회절(XRD) 분석법은 X-선의 성질을 이용하여 시료의 결정구조를 분석하는 방법이다. 전자기파의 일종인 X-선은 물질에 충돌 시 회절이 발생한다. 이때 발생하는 강도와 회절각은 물질의 구조 마다 다르게 나타나며 원자 종류와 결정 상태에 따라 X-선 회절의 강도가 달라지게 된다. 이 특징을 이용하여 시료의 원자 배열 상태나 결정구조를 분석할 수 있다. 그림 17 과 같이 원자간의 간격이 d 인 시료에 X-선을 입사각 θ 로 조사하면 X-선은 원자에 충돌하여 산란이 된다. 이때 산란된 X-선이 처음 조사된 X-선 파장의 정수배가 되면 간섭효과로 인해 강도가 높게 나타나며 이러한 현상을 회절이라고

한다. 이러한 회절 현상을 이용하여 XRD 장비로 분석된 X-선의 입사각 θ 와 파장을 아래의 Bragg 식으로써 원자 간격 d 를 구할 수 있다.

$$n \lambda = 2d \sin \theta \quad (3-1)$$

n = 정수, λ = 입사된 X-선의 파장, d = 원자 간격, θ = X-선의 입사각

다. X-ray Photoelectron Spectroscopy (XPS)^[29]

X-선 광전자 분광법(XPS)은 시료에 X-선 파장 범위 중에서 상대적으로 장 파장에 속하는 수십에서 수천 eV의 에너지에 해당되는 soft X-선을 시료에 조사하여 시료의 표면 층 원자에 강하게 결합된 내각준위 혹은 약하게 결합된 외각 준위로부터 방출된 광전자를 측정하는 분석법이다. 이를 통하여 원소의 고유한 전자 결합에너지를 구할 수 있으므로 시료에 대한 화학적 결합 상태 및 구성 원소에 대한 정보를 얻을 수 있다.

광전자가 방출되기 위해서는 전자의 결합 에너지(binding energy, E_b)를 끊고 일함수(work function, ϕ)를 뛰어 넘을 수 있는 운동에너지가 필요하다. 그림 18에서 시료에 특정 에너지($h\nu$)를 가진 X-선의 을 조사하면 에너지를 전달 받은 가전자대의 전자가 결합 에너지(E_b)를 끊고 물질의 일함수(ϕ)를 뛰어넘어 광전자가 방출되게 된다. 이때 방출된 광전자의 운동 에너지(E_{kin})가 측정되면 아래 식을 통해 해당 시료의 전자 결합에너지를 도출 할 수 있다(3-2).

$$E_{kin} = h\nu - E_b - \phi \quad (3-2)$$

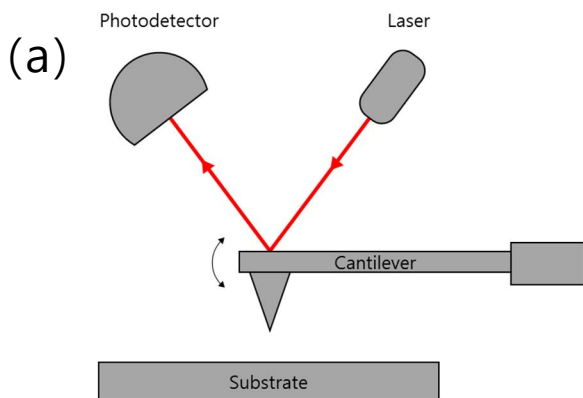


Figure 16. (a) Schematics of Atomic Force Microscope (AFM) and (b) BRUKER, Icon-PT-PLUS

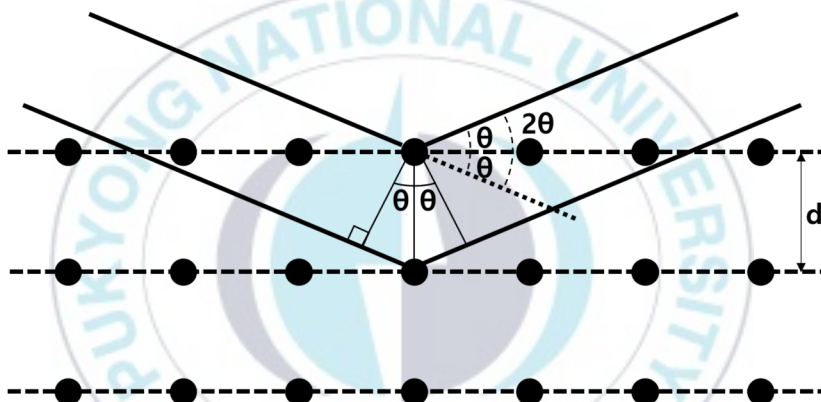


Figure 17. Schematic diagram of X-Ray Diffraction (XRD) in the lattice

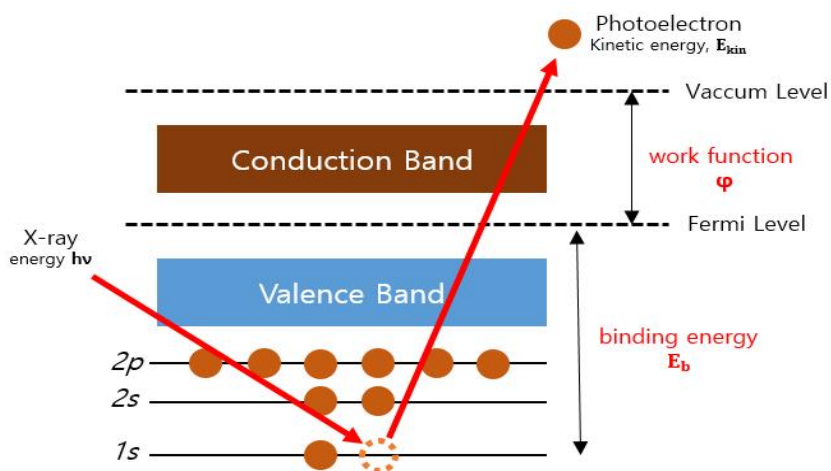


Figure 18. Principle of X-ray Photoelectron Spectroscopy (XPS)

IV. SEGI 가 적용된 유기물-무기물 하이브리드 TFT

의 전기적 특성 평가

전해질 절연체가 적용된 FET 는 저전압 하에서 높은 전기적 특성을 가진다.^[30] 하지만 대부분의 n-type 고분자 반도체의 경우 전해질 절연체 기반 TFT 에서 반도체 특성이 나타나지 않는데, 이는 아직까지 정확한 이유가 밝혀진 바가 없다. 하지만 전해질 절연체가 적용된 인쇄 전자 기반 논리/연산 회로의 구현을 위해선 p-type 과 n-type TFT 의 균형 있는 전하 특성이 요구되며, 이를 바탕으로 CMOS(complementary metal oxide semiconductor)기반의 인버터(inverter)를 구현하고 집적화해야한다.^[1] 따라서 전해질 절연체 기반 양극성 TFT 를 제작하기 위한 방법으로 반대된 전하 성질을 가지는 p-type 고분자 반도체와 n-type 금속 산화물 반도체를 적층하여 bi-layer 구조를 제작해 균형 있는 전하 특성을 가지게 할 수 있다. 기존에 유기물-무기물 bi-layer 를 활용한 양극성 TFT 소자에 관한 연구는 절연층으로 SiO₂ 와 CYTOP 등이 활용되었다.^[31] 본 연구에서는 유기물-무기물 bi-layer 양극성 TFT 가 보다 낮은 전압 하에서 높은 전기적 특성을 가질 수 있도록 하기 위해 고체 상태의 전해질 절연체인 SEGI 를 적용하였으며 이를 바탕으로 CMOS-like 인버터를 제작하였다.

1. 소자 제작

그림 19는 본 연구에서 제작된 TG/BC 구조의 bi-layer TFT의 모식도이다. 활성층을 코팅 전 리프트-오프 포토리소그래피 공정으로 전극 패턴이 형성된 유리기판의 세척을 위해 ultrasonic bath에서 acetone과 isopropanol 순으로 10분간 초음파 세척 진행 후 고압 질소를 이용해 기판을 건조하였다. 본 연구에서 사용된 고분자 반도체인 P3HT(Rieke Metals, Inc)는 10 mg/ml와 2 mg/ml 농도로 1,2-dichlorobenzene에 용해시켰으며, 산화물 반도체인 IGO는 Indium(III) nitrate hydrated(99.999 %, trace metals basis, Sigma-Aldrich)와 Gallium(III) nitrate hydrate(99.9 %, trace metals basis, Sigma-Aldrich)를 0.05 M의 비율로 2-methoxyethanol에 용해시킨 후 8:2의 부피비로 혼합하여 0.05 M의 IGO 전구체 용액을 제작하였다. 습도가 15 % 이하인 공기 중에서 Au/Ni 전극이 형성된 기판상에 IGO 전구체 용액을 기판에 도포하여 스핀 코팅(4000 rpm, 40 s)을 진행 후 열처리(300 °C, 1 h)과정을 총 2번 반복하여 IGO 박막을 형성하였다. 이때 IGO 박막의 두께는 약 10 nm이다. 이후 질소 분위기의 glove box에서 P3HT(2 mg/ml)용액을 스핀 코팅(3000 rpm, 60 s) 후 열처리(150 °C, 1h)를 진행하여 유무기 bi-layer 활성층을 제작하였다. 다음 절연층 형성을 위해 99:1 또는 98:2의 비율로 제작된 SEGI를 스핀 코팅(2000 rpm, 60 s) 후 박막의 잔재한 용매 제거를 위해 건조(80 °C, 1h)과정을 진행 하였다. 마지막으로 고진공(1.0×10^{-6} Torr) 열 증착기를 이용하여 35nm 두께의 Au 게이트 전극을 형성 하여 TG/BC 구조의 TFT를 제작하였다. 마찬가지로 유무기 bi-layer 양극성 활성층이 적용된 CMOS-like 인버터를 제작하기 위해 리프트-오프 포토리소그래피 공정으로 유리기판에 전극을 형성하였다. 이때 소자의 채널 길이와 넓이는 모두 10 μ m, 1 mm로 동일하게 유지하였다. 이후 활성층

및 절연층, 게이트 전극 형성은 TFT 제작 공정과 동일하게 진행하였다. 그림 20 에 CMOS-like 인버터 회로의 개략적인 구성을 나타내었다.



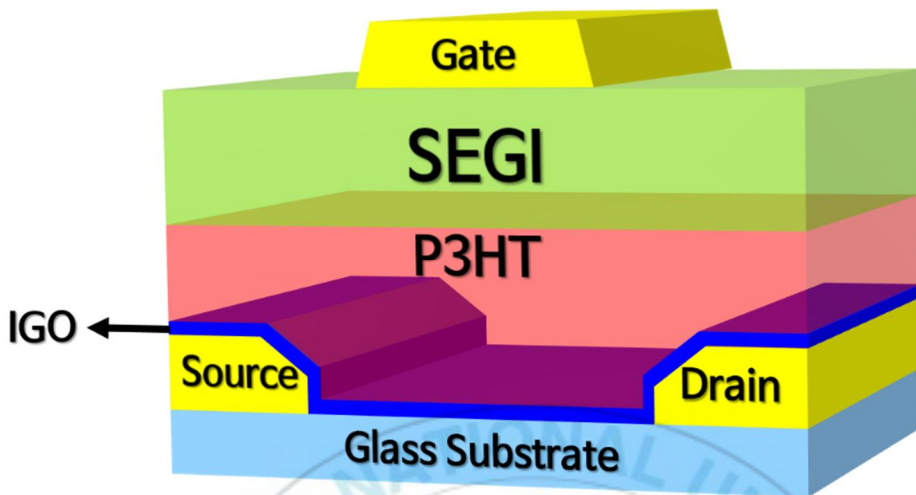


Figure 19. Top-gate/bottom-contact TET device structure with Au source/drain electrodes and solid state electrolyte gate insulator

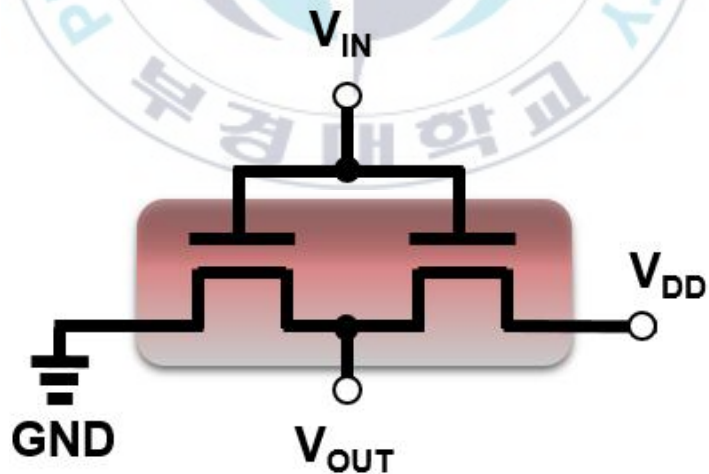


Figure 20. Schematic configuration of corresponding CMOS-like inverter circuit

2. 결과 및 고찰

가. Characterization of Active layer and Dielectric Films

트랜지스터 및 인버터의 전기적 특성을 조사 하기 전 atomic force microscopy (AFM), X-ray diffraction (XRD), X-ray photoelectron spectroscopy (XPS), metal-insulator-metal (MIM) capacitance measurements 분석을 통해 활성층과 절연층의 모폴로지 및 물리적 특성을 조사하였다.

그림 21 은 박막의 표면 모폴로지를 분석하기 위해 Atomic Force Microscope (AFM) 이미지를 나타내었다. SiO_2 상에 코팅된 IGO 0.05 M 의 경우 제곱 평균 제곱근 표면 거칠기 (σ_{RMS}) 가 0.161 nm 로 측정되었으며 P3HT 와 SEGI 99:1 은 각각 0.887 nm, 2.33 nm 로 측정되었다. IGO 는 명확한 입자가 보이지 않으며 제곱 평균 제곱근 표면 거칠기 또한 매우 낮으므로 해당 박막 형성 조건에서 대부분 비정질 구조임을 예상할 수 있다. 그림 22 는 각 P3HT 및 IGO 위에 코팅된 SEGI 의 AFM 이미지이다. 기판상에 바로 코팅된 SEGI 와 각 반도체 상부에 코팅된 SEGI 의 이미지 및 제곱 평균 제곱근 표면 거칠기와 같은 표면 특성에 큰 차이가 없는 것으로 나타났다. 이를 통해 하부에 코팅된 P3HT 및 IGO 는 전해질 절연층의 모폴로지에 미치는 영향이 없다는 것을 알 수 있다.

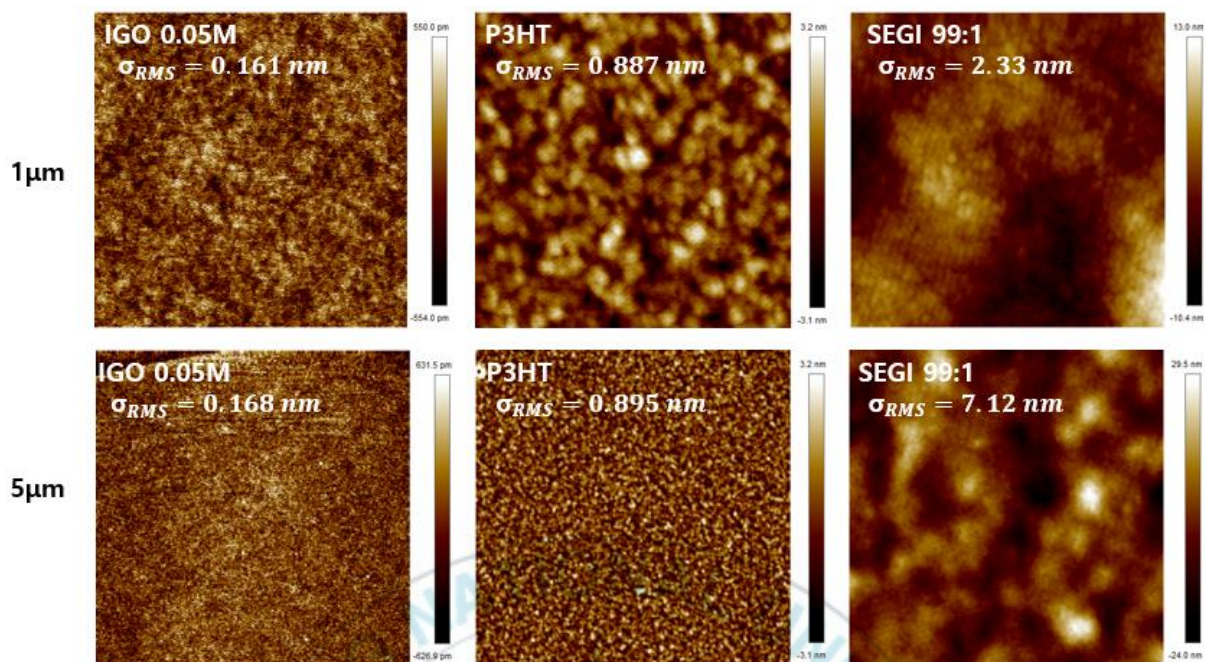


Figure 21. AFM image of IGO, P3HT, SEGI

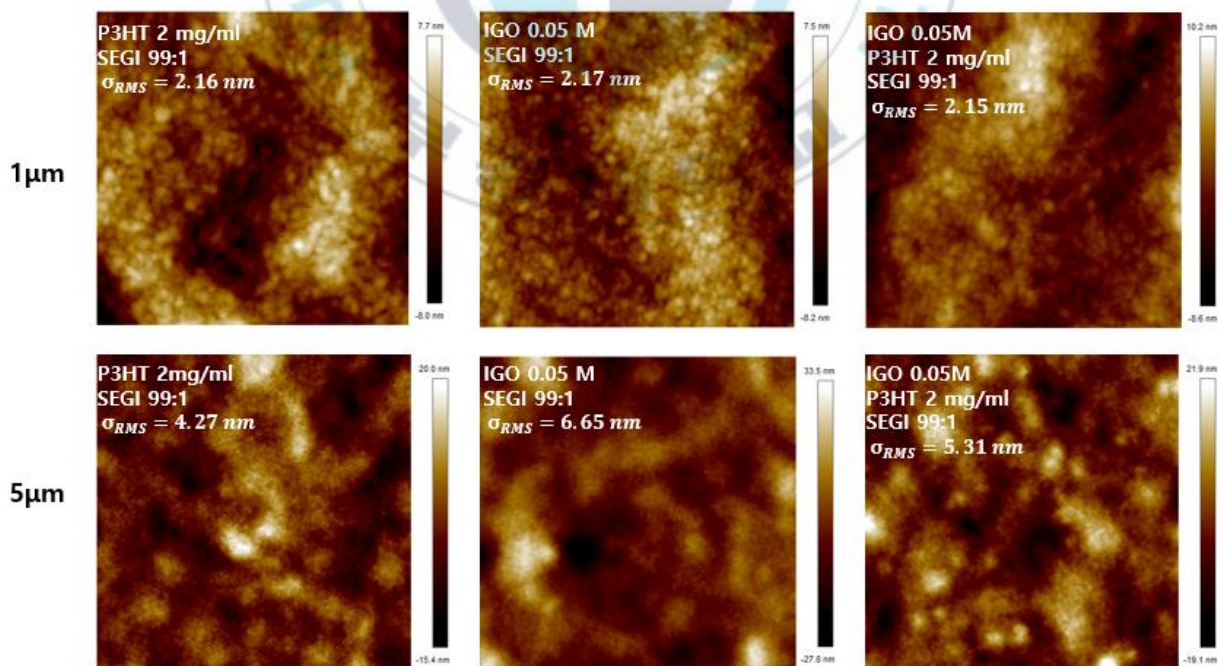


Figure 22. AFM image of SEGI on P3HT, IGO

그림 23 은 스핀 코팅으로 형성한 P3HT 결정구조와 IGO 박막의 열처리 온도에 따른 결정성에 대한 XRD 패턴을 나타내었다. Fig. 20(a) 는 P3HT 의 XRD 패턴을 나타내며 $2\theta = 5.4^\circ$ 에서 피크를 가지는데 이는 전형적인 P3HT 의 (100) 결정면을 나타내며 20° 를 중심으로 넓게 퍼진 값들은 무질서한 고분자 체인에 해당 한다.^[32] 그림 18b 에서 IGO 의 XRD 패턴의 경우 $150^\circ\text{C} \sim 200^\circ\text{C}$ 까지 피크를 가지지 않지만 300°C 에서 열처리를 진행 했을 때 $2\theta = 33^\circ$ 에서 피크를 가진다. 이는 300°C 의 열처리 조건부터 부분적으로 IGO 결정이 형성됨을 알 수 있다.

그림 24 와 그림 25 는 IGO 에 대한 XPS 데이터이다. 이를 바탕으로 본 연구에서 사용된 IGO 의 화학적 조성 및 전자 구조를 분석하였다. 그림 19a 와 그림 19b 는 300°C 에서 열처리된 IGO 박막의 In3d 와 Ga2p 의 XPS 스펙트럼을 보여준다. In3d 의 결합 에너지 피크는 445 eV 와 452 eV 로 나타났는데, 이는 스핀 궤도가 $3d_{5/2}$ 와 $3d_{3/2}$ 로 나뉜 것에 기인된다.^[33] In3d 와 Ga2p 의 결합 에너지 차이는 각각 7.5eV 와 27eV 의 값이 나왔는데, 이는 참고문헌의 값과 일치하다.^[34] 이를 통해 산화물 전구체 용액으로부터 기관상에 IGO 박막이 성공적으로 형성되었음을 알 수 있다. 그림 20 에는 서로 다른 온도에서 열처리한 IGO 박막의 O1s XPS 스펙트럼을 나타내었다. O1s 스펙트럼은 3 가지의 피크가 디콘볼루션(deconvolution)된 가우스 피팅 (Gaussian fitting)으로 분석되었다. 531.5 eV 와 532.7 eV 부근의 피크는 각각 산소 공공이 있는 산화물 격자 내의 산소와 IGO 전구체 내의 탄화수소 및 박막 표면에 흡착된 OH/O₂ 와 같은 오염물에 해당된다. 530.3 eV 부근의 피크는 Ga 와 In 이온으로 둘러싸인 O²⁻ 금속 산화물에 의해 기인된다. 열처리 온도에 따라서 각 피크들은 변화를 보이는데, 열처리 온도가 증가 됨에 따라 금속산화물에 해당하는 530 eV 부근의 피크는 증가되고 탄화수소에 해당되는 피크는 감소한다. 이러한 결과로부터 In(NO₃)₃ · xH₂O 와 Ga(NO₃)₃ · xH₂O 전구체는 250°C 이상에서는 대부분 분해되어 IGO 격자를 형성한다는 것을 알 수 있다.

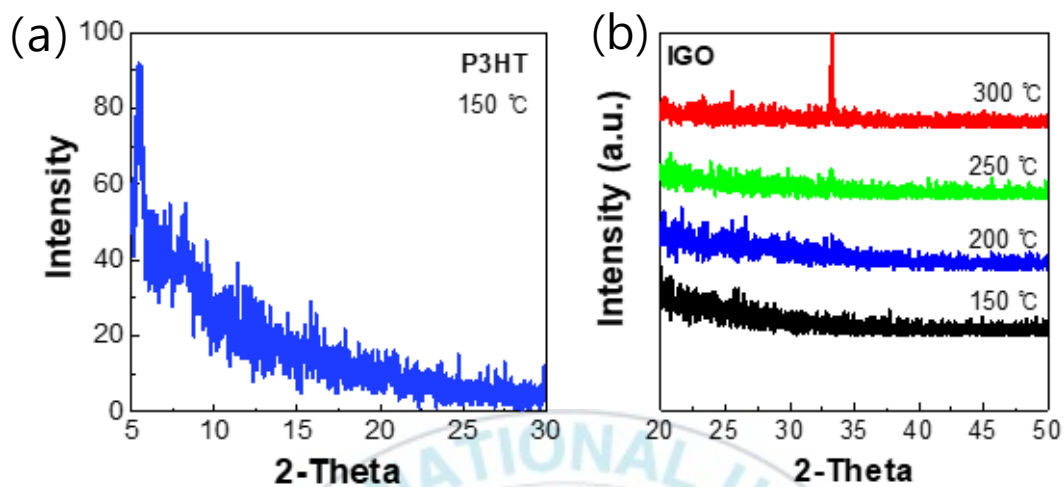


Figure 23. XRD pattern of P3HT and IGO

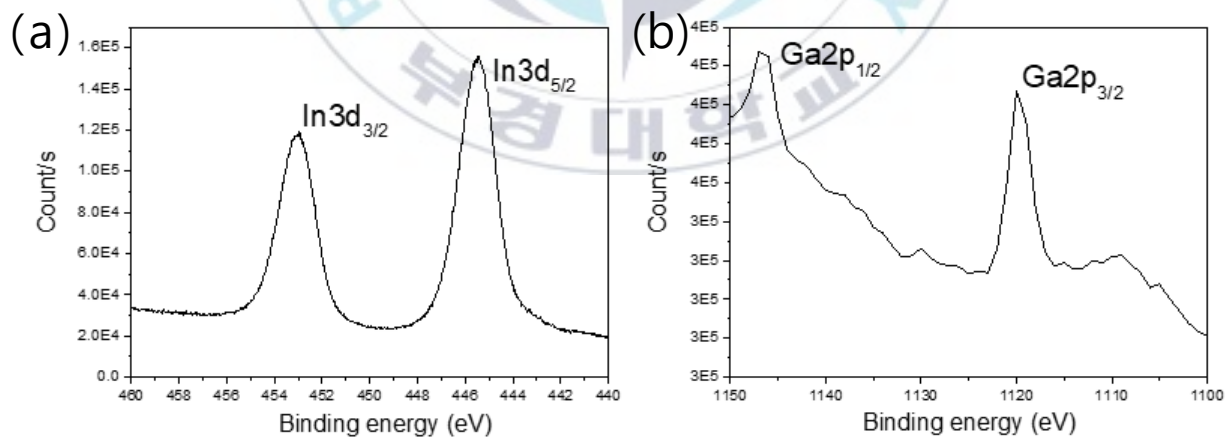


Figure 24. XPS In3d and Ga2p spectra of IGO film with various chemical compositions

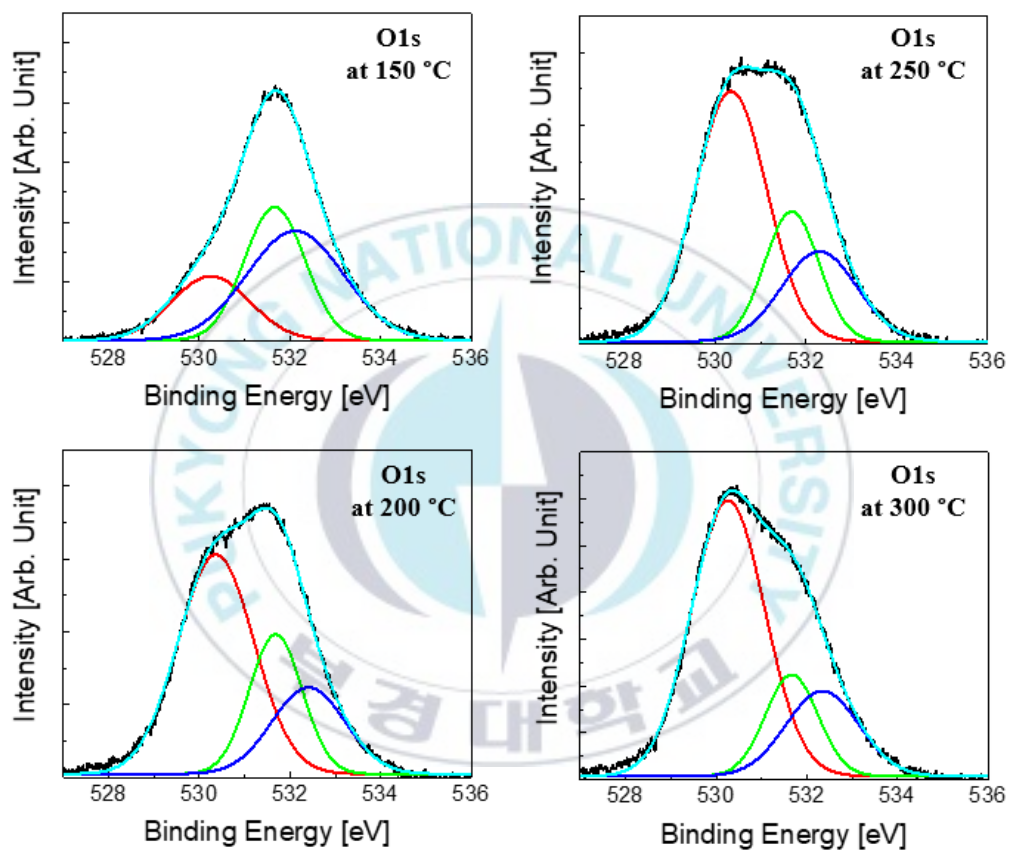


Figure 25. XPS O1s spectra of IGO film with various chemical compositions

나. Electrical Characteristics of Single layer TFTs

유기물-무기물 bi-layer TFT 의 전기적 성능을 조사하기 전 실험에 이용되는 반도체 물질을 기반으로 single-layer TFT 의 전기적 성능을 조사하였다. 제작된 TFT 소자는 질소 분위기의 glove box 내에 설치된 probe station 과 Keithley 4200 반도체 특성분석기로 전기적 특성을 평가 하였으며 반도체 특성 평가의 기준인 전계 효과 이동도(μ_{FET})는 transfer curve 에 표현된 드레인-소스 전류 ($I_D^{0.5}$) 대 게이트-소스 전압 (V_G)의 포화 영역(saturation regime)의 linear fit 에서 결정되었다.

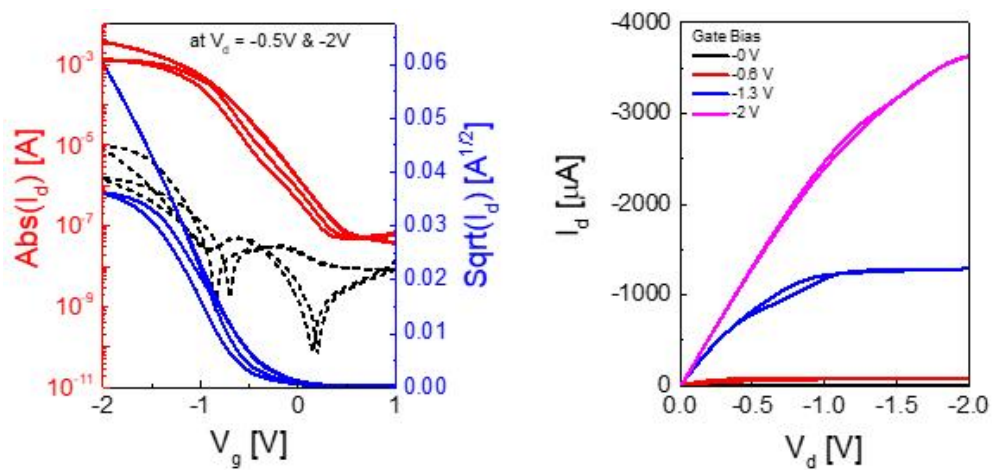
반도체 단일층으로 제작된 TFT 의 transfer curve 와 output curve 를 그림 26 에 나타내었다. 용액 공정으로 제작된 SEGI/P3HT(10 mg/ml), SEGI/P3HT(2 mg/ml) 및 SEGI/IGO(0.05 M) TFT 는 각각 $V_G=+1\sim-2$ V ($V_D=-0.5$ V, -2 V), $V_G=+1\sim-1.5$ V ($V_D=-0.5$ V, -1.5 V) 및 $V_G=-1\sim+2$ V ($V_D=+0.5$ V, $+2$ V)의 전압 범위에서 전기적 특성을 조사하였다. 그림 21a, 21b, 21c 는 SEGI 농도에 따른 P3HT 기반 TFT 의 전달 특성 곡선을 나타내며 전형적인 p-type 전하 전달 특성을 나타낸다. 이때 SEGI 의 EDL 형성으로 유도된 높은 커패시턴스는 2 V 이하의 저전압에서 이상적인 p-type 전기적 특성을 가지게 한다. 그림 21d 와 그림 21e 는 SEGI 의 농도에 따른 IGO 기반 TFT 의 전하 전달 특성 곡선을 나타낸다. 마찬가지로 2 V 이하의 저전압에서 n-type 전달 특성이 잘 나타나는 것을 확인 할 수 있다.

전하 이동도 추출을 위한 SEGI 비율에 따른 커패시턴스 값, 채널 길이, 문턱 전압 및 온/오프 비를 테이블 1 에 나타내었다. P3HT 의 정공 이동도를 MIS(Metal-insulator-semiconductor)구조로부터 50 Hz 에서 얻어진 커패시턴스 값으로 추출 시 $2\text{ cm}^2/\text{Vs}$ 이상의 값을 얻을 수 있으며 이는 기존의 P3HT 레퍼런스 데이터($\sim 0.1\text{ cm}^2/\text{Vs}$)와 비교하여 현저히 높은 전기적 성능이 나타난 것을 확인할 수 있다. 또한 비정질 금속

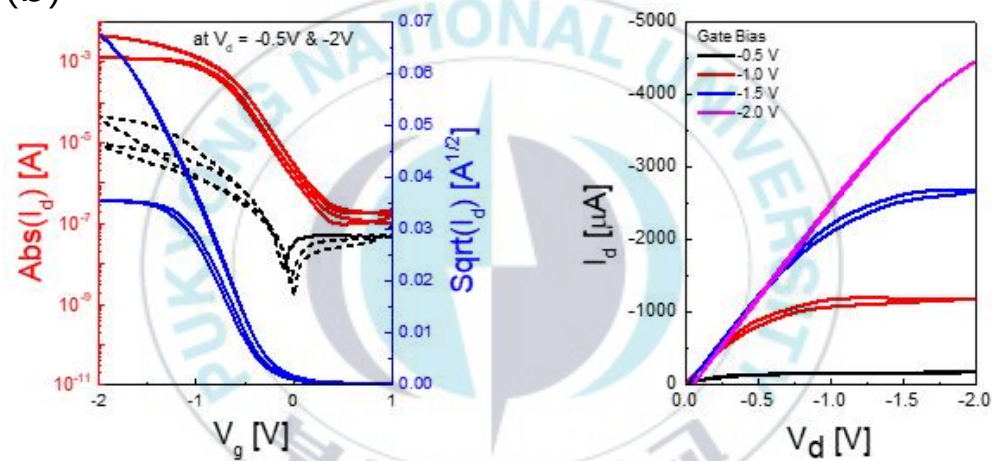
산화물 또한 SEGI 99:1 및 98:2 의 농도에서 이동도가 $2 \text{ cm}^2/\text{Vs}$ 이상의 높은 전류 특성이 나타나는 것을 확인 할 수 있다.



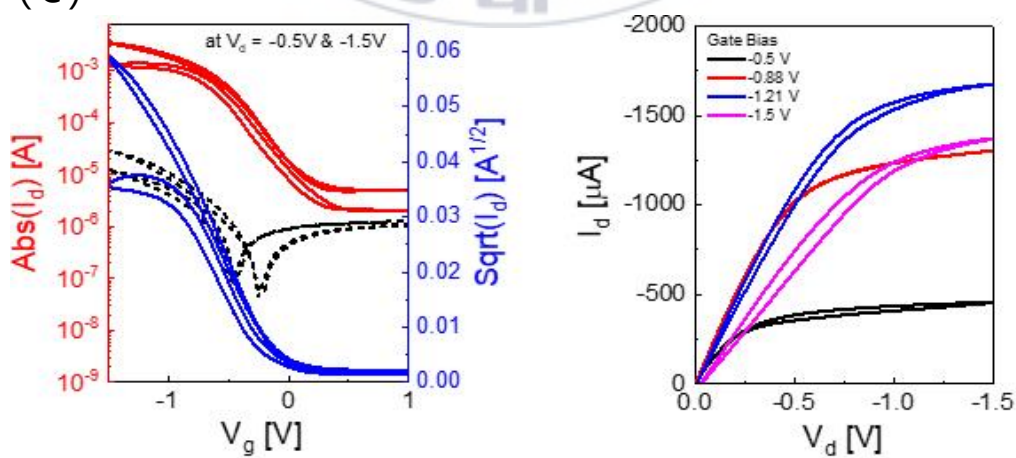
(a)



(b)



(c)



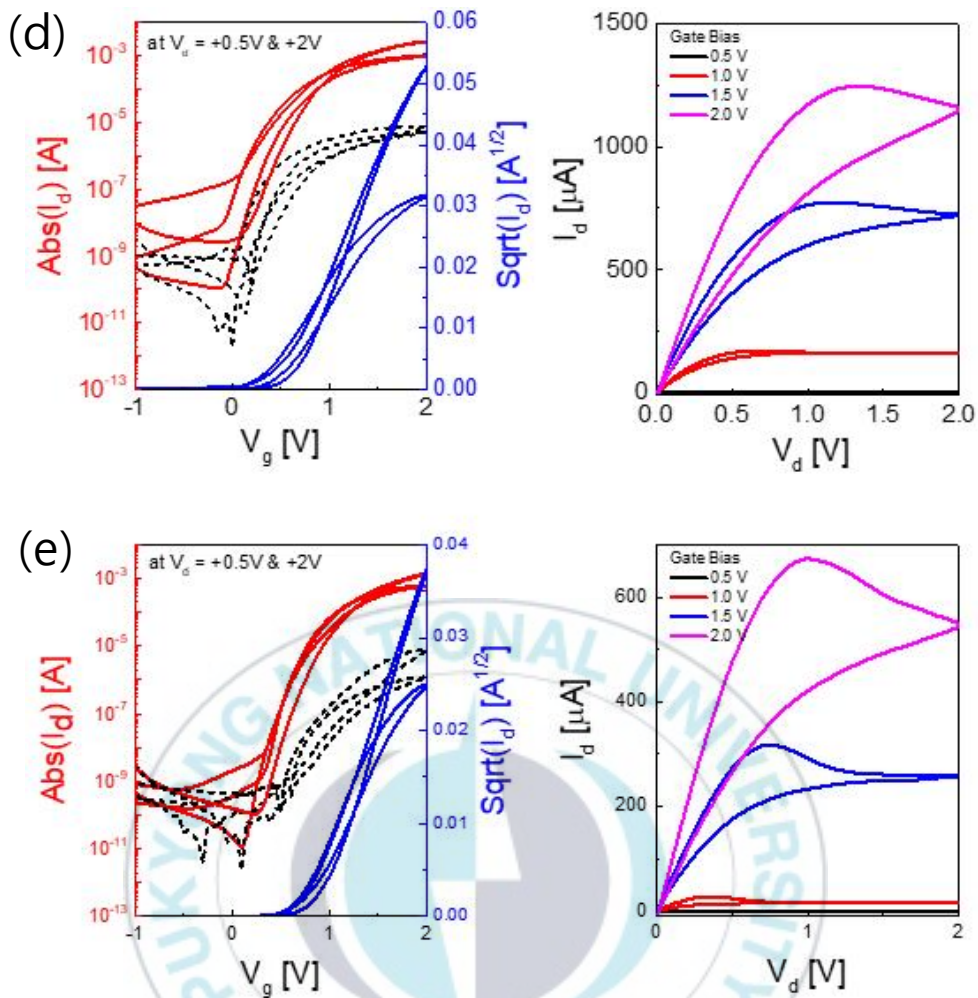


Figure 26. Electrical characteristics of top-gated bottom-contact FETs (a) Transfer and output curves of P3HT(10 mg/ml) FETs with SEGI 99:1 and (b) P3HT(10 mg/ml) FETs with SEGI 98:2 and (c) of P3HT(2 mg/ml) FETs with SEGI (98:2), (d) IGO(0.05 M) FETs with SEGI 99:1 and (e) IGO(0.05 M) FETs with SEGI 99:2 (Gate bias sweep rates = 50 mV/s)

Table 1. Electrical characteristics of various TFTs based on SEGIs

[Capacitance was measured by MIS structure at 50 Hz]^[2]

Active layer	SEGI	Cap ($\mu\text{F}/\text{cm}^2$)	L (μm)	Carrier type	μ_{FET} ($\text{cm}^2/\text{V}\cdot\text{s}$)	V_T (V)	On/off ratio
P3HT 10mg/ml	99:1	9.54	10	Hole	3	-0.35	$>10^4$
P3HT 10mg/ml	98:2	26.76	10	Hole	2.44	-0.23	$>10^4$
P3HT 2mg/ml	98:2	26.76	5	Hole	2.4	-0.06	$>10^3$
IGO	99:1	8.79	5	Electron	2.2	0.63	$>10^6$
IGO	98:2	8.85	5	Electron	3.35	0.96	$>10^7$

다. Electrical characteristics of bi-layer TFTs

SEGI 가 적용된 single-layer TFT 의 전기적 특성을 바탕으로 bi-layer TFT 를 제작하여 전기적 특성 평가를 하였다. 그림 27 은 bottom-contact 구조로 제작된 bi-layer TFT 의 transfer curve 와 output curve 를 나타낸다. 용액 공정으로 제작된 SEGI(99:1)/IGO(0.05 M)/P3HT(2 mg/ml) TFT 의 전기적 특성 측정 범위는 각각 $V_G = +1 \sim -2$ V ($V_D = -0.5, -2$ V) 과 $V_G = +0.5 \sim -3$ V ($V_D = +0.5, +3$ V) 의 전압 범위에서 조사하였다(Gate bias sweep rates = 50 mV/s). 그림 22a 와 그림 22b 는 각각 P-channel 과 N-channel 의 전류 특성을 나타낸다. 전하 전달 특성에서 확인할 수 있는 바와 같이 N 형과 P 형 특성이 모두 잘 나타나는 양극성 TFT 의 전하 거동을 보여준다.

bi-layer TFT로부터 측정된 전기적 특성을 표 2 에 나타내었다. 해당 구조의 커패시턴스 값은 각 단일층 MIS 구조에서 도출된 커패시턴스 값의 평균으로 나타내었다. bi-layer 구조에서 SEGI 99:1 가 적용되었을 때 정공의 전계 효과 이동도는 $0.9 \text{ cm}^2/\text{Vs}$ 이며 전자의 전계 효과 이동도는 $0.72 \text{ cm}^2/\text{Vs}$ 로 나타났다. 이는 SEGI 98:2 가 적용된 조건보다 균형적인 양극성 전하 거동을 보여준다. 전해질 절연체 기반 TFT 의 특징은 게이트 전극을 통해 전계 형성 시 전해질 내에서 이온이 분극되어 활성층과 절연층 계면에 전하가 축적되면서 EDL 형성과 동시에 전하가 움직이는 통로인 채널이 형성되는 것이다. 이러한 특징으로 일반 절연체에 비해 형성되는 채널이 상대적으로 크기 때문에 낮은 전압 하에서 높은 전류값을 유도할 수 있다.

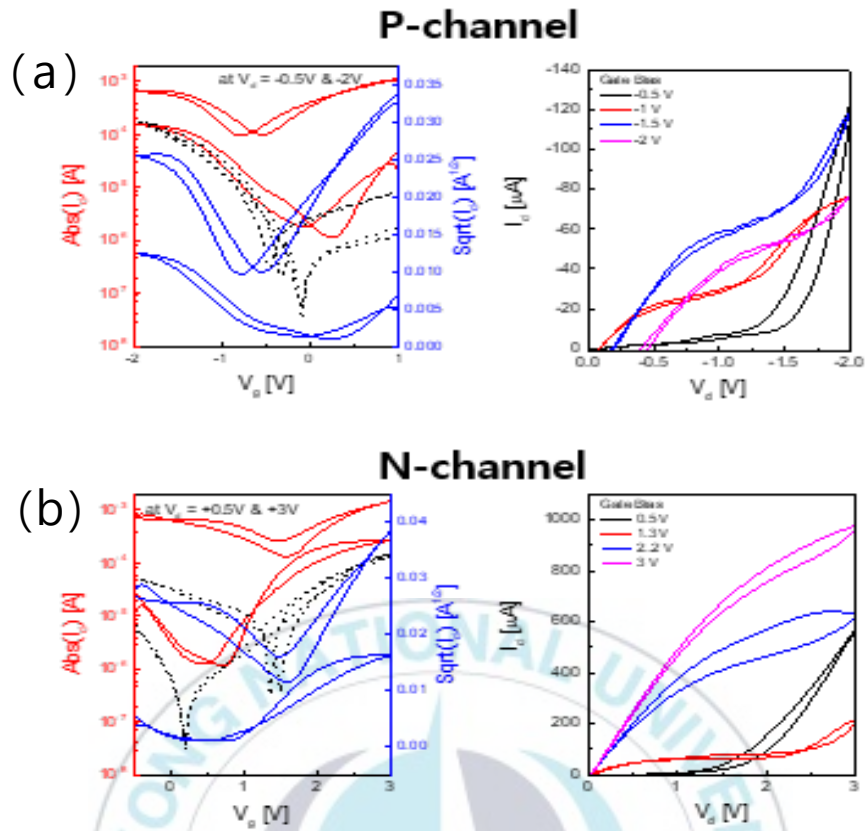


Figure 27. Electrical characteristics of TG/BC Ambipolar Charge Transport in bi-layered Hybrid TFTs. (a) p-channel transfer curve and output curve, (b) n-channel transfer curve and output curve

Table 2. Electrical characteristics of bi-layer TFTs based on SEGIs

Active layer	SEGI	Cap ($\mu\text{F}/\text{cm}^2$)	L (μm)	Carrier type	μ_{FET} ($\text{cm}^2/\text{V}\cdot\text{s}$)	V_T (V)	On/off ratio
IGO-P3HT Bilayer	99:1	9.165	5	Hole	0.9	-0.43	293
				Electron	0.72	1.01	237
IGO-P3HT Bilayer	98:2	17.805	5	Hole	1.73	-0.28	359
				Electron	2.75	0.50	1113

라. Electrical characteristics of CMOS-like Inverters

본 실험에서 제작된 bi-layer TFT 소자의 정공의 전계 효과 이동도는 $0.9 \text{ cm}^2/\text{Vs}$ 이며 전자의 전계 효과 이동도는 $0.72 \text{ cm}^2/\text{Vs}$ 를 가지고 있기 때문에 비교적 균형 있는 양극성 TFT 로 구성된 인버터 회로를 제작할 수 있었다.

그림 23a 는 인버터 소자의 주입 전압(input voltage, V_{IN})에 따른 출력전압(output voltage, V_{OUT}) 특성을 나타내며, $V_{DD} = -1 \sim -2 \text{ V}$ 조건에서 전형적인 Z-shape 의 양극성 반도체에 의한 스위칭 특성을 보여 준다. 그림 23b 는 여러 V_{DD} 조건에서 해당 인버터 소자가 갖는 이득 값을 보여주며, -2 V 의 V_{DD} 에서 2 정도의 가장 높은 이득 값을 보였다.

표 3 은 유무기 bi-layer 활성층이 적용된 SEGI(99:1) 기반 CMOS-like 구조의 인버터 특성이다. 이상적인 인버터의 경우 공급 전압의 절반지점에서 인버팅이 일어나게 된다. 하지만 본 실험에서 제작된 소자의 스위칭이 일어나는 지점(inverting point, V_{inv})은 -2 V 의 V_{DD} 조건에서 약 -1.5 V 로서 약 -0.5 V 정도 음의 방향으로 이동된 것을 볼 수 있다. 이는 해당 TFT 의 전기적 특성에서 이동도는 비교적 균형을 가지지만 문턱 전압의 차이로 n형 영역에서의 채널이 더 늦게 형성되기 때문에 발생하는 문제로 파악할 수 있다. 하지만 아래의 V_{inv} 에 관련된 식(4-1)으로부터 채널 길이(L), 높이(W) 등으로 이루어진 설계 인자(β)를 계산 한다면 인버팅이 되는 지점의 균형을 맞출 수 있으므로 소자 제조 전 적절한 구조를 설계하는 것이 중요하다.

$$V_{inv} = \frac{\sqrt{\frac{\beta_n}{\beta_p}} \cdot V_{Th,n} + (V_{DD} - V_{Th,p})}{1 + \sqrt{\frac{\beta_n}{\beta_p}}} \quad \beta = (W/L)\mu C_i \quad (4-1)$$

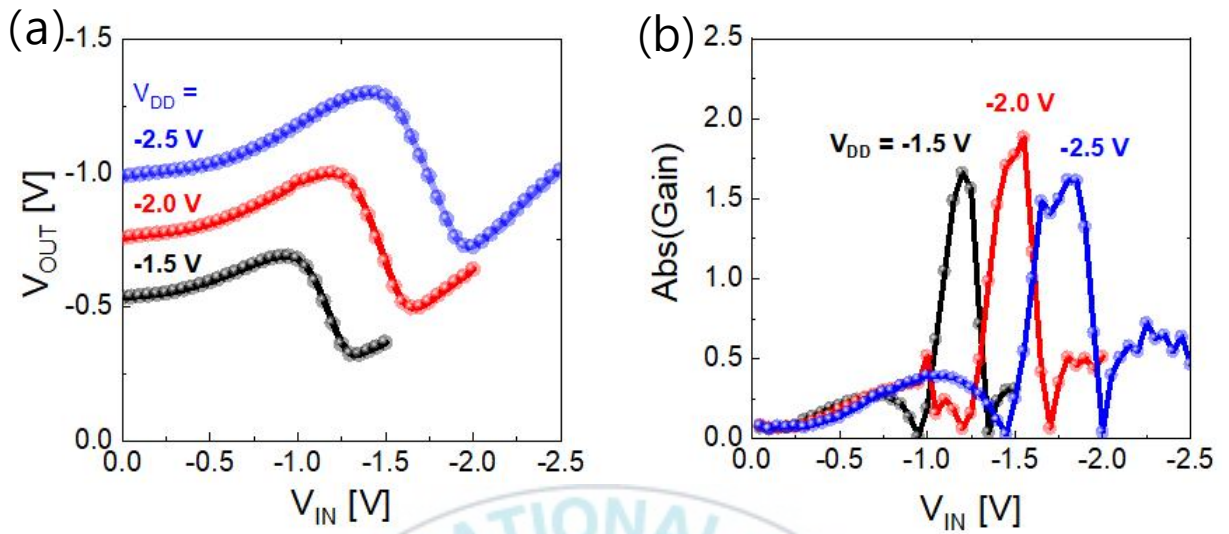


Figure 28. Electrical characteristics of CMOS-like Inverter based on SEGIs (a) Voltage transfer curves of bi-layer and SEGI(99:1) Inverter (b) corresponding gains at various supplied bias (V_{DD})

Table 3. Electrical characteristics of CMOS-like Inverter based on SEGIs

V_{DD} [V]	GAIN	V_{inv} [V]
-1.5	1.7	-1.2
-2.0	2.0	-1.5
-2.5	1.6	-1.8

V. 결 론

본 논문에서는 용액 공정을 통한 유기물-무기물 bi-layer 활성층을 가진 양극성 TFT 를 제작하였다. p-type 유기물 반도체인 P3HT 와 n-type 비정질 산화물 반도체인 IGO 를 이용해 양 극성 간의 균형을 맞췄으며, 특히 고체상태의 전해질 게이트 절연체(SEGIs)의 높은 커패시턴스를 바탕으로 저전압에서 높은 전기적특성을 가질 수 있었다.

소자의 전기적 특성을 조사하기 전 실험에 사용된 시료의 박막 표면 모폴로지 및 물리적 특성을 분석하였다. 먼저 활성층이 SEGI 박막 모폴로지에 미치는 영향을 알아보기 위해 AFM 이미지 분석한 결과 모폴로지에 미치는 영향은 없는 것으로 확인되었으며 XRD 분석을 통해 용액 공정으로 제작된 IGO 박막은 300°C 의 열처리 조건에서 부분적으로 결정들이 생성되어 피크가 관찰된것으로 추측하였다. 또한 XPS 분석을 통해 열처리온도가 증가 될수록 박막 내의 IGO 격자가 증가됨을 알 수 있었다.

용액 공정을 통한 유기물-무기물 bi-layer 구조의 TFT 를 제작하기 전 각 활성층에 대한 single-layer TFT 를 제작하여 전기적 성능을 평가하였다. 실험 결과 P3HT 와 IGO 는 각각 게이트 전압이 -2 V 및 2 V 에서 이동도가 $2 \text{ cm}^2/\text{Vs}$ 이상인 이상적인 transfer curve 를 확인할 수 있었으며 이를 바탕으로 서로 다른 단일 극성을 가지는 각 활성층을 이중 접합 하여 저전압에서 적절한 전계 효과 이동도를 가지는 양극성 bi-layer TFT 및 CMOS 구조의 인버터 회로와 유사한 기능을 하는 CMOS-like 인버터 회로를 구현할 수 있었다.

실험을 통해 얻은 결과를 토대로 기존에 단일 극성으로만 사용되는 유기물 반도체와 무기물 반도체를 적절한 방법으로 구성하고 전해질 기반 게이트 절연체를 적용한다면

저전압 하에서 고성능 논리/연산 회로에 사용될 뿐만 아니라 향후 인쇄 전자 공정으로 고성능 고집적 유연 전자 소자 개발에 활용될 것으로 기대된다.



참 고 문 헌

- [1] K. J. Baeg, M. Caironi, and Y. Y. Noh, *Adv. Mater.* 25, 4210 (2013)
- [2] C. D. Dimitrakopoulos and D. J. Masearo, *IBM J. Res. & Dev.* **45**, 11 (2001)
- [3] S. M. Kang, Y. Leblebici, *CMOS Digital Integrated Circuits: Analysis and Design*, Tata McGraw-Hill (2003)
- [4] <https://ko.wikipedia.org/wiki/CMOS>
- [5] Y. Zhao, Y. Guo, and Y. Liu, *Adv. Mater.*, 25, 5372 (2013)
- [6] T. J. Shin, H. Yang, M.-M. Ling, J. Locklin, L. Yang, B. Lee, M. E. Roberts, A. B. Mallik and Z. Bao, *Chem. Mater.* 19, 5882 (2007)
- [7] Sheng Sun, Linfeng Lan, Yuzhi Li, Honglong Ning, Rihui Yao, Lei Wang and Junbiao Peng *RSC Adv.* 7, 5966 (2017)
- [8] Z. Bao and J. Locklin, *RC Press.* 4, 3 (2007)
- [9] 백장준, 김동유, 유인규, 구재본, 노용영. *Polymer Science and Technology* Vol. 20, No. 4, (2009)
- [10] Chang-Ho Choi, Yu-Wei Su, Liang-Yu Lin, Chun-Cheng Cheng and Chih-hung Chang, *RSC Advances.* 5, 93779 (2015)
- [11] 박상희. *화학세계* (2013.08)
- [12] Kenji Nomura, Toshio Kamiya, Hiromichi Ohta, Tomoya Uruga, Masahiro Hirano, and Hideo Hosono, *Phys. Rev.* 75, 035212 (2007)
- [13] 이동희, 김현지, 이근형, *Polymer Science and Technology* Vol. 26, No. 6 (2015)

- [14] K. H. Lee, S. Zhang, Y. Gu, T. P. Lodge, and C. D. Frisbie, *ACS. Appl. Mater. Interfaces*. 5, 9522 (2013)
- [15] J. Nagasawa, H. Matsumoto, and M. Yoshida, *ACS Macro Lett.* 1, 1108 (2012)
- [16] CK. H. Lee, M. S. Kang, S. Zhang, Y. Gu, T. P. Lodge, C. D. Frisbie, *Adv. Mater.* 24, 4457 (2002)
- [17] S. Chen, S. Zhang, X. Liu, J. Wang, J. Wang, K. Dong, J. Sun, B. Xu, *Phys. Chem. Chem, Phys.* 16, 5893 (2014)
- [18] J. H. Cho, J. Lee, Y. Xia, B. Kim, Y. He, M. J. Renn. *Nature Materials*. 7, 900 (2008)
- [19] Keun Hyung Lee , Moon Sung Kang , Sipei Zhang , Yuanyan Gu , Timothy P. Lodge and C. Daniel Frisbie, *Adv. Mater.* 24, 4457 (2012)
- [20] Z. Bao, A. Dodabalapur, A. Lovinger, *Appl. Phys. Lett.* 69, 4108 (1996)
- [21] Wang, S.-L., Chen, C.-Y., Hsieh, M.-K., Lee, W.-C., Kung, A. H. and Peng, L. Proceedings of 2008 Joint Non-Volatile Semiconductor Memory Workshop and International Conference on Memory Technology and Design. *IEEE*. 33 (2008)
- [22] Chiang, H. Q., Hong, D., Hung, C. M., Presley, R. E., Wager, J. F., Park, C.-H., Keszler, D. A. and Herman, G. S. J. *Vac. Sci. & Technol. B*, **24**, 2702 (2006).
- [23] 배은진, 이진영, 한승열, Chih-Hung Chang, 류시옥. *Korean Chem. Eng. Res.* Vol. 49, No. 5, (2011)
- [24] Jung, J. Y., Park, N.-K., Han, S.-Y., Lee, T. J., Ryu, S. O. and Chang, CH. *Curr. Appl. Phys.* **8**, 720 (2008).
- [25] Xinyu Wang, Boyu Peng and Paddy Chan. *MRS Advances*. **10**, 1557 (2016)
- [26] 이수경. *LG POLYMER JOURNAL*. (2014)
- [27] Z. Bao and J. Locklin, *Organic Field-Effect Transistors*, CRC Press, New York, Chap. 4.3 (2007)

- [28] 장미, 양희창. *Polymer Science and Technology*. Vol. 20, No. 6, (2009)
- [29] K. Siegbahn, *Science*. **217**, 111 (1981)
- [30] Jiyoul Lee, Matthew J. Panzer, Yiyong He, Timothy P. Lodge, and C. Daniel Frisbie. *J. Am. Chem. Soc.* **129**, 4532 (2007)
- [31] H. Nakanotani, M. Yahiro, C. Adachi and K. Yano, *Appl. Phys. Lett.* **90**, 262104. (2007)
- [32] Ryan C. Nieuwendaal, Chad R. Snyder, and Dean M. DeLongcham. *ACS Macro Lett.* 3, 130 (2014)
- [33] Chang-Ho Choi, Yu-Wei Su, Liang-Yu Lin, Chun-Cheng Cheng and Chih-hung Chang. *RSC Adv.* 5, 93779 (2015)
- [34] Chun, H. J, Choi, Y. S, Bae, S. Y, Choi, H. C. and Park, J. H. *Appl. Phys. Lett.* 85, 461 (2004)

