



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사 학위논문

델타-시그마 변조기와 스퍼감소회로를
사용하여 스퍼 크기를 줄인 위상고정루프



2022 년 2 월

부 경 대 학 교 대 학 원

전 자 공 학 과

한 근 형

공학석사 학위논문

델타-시그마 변조기와 스퍼감소회로를
사용하여 스퍼 크기를 줄인 위상고정루프

The logo of Pukyong National University is a circular emblem. It features a central stylized figure that resembles a compass needle or a lightning bolt, pointing upwards. The figure is set against a background of concentric circles and curved lines. The text "PUKYONG NATIONAL UNIVERSITY" is written in a circular path around the top half of the emblem, and "부경대학교" is written in Korean along the bottom half.

지도교수 최 영 식

이 논문을 공학석사 학위논문으로 제출함

2022 년 2 월

부 경 대 학 교 대 학 원

전 자 공 학 과

한 근 형

한근형의 공학석사 학위논문을 인준함

2022 년 2 월 25 일



주 심 공학박사 최 혁 환 (인)

위 원 공학박사 최 영 식 (인)

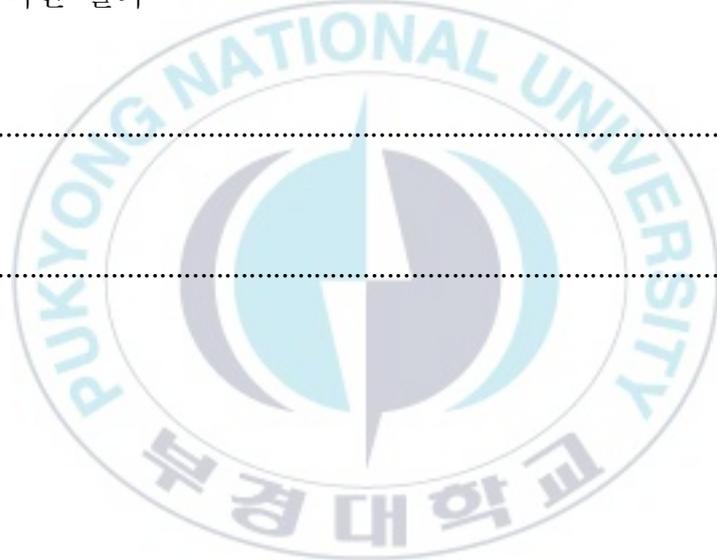
위 원 공학박사 이 원 창 (인)

목 차

Abstract

I. 서론	1
II. 위상고정루프의 기본 이론	3
2.1 위상고정루프의 구조 및 이론	3
2.2 기본 블록들의 동작특성	6
2.2.1 위상 검출기	6
2.2.2 전하펌프와 루프필터	9
2.2.3 전압 제어 발진기	11
2.2.4 주파수 분주기	11
2.3 전하펌프 위상 고정 루프의 선형적 분석	12
III. 델타-시그마 변조기와 스퍼감소회로를 사용하여 스퍼 크기를 줄인 위상고정루프	17
3.1 위상고정루프의 스퍼 해석	17
3.2 제안한 위상고정루프의 구조	18
3.3 회로 설계	23
3.3.1 위상 주파수 검출기	23

3.3.2 전하 펌프	25
3.3.3 델타-시그마 변조기	27
3.3.4 전압제어 발진기	30
3.3.5 스퍼 감소 회로	31
3.3.6 주파수 분주기	32
IV. 시뮬레이션 결과	33
V. 결론	36
참고문헌	37



Spur Reduced PLL with $\Delta\Sigma$ Modulator and Spur Reduction Circuit

Geun-Hyeong Han

Department of Electronic Engineering, Graduate School,

Pukyong National University

Abstract

A novel PLL with a delta-sigma modulator and a spur reduction circuit is proposed. delta-sigma modulator makes the LF remove noise easily by moving the spur noise to a higher frequency band. Therefore, the magnitude of spur can be reduced the reasonable bandwidth. The spur reduction circuit reduces the spur size by reducing the LF voltage change generated during the period of reference signal. The spur reduction circuit is designed as simple as possible not to increase the size of PLL. The proposed PLL with the previous two techniques is designed with a supply voltage of 1.8V in a 0.18um CMOS process. Simulation results show an almost 20dB reduction in the magnitude of spur. The spur reduced PLL can be used in narrow bandwidth communication system.

I. 서 론

통신기술이 점차 발달하면서 이에 사용되는 고주파 신호에서의 안정적인 동작을 위해 보다 뛰어난 주파수 합성기로 가장 많이 사용되는 위상고정루프(Phase Locked Loop; PLL)의 성능은 시스템 전체의 성능에 직결되는 중요한 요인이라 할 수 있다. 통신 시스템에서 사용되는 위상고정루프의 주요한 성능지표는 잡음, 특히 스퍼 특성이다. 스퍼는 통신 회선 내의 간섭 및 방해를 일으키므로 반드시 제거 또는 감소시켜야만 하는 성분이다. 칩이 점차 소형화되어짐에 따라 스퍼가 시스템에 미치는 영향이 점차 증가되고 있기에 스퍼를 제거할 수 있는 위상고정루프가 요구되어지고 있다.

위상고정루프에서 발생하는 스퍼는 크게 기준신호 스퍼와 각 구성요소에서 발생하는 스퍼로 구분할 수 있다. 위상고정루프 구성요소의 개선을 통한 스퍼 생성억제 연구가 많이 행해지고 있다.[1]-[3]. 발진기 내부에 적분기를 이용한 구조를 접목시켜 기준신호 스퍼를 줄이는 시도[1]와 LC발진기를 개선한 발진기를 사용[2]하여 스퍼의 크기를 줄이는 시도가 있었지만 이 방법들은 복잡한 구조의 전압제어발진기를 사용하여야 한다는 단점이 있다. 루프궤 대역폭을 줄이거나 전압제어발진기의 이득을 줄여 스퍼의 크기를 줄일 수 있으나 위상고정 시간은 증가하게 된다.[3]-[4] 기준신호를 부스팅하여 공급하는 기법[5]으로 기준신호 스퍼의 크기는 줄였으나 위상잡음특성이 나빠지는 결과를 초래하였다. Fractional-N 구조에 자가 주입기법을 도입[6]하여 Fractional-N 구조에서 반드시 동반되는 fractional 스퍼를 줄였지만 발진기 출력신호를 지연시키는 과정에서 외부요인 변화가 생길 경우 정확한 지연시간을 제어하기가 상당히 힘들어진다. 스퍼에 해당하는 신호를 상쇄시키

는 기법[7]이 제안되어 스퍼의 크기를 줄였으나 이를 위해 복잡한 구조가 동반되어 설계하기가 다소 어려워진다. Integer-N 분주기의 단점을 보완하고 Dual Modulus 전치분주기를 사용하여 높은 주파수에서도 저전력으로 동작하는 Fractional-N PLL을 제안하였다.[8] [8]은 제한적인 주파수에서 적용되고, 복잡한 구조로 인한 면적문제가 생기게 된다. 적응적 위상잡음 상쇄기를 활용한 Fractional-N PLL을 구현하여 넓은 대역폭과 저전력의 PLL을 구현하였다.[9] [9]에서의 구조는 4차 루프필터를 사용해야한다는 점과 복잡한 구조의 디지털 블록으로 만들어지기 때문에 칩의 전체적인 크기가 커지게 된다. Digital-to-Analog Converter(DAC)를 사용하여 구현하였다.[10] 이는 전력소모와 면적이 증가하는 문제가 생기게 된다.

본 논문에서는 델타-시그마 변조기와 스퍼감소회로를 사용하여 스퍼 잡음을 높은 주파수 대역으로 이동시켜 루프 필터로 제거하는 방법과 한 주기당 발생하는 루프필터 전압변화를 감소시키는 방법을 같이 사용하여 스퍼 특성을 크게 개선하였다. 이는 각 구성요소의 성능을 개선시키지 않고도 회로 전체의 스퍼를 감소시켜준다.

II. 위상고정루프의 기본 이론

2.1 위상고정루프의 구조 및 이론

주파수 합성기 또는 클럭 신호 생성기를 구현하는 방법에는 여러 가지가 제안되어 왔다. 그중에 가장 보편적으로 사용하는 방법이 위상 고정 루프(PLL : Phase-Locked Loop)를 이용 하는 것인데, 그 이유는 위상 고정 루프는 낮은 위상잡음, 낮은 스퍼 분포 등 여러 가지 장점을 가지고 있기 때문이다.

위상 고정 루프는 기준 주파수에 대해 주파수와 위상이 같은 신호를 만들어 내는 회로이다. 위상 고정 루프의 여러 특성 중 위상 고정루프로서 위상 고정 루프의 동작특성을 나타내는 지표는 위상잡음(phase noise), 위상 고정 시간, 스퍼 등이 있다. 이들 모두 위상 고정 루프의 대역폭에 의해 영향을 받는다. 대역폭이 넓어지면, 위상 고정 시간은 짧아지나 잡음특성이 나빠지고, 대역폭이 줄어들면 반대의 효과가 나타나는 상충 관계이다. 대역폭은 위상 고정 루프에 인가되는 기준 주파수에 의존한다. 본 논문에서 다루고 있는 위상 고정 루프는 전하 펌프 위상 고정 루프로 기본적인 블록 다이어그램은 그림2.1과 같다.

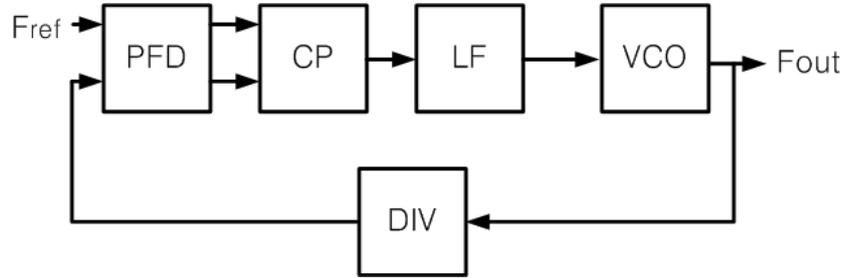


그림 2.1 기본 위상 고정 루프 블록 다이어그램

위상 고정 루프는 위상 주파수 검출기(PFD), 전하 펌프(CP), 루프 필터(LF), 전압 제어 발진기(VCO), 주파수 분주기(DIV)의 주요 부분으로 나누어져 있다. 위상 고정 루프의 동작을 살펴보면, 위상 주파수 검출기는 외부로부터 입력되는 기준 주파수 신호와 전압 제어 발진기에서 생성되는 신호의 위상과 주파수를 비교하여 위상 및 주파수의 차이에 해당하는 신호를 출력하여 전하 펌프를 구동한다. 전하 펌프는 입력 신호의 펄스폭에 비례하는 전류를 구동하여 루프 필터의 커패시터를 충전 또는 방전시킴으로써 전압 제어 발진기의 출력신호와 위상을 기준 주파수의 위상과 주파수에 동일하게 만드는 전압 제어 발진기의 제어전압을 발생시킨다.

위상 고정 루프가 위상 고정되는 과정은 비선형적 과정이지만 위상 고정된 후에는 위상 고정 루프를 선형 모델링 할 수 있다. 그림2.2는 위상 고정 상태에서 위상 고정 루프의 선형모형을 나타내며 전달함수는 식(2-1)과 같다.

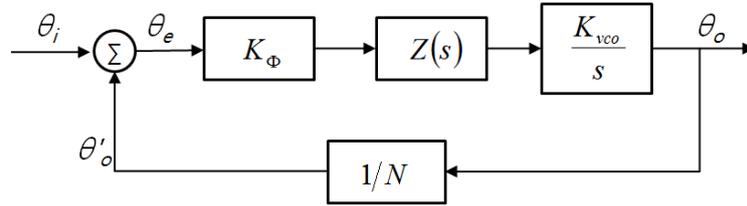


그림 2.2 위상 고정 상태에서의 위상 고정 루프 선형 모델

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{K_\Phi \cdot Z(s) \cdot \frac{K_{VCO}}{s}}{1 + \frac{1}{N} \cdot K_\Phi \cdot Z(s) \cdot \frac{K_{VCO}}{s}} \quad (2-1)$$



2.2 기본 블록들의 동작특성

2.2.1 위상 주파수 검출기 (phase frequency detector)

일반적으로 두 클록의 위상을 비교하는 블록은 위상 주파수 검출기 이다. 이 위상 주파수 검출기의 특성에 따라 정적 스큐, bang-bang 지터 등의 크기가 결정된다. 가장 쉽게 생각할 수 있는 것은 D Flip-Flop을 위상 주파수 검출기로 생각하는 것인데 이 경우 D Flip-Flop의 셋/홀드 시간만큼의 불확실 영역이 있어 이로 인해 지터가 증가할 수 있고, 위상 오차가 양(+)인지 (-)인지만 판단하기 때문에 bang-bang 지터가 발생할 수 있는 단점을 가진다.

현재는 위상과 주파수 차이를 동시에 검출하는 순차회로인 3-상태 (3-state) 위상 주파수 검출기 구조가 가장 보편적으로 사용되고 있다. 그림 2.3은 3-상태 위상 주파수 검출기의 구조를 나타낸다.

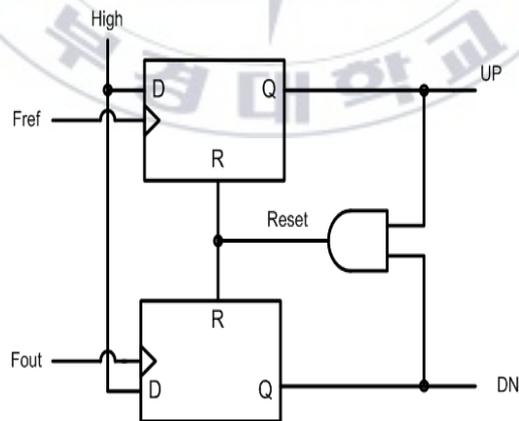


그림 2.3 위상 주파수 검출기의 기본 구조

3-상태 위상 주파수 검출기는 2개의 D Flip-Flop과 1개의 AND 게이트로 구성되어 있다. 이 구조는 edge-triggered 순차회로로 2개의 D Flip-Flop의 입력으로 기준 주파수 신호(F_{ref})와 전압 제어 발진기(VCO)의 출력 주파수 신호 (F_{out})의 이행 조건에 따라 동작하기 때문에 두 입력 신호의 듀티비(duty ratio)에 대해 무관한 특성을 나타낸다.

그림 2.4는 3-상태 위상 주파수 검출기의 상태도를 나타낸다. 위상 주파수 검출기는 기준 신호와 전압 제어 발진기의 출력신호의 위상 차이에 비례하는 폭을 가진 출력 펄스를 생성하고, 두 입력 중 빠른 위상을 가진 입력이 어떤 것인가에 따라 UP, DN 펄스를 출력 신호로 내보낸다.

예를 들어, 기준 신호가 전압 제어 발진기의 출력 신호보다 위상이 빠르다고 하면, 그 위상차에 해당하는 펄스폭을 가지는 UP 신호를 출력한다. 반대로 기준 신호가 전압 제어 발진기의 출력 신호보다 위상이 느리다고 하면, 마찬가지로 그 위상차에 해당하는 DN 신호를 출력한다.



그림 2.4 위상 주파수 검출기의 상태도

위상주파수 검출기의 출력 UP 신호는 전하펌프를 구동시켜 루프필터의 커패시터를 충전하여 전압을 상승시킨다. 마찬가지로 DN 신호는 루프필터

의 충전된 전하를 방전하여 전압을 하강시킨다.

기준신호와 전압 제어 지연단의 출력 신호가 같아지면 이상적인 경우 위상주파수 검출기의 출력인 UP, DN 신호가 없고, 이에 따라 전하펌프의 구동이 없게 된다. 그리고 전하펌프의 전류 구동이 없기 때문에 루프필터의 커패시터에 충전, 방전이 없게 되므로, 전압 제어 발진기의 입력제어전압은 항상 일정한 값을 유지하게 된다. 그러나 실제의 경우, 위상주파수 검출기의 D Flip-Flop의 리셋 시간에 의해 리셋 펄스가 생성된다.

위상 주파수 검출기에 입력되는 두 입력 위상간의 위상차를 $\Delta\theta$ 라디안이라 하면, 위상 주파수 검출기는 주기가 $1/f_{PFD}$ 이고 펄스의 크기가 (duration) $|\Delta\theta|/\omega_{PFD}(=2\pi f_{PFD})$ 인 펄스를 발생시킨다. 전하펌프의 전류가 I_p 라 할 때, 이는 전하펌프에 인가되어 한 주기 당 $I_p\Delta\theta/2\pi$ 의 전류를 루프필터에 전달해 준다. 이를 루프필터는 전압으로 바꾸어 주는 역할을 한다. 이를 수식으로 표현하면 식2-2와 같다.

$$V_{cont}(s) = \frac{1}{2\pi} \cdot I_p \cdot G_{LF}(s) \cdot \Delta\theta(s) \quad (2-2)$$

위의 수식에서 V_{cont} 는 루프필터의 출력 전압이며, G_{LF} 는 루프필터의 전달함수이다.

2.2.2 전하 펌프와 루프 필터

그림 2.5는 위상 고정 루프에서 사용되는 전하펌프(CP : Charge Pump)와 루프필터(LF: Loop filter)의 구성을 나타낸다. 전하펌프는 위상 주파수 감지기의 출력인 UP, DN 신호를 입력으로 받아서 전류를 공급하거나 빼는 역할을 한다. 전하펌프는 전류원, 싱크(sink) 그리고 UP, DN 신호에 의해 전류원을 ON/OFF 시키는 스위치로 구성된다. 전하펌프의 UP, DN 동작에 의한 전류 공급은 위상 고정 루프 특성에 매우 중요한 역할을 하는데 이는 위상 고정 루프 출력 주파수의 지터에 영향을 끼치기 때문이다.

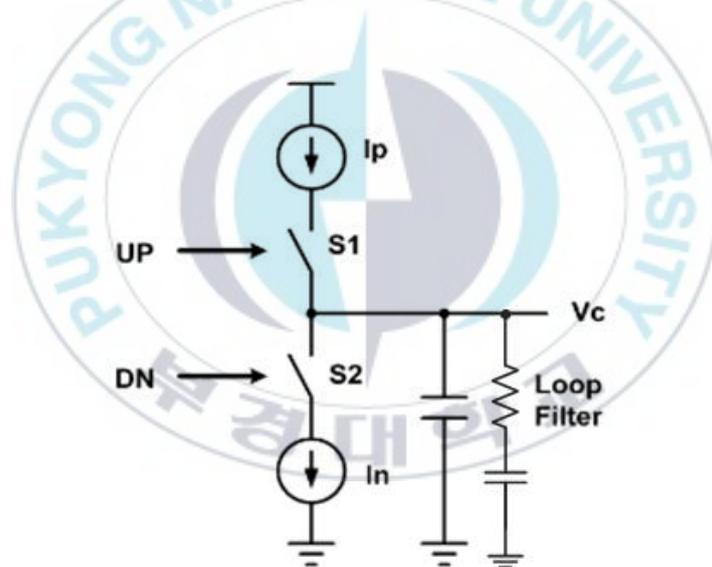


그림 2.5 전하펌프와 루프필터

전하펌프의 동작을 살펴보게 되면 UP신호가 'high'일 경우 전하펌프의 S_1 스위치가 'turn on'이 되어 루프필터에 전류 I_p 가 흐르게 되고, 이 루프필터의 커패시터에 전하가 충전되어, 전압 제어 발진기의 입력제어전압인 V_c 전압이 서서히 상승하게 된다. 반대로, DN 신호가 'high'일 경우 전하펌프

의 S_2 스위치가 'turn on'되어 루프필터에 전류 I_N 이 흐르게 되고, 루프필터의 커패시터에 충전되어 있던 전하가 방전되어 전압 제어 발진기의 입력제어전압인 V_C 가 서서히 하강하게 되는 원리를 갖는다.

또한 위상 고정 상태에서 리셋 시간에 스위치 S_1, S_2 가 동시에 'turn on'되어 접지로 전류 경로가 형성되므로, 루프필터의 커패시터의 충전, 방전이 없게 된다. 따라서 전압 제어 발진기의 입력제어전압의 변동 없이 일정한 값을 갖게 된다.

전하펌프에 사용되는 스위치 소자는 MOSFET으로 스위치 S_1 의 경우는 P형 MOSFET, 스위치 S_2 의 경우는 N형 MOSFET을 사용하게 된다. 지연 고정루프가 위상 고정이 된 경우, 전하펌프에 흐르는 전류량 I_p, I_N 의 크기는 같아야 한다. 그러나 스위치로 사용되는 P형 MOSFET, N형 MOSFET 소자의 이동도 차이, 위상주파수 검출기의 출력인 UP, DN신호에 의한 스위치 'turn on' 시간차이, MOSFET 스위치의 클록 피드스루(Clock Feedthrough), 전하공유(Charge Sharing)에 따른 전류 미스매치(mismatch)가 발생한다.

이러한 요소들에 의해 발생하는 전류 미스매치는 전압 제어 발진기의 입력제어전압이 출렁거리는 원인이 되고, 궁극적으로 지터를 발생하게 하는 주요 원인이 된다.

2.2.3 전압 제어 발진기 (voltage controlled oscillator)

전압 제어 발진기는 입력전압에 비례하는 주파수를 발생하는 블록으로, 그 수식은 식2-3과 같다.

$$\omega_{out} = \omega_{free} + K_{vco} \cdot V_{cont} \quad (2-3)$$

위의 수식에서 ω_{free} 는 V_{cont} 전압이 인가되지 않았을 경우의 전압 제어 발진기 자유 주파수(free running frequency), K_{VCO} 는 전압 제어 발진기의 이득을 의미한다. 위의 수식에서 전압 제어 발진기의 전달함수를 구하면 다음과 같다.

$$\Phi_{out}(s) = \frac{1}{s} \cdot K_{vco} \cdot V_{cont} \quad (2-4)$$

2.2.4 주파수 분주기(Divider)

출력 주파수를 입력 기준 주파수에 비해 높은 주파수를 가지도록 하기 위해서는 전압 제어 발진기의 주파수를 그대로 사용하지 못하고, 주파수 분주기를 이용해서 주파수를 분주하게 된다. 이때 사용되는 주파수 분주기의 특성에 따라 정수비, 분수비 방식으로 나누어진다.

2.3 전하펌프 위상 고정 루프의 선형적 분석

루프의 동작특성을 s-domain에서 분석하면 개루프 전달함수와, 폐루프 전달함수는 식2-5와 식2-6 같이 나타낼 수 있다.

$$H_{open} = K_{PFD} \cdot \frac{K_{VCO}}{s} \cdot G_{LF}(s) \quad (2-5)$$

$$H_{closed}(s) = \frac{K_{PFD} \cdot K_{VCO} \cdot G_{LF}(s)}{s + K_{PFD} \cdot K_{VCO} \cdot G_{LF}(s)} \quad (2-6)$$

위의 수식을 바탕으로 위상 고정 루프의 개루프 전달함수는 식2-7과 같고, 폐루프의 전달함수는 식2-8로 나타낸다.

$$\frac{\theta_o(s)}{\Delta\theta(s)} = \frac{1}{2\pi} \cdot I_p \cdot G_{LF}(s) \cdot \frac{K_{VCO}}{s} \quad (2-7)$$

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{\frac{K_{VCO}}{s} \cdot \frac{I_p}{2\pi} \cdot G_{LF}(s)}{1 + \frac{K_{VCO}}{s} \cdot \frac{I_p}{2\pi} \cdot G_{LF}(s)} \quad (2-8)$$

$G_{LF}(s)$ 는 루프 필터의 전달함수를 나타내고, 저역 통과 필터가 사용된다.

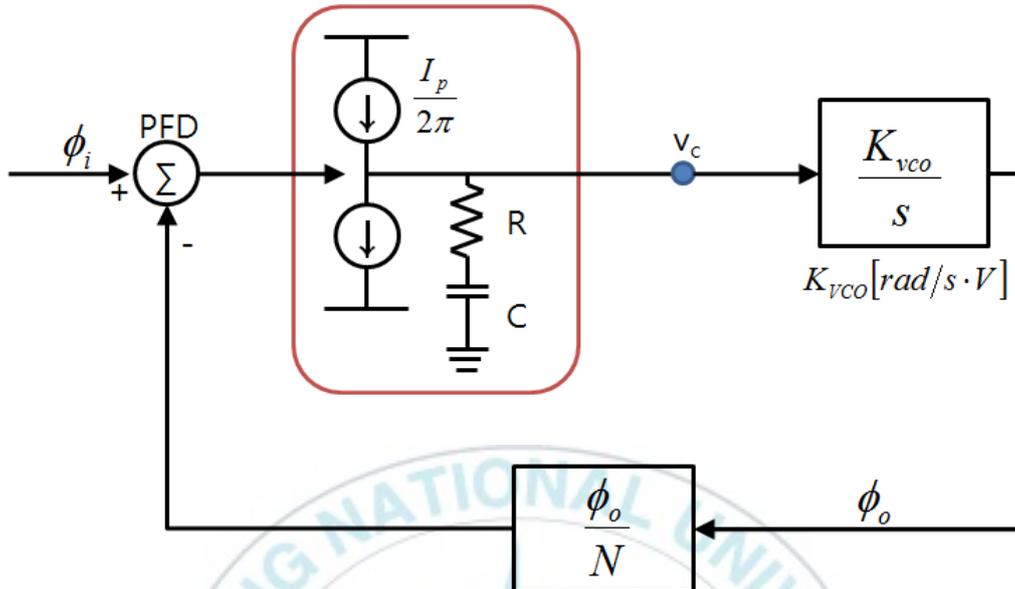


그림 2.6 2차 구조의 전하펌프 위상고정루프

그림 2.6은 루프필터에서 1차의 전달함수를 가지고 전압제어발진기에서 1차의 전달함수를 지니는 가장 기본적인 위상고정루프를 보인 것이다. 이구조는 식2-7을 이용하여 전개하면 식2-9와 같이 나타난다.

$$\frac{\phi_o}{\phi_i} = \frac{N \left(\frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot R \cdot K_{VCO} \cdot s + \frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot K_{VCO} \cdot \frac{1}{C} \right)}{s^2 + s \cdot \frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot R \cdot K_{VCO} + \frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot K_{VCO} \cdot \frac{1}{C}} \quad (2-9)$$

$$= \frac{2\zeta\omega_n \cdot s + \omega_n^2}{s^2 + 2\zeta\omega_n \cdot s + \omega_n^2}$$

그림 2.6과 같은 구조는 저항의 성분이 I_p 에 의해 빠른 V_c 전압의 변화를 보이므로 전체 위상 고정 루프의 출력에 원치 않는 신호(spur)가 크게 나타

나는 등의 문제가 많이 발생하므로 거의 사용하지 않는 구조이다.

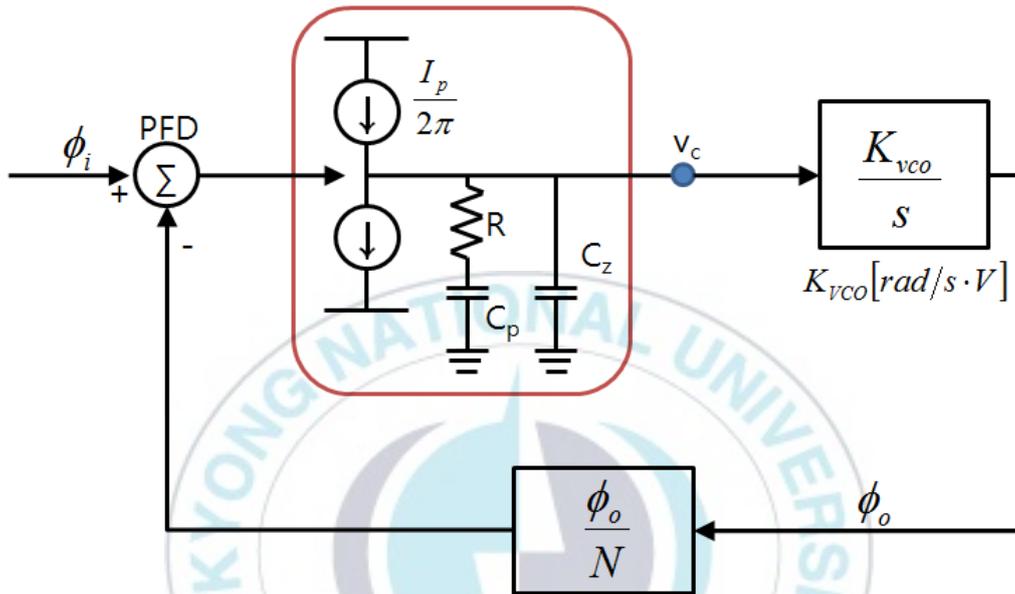


그림 2.7 3차 구조의 전하펌프 위상고정루프

이에 비해 그림 2.7과 같이 2차 필터를 사용하여 3차의 루프를 구성하는 경우는 스퍼의 감소와 안정성을 기대 할 수 있다. 전달 함수에 있어서 2차 필터를 사용하면 두 개의 극점은 원점에 존재하고 나머지 하나의 극점과 한 개의 영점을 이용하여 위상 마진을 고려하여 루프의 안정성을 보장하게 하고, 대역폭을 조절하게 된다. 2차 필터는 그림 2.8과 같다.

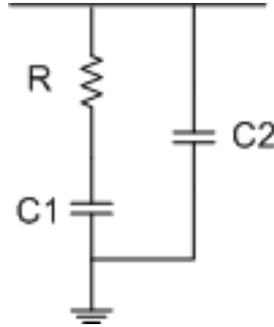


그림 2.8 2차 루프 필터

2차 필터를 이용한 전체 위상 고정 루프의 개루프와 폐루프의 전달함수를 구하면 다음과 같다.

$$H_{open}(s) = \frac{1}{2\pi} \cdot I_p \cdot \frac{1 + s \cdot R \cdot C_1}{s(C_1 + C_2) + s^2 \cdot R \cdot C_1 \cdot C_2} \cdot \frac{K_{VCO}}{s} \quad (2-10)$$

$$H_{closed}(s) = \frac{K_{VCO} \cdot I_p \cdot (1 + s \cdot R \cdot C_1)}{K_{VCO} \cdot I_p + K_{VCO} \cdot I_p \cdot R \cdot C_1 \cdot s + 2\pi(C_1 + C_2)s^2 + 2\pi \cdot R \cdot C_1 \cdot C_2 \cdot s^3} \quad (2-11)$$

위의 식2-10에서 원점에 2개의 극점이 존재하고, $\frac{C_1 + C_2}{R \cdot C_1 \cdot C_2}$ 에 극점이 하나 존재하고, $\frac{1}{R \cdot C_1}$ 에 하나의 영점이 존재한다. 위의 개루프 전달함수에 대한 위상에 대한 보드선도를 그리면 그림 2.9와 같다.

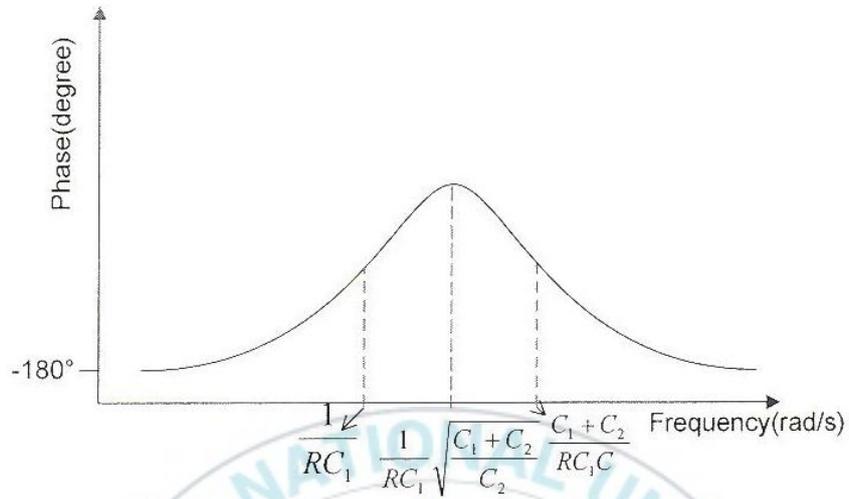


그림 2.9 3차 위상 고정 루프의 위상특성

루프 필터의 차수에 따라, 그리고 R과 C_1 , C_2 의 값에 따라 위 의 식의 특성이 달라지므로 원하는 대역폭과 안정성을 고려하여 필터를 설계해야 한다.

Ⅲ. 델타-시그마 변조기와 스퍼감소회로를 사용하여 스퍼 크기를 줄인 위상고정루프

3.1 위상고정루프의 스퍼 해석

기존 구조의 위상고정루프에서는 출력 주파수를 생성하는 전압제어발진기(VCO)의 입력전압인 루프필터 전압은 기준 신호의 주기마다 전압 변동이 발생한다. 이에 의해 기준신호 스퍼(reference spur)가 나타나게 된다. 위상고정루프에서 루프필터의 전압변화, 즉 변동 폭은 전압제어발진기의 스퍼 특성을 포함한 잡음특성에 직접적인 영향을 주는 요소이기 때문에 그 변동 폭을 최소화시키는 것이 매우 중요하다.

루프필터의 전압변화와 스퍼는 식3-1과 같은 관계가 있다.

$$\begin{aligned} Spur &= 20\log \frac{K_{VCO} \cdot A_m}{2f_{ref}} \\ &= 20\log \frac{K_{VCO} \cdot A_m \cdot T_{ref}}{2} \end{aligned} \quad (3-1)$$

여기서 K_{VCO} 는 전압제어발진기의 기울기이고, A_m 은 기준 신호 한주기 T_{ref} 동안 발생하는 루프필터 전압의 진폭이며, 그림 3.1에 나타내었다. 한주기 동안 발생하는 초과위상변이(excess phase shift)는 유효면적 ΔA 에 크기에 비례하며, 스퍼 크기도 $\Delta A (\propto A_m \times T_{ref})$ 크기에 비례한다.

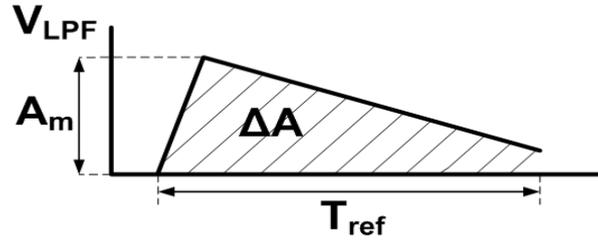


그림 3.1 위상고정루프의 위상이 고정된 후 나타나는 루프필터 전압파형



3.2 제안된 위상고정루프의 구조

제안된 위상고정루프는 스퍼의 크기를 줄이기 위해 두 가지 방법을 도입하였다. 제안된 위상고정루프의 회로도를 그림 3.2에 나타내었다. 제안된 위상고정루프는 두 개의 위상주파수 검출기(Phase Frequency Detector : PFD), 전하펌프(Charge Pump : CP), 2차 루프 필터(Loop Filter : LF), 전압제어발진기(Voltage Controlled Oscillator : VCO), 분주기(Div), 그리고 델타-시그마 변조기(delta-sigma modulator; DSM)와 스퍼감소회로(spur reduction circuit; SRC)로 구성되어있다.

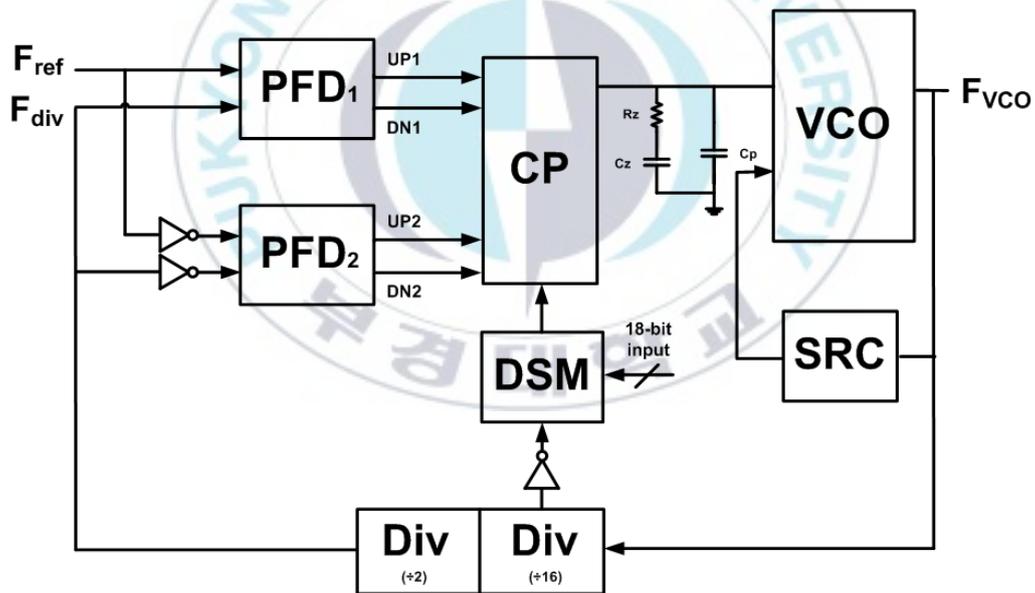


그림 3.2 제안된 위상고정루프 구조

먼저 DSM을 통해 유효 기준신호 주기를 변화시켜 스퍼 크기를 줄였다. 두 개의 CP를 통해 나오는 UP/DN 펄스가 DSM 신호에 의해 선택·제어되

면서 그림 3.3에서와 같이 A_m 이 발생하는 전압상승(하강) 시점이 변화하게 된다. 결과적으로 DSM을 사용하여 CP를 선택하면 기준 신호 주기가 변하여 스퍼 잡음이 높은 주파수대로 이동하는 잡음형성 현상이 일어나게 된다. 높은 주파수대로 이동된 잡음은 루프필터가 효과적으로 제거하게 되므로 전체 회로의 스퍼가 감소하게 된다.

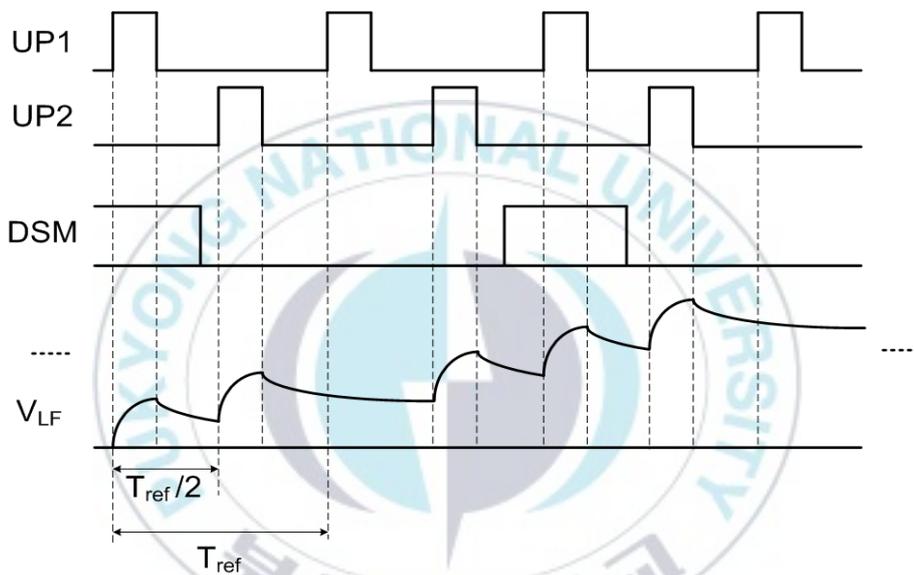


그림 3.3 제안된 위상고정루프의 루프필터 출력파형

스퍼 크기를 더욱 더 줄이기 위해 SRC를 도입하였다. 그림 4 (a)가 보여 주듯이 PFD에서 UP 신호가 발생하면 CP에서 LF로 전하가 공급되어 루프필터 전압이 상승한다. 일반적으로 가장 많이 사용되는 2차 LF의 경우, C_p 에 전하가 충전된 후 C_z 로 전하가 방전되어 전압이 하강하게 된다. 그림 4 (b)의 빗금 친 부분의 면적이 초과위상변이의 크기를 결정한다. SRC는 VCO에 다른 입력전압 VSRC를 제공하며 독자적인 부귀환 루프를 이룬다. VSRC는 FOUT의 주파수가 높으면(낮으면) 낮아지게(높아지는)되어 VCO

출력 주파수가 미세하게 변할 때마다 주파수 변화를 줄여주는 보상기로 동작한다. 이러한 과정을 그림 4의 (b)에 나타내었으며 작아진 초과위상변이의 크기는 스퍼의 크기를 줄이는 역할을 한다.

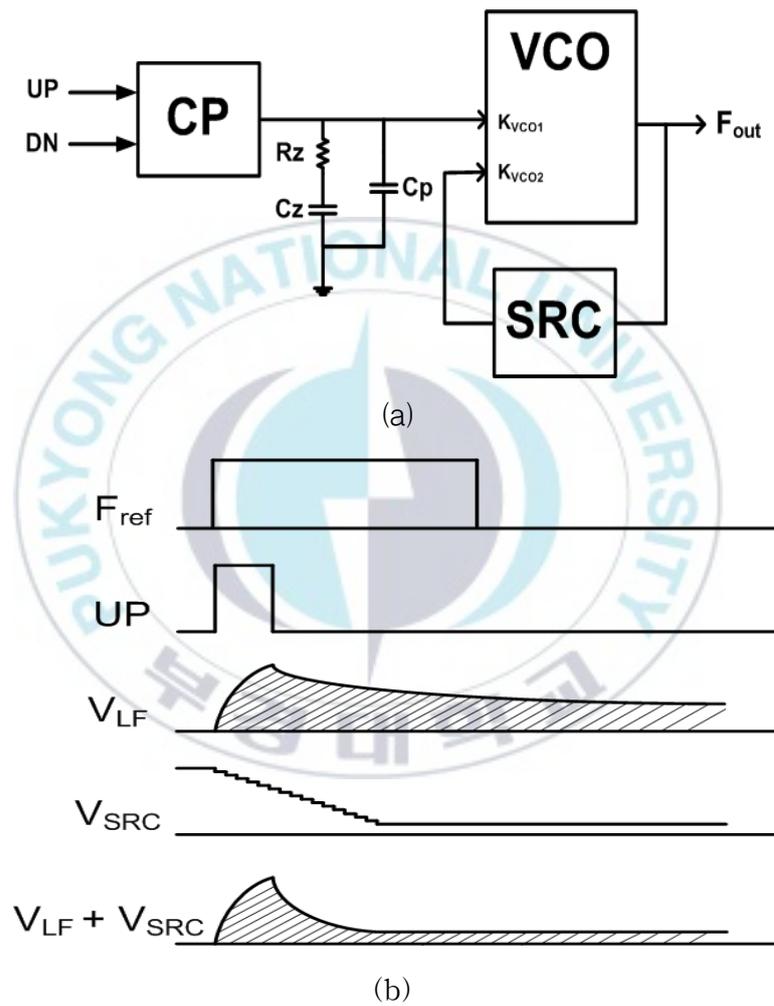


그림 3.5 (a) VCO와 SRC로 구성된 2차 LF선형 부궤환 회로
(b) SRC의 역할

제안된 위상고정루프는 DSM과 SRC를 사용하여 스퍼 크기를 줄였다.



3.3 회로 설계

3.3.1 위상 주파수 검출기 (Phase Frequency Detector)

시스템이 고속화, 집적화됨에 따라 위상 주파수 검출기의 속도 향상을 위해서 본 논문에서는 간략화 된 TSPC(True Single Pulse Clock) CMOS 로직회로를 이용한 위상 주파수 검출기를 사용한다. 간략화 된 TSPC CMOS 로직회로를 이용하면 위상주파수 검출기에서 사용되는 전체 MOSFET의 개수를 감소시킬 수 있어서, 전체 칩 면적과 전력 소모를 줄일 수 있다는 장점을 가진다.

제안된 위상 주파수 검출기는 그림 3.6와 같이 TSPC회로로 구성되어있다. TSPC 회로는 간단한 구조, 적은 전력 소비와 빠른 스위칭 동작에 우수한 성능을 나타내기 때문에 널리 사용되어지고 있다. D-F/F은 6개의 MOSFET으로 구성되고, 리셋은 NOR 회로를 사용하였다. 기준신호와 전압 제어 발진기 출력 신호의 위상차가 매우 작은 경우에 위상 차이가 있음에도 불구하고 위상 차이를 검출하지 못하는 데드존(dead zone)문제와 위상 고정 근접 상태에서 위상주파수 검출기의 출력인 UP, DN 신호가 임펄스 형태의 파형을 갖기 때문에, 이 UP, DN 신호에 따른 전하펌프의 충분한 스위칭 시간을 확보하기 위해 NOR 게이트 출력에 인버터 형태의 지연 셀을 달아 준다.

제안된 위상고정루프에서 사용된 두 PFD 모두 이와 같은 구조를 사용하였다. 두 번째 PFD의 입력신호 이전에 달린 인버터로 인해 두 PFD의 입력신호는 서로 반전신호이다. 그 결과, 두 PFD의 출력신호는 반주기만큼의 딜레이를 가진다.

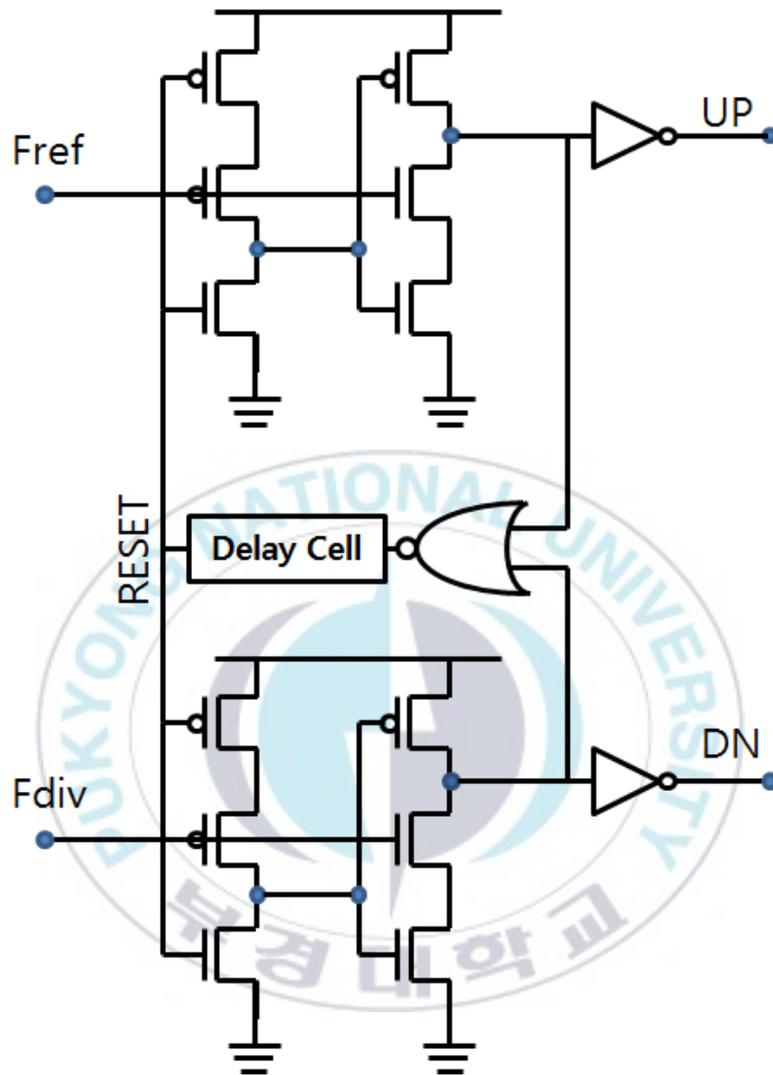


그림 3.6 위상 주파수 검출기 회로

3.3.2 전하펌프(Charge Pump)

전하펌프는 PFD에서 출력된 UP, DN 신호를 입력받아 루프필터에 전류를 흘려줌으로써 전압 제어 발진기를 제어하는데 필요한 전압을 만들어 준다. 전하펌프는 전압제어 발진기를 제어하는 전압에 직접적인 영향을 줌으로 신중히 설계해야 한다.

제안된 구조에서는 위상고정루프가 고정된 이후 UP신호와 DN신호의 타이밍 차이로 인해 발생하는 전류미스매치(current mismatch) 현상을 제거하기 위해 UP/DN신호를 래치버퍼를 통해 전하펌프의 입력으로 연결되도록 하였다. 따라서 공정이 변하더라도 UP/DN신호는 항상 같은 타이밍을 가지게 된다. 이러한 래치버퍼 회로가 그림 3.7에 나타나 있다.

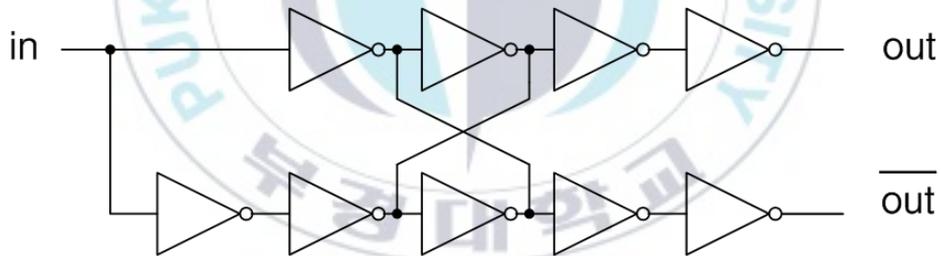


그림 3.7 래치버퍼 회로

제안된 전하펌프 회로가 그림 3.8에 나타나 있다. 서로 반주기만큼 차이를 가지는 두 PFD의 UP, DN 신호가 래치버퍼를 거친 후 입력신호로 함께 들어온다. 이 과정에서 기준 신호보다 2배 빠른 DSM 출력 신호와 이를 반전시킨 신호가 입력신호를 선택·제어하게 된다.

또한 제안된 전하펌프에서는 스위치가 동작할 때 마다 발생하는 클록 피드스루(Clock-feedthrough)현상과 전하공급(charge injection)현상을 통해 생성되는 불필요한 잡음(spur)들을 억제하기 위해 전하펌프 출력 노드와 연결된 단위이득버퍼(Unit Gain Buffer)를 추가하였다.

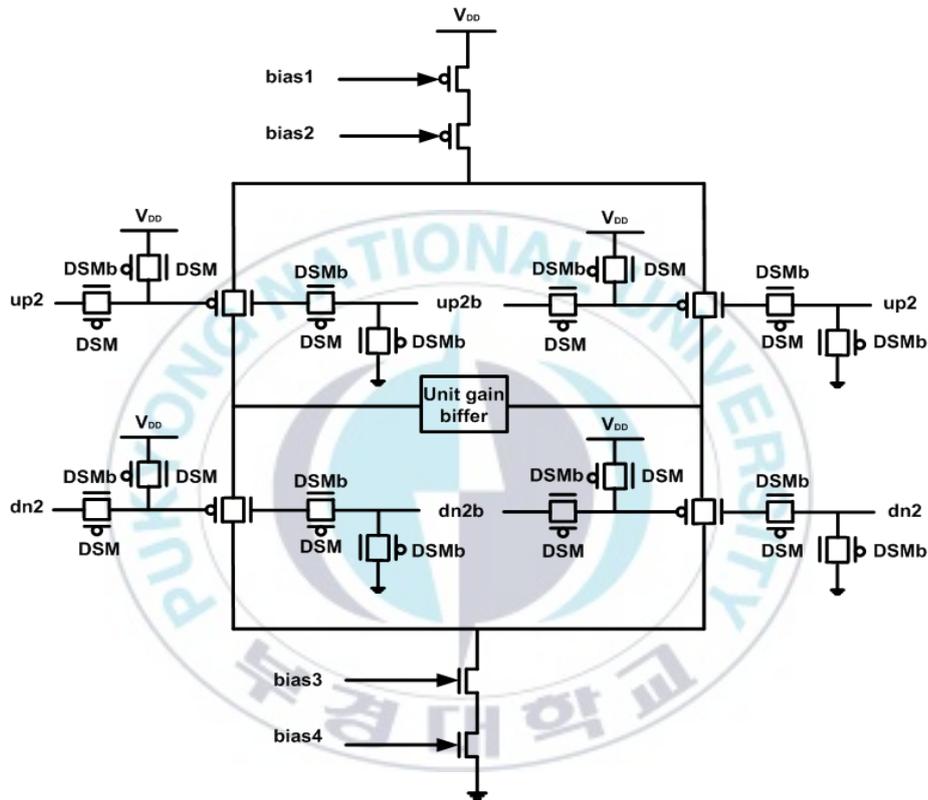


그림 3.8 제안된 CP

3.3.3 델타-시그마 변조기

델타-시그 변조기는 과표본화를 기반으로 한 블록으로 주로 ADC에 응용되어왔다. 과표본화를 이용한 데이터 변환방식은 과표본화로 인하여 발생한 양자화 오차가, 백색잡음의 특성을 갖는 양자와 잡음이 고주파 대역으로 옮겨가는 noise shaping 효과를 가지게 되는 변조 방식이다. 그림3.9는 시그마-델타 변조기의 차수에 따른 noise shaping 효과를 보여 주고 있다. 그림 3.10은 가장 기본적인 1차의 시그마-델타 변조기를 나타낸다.

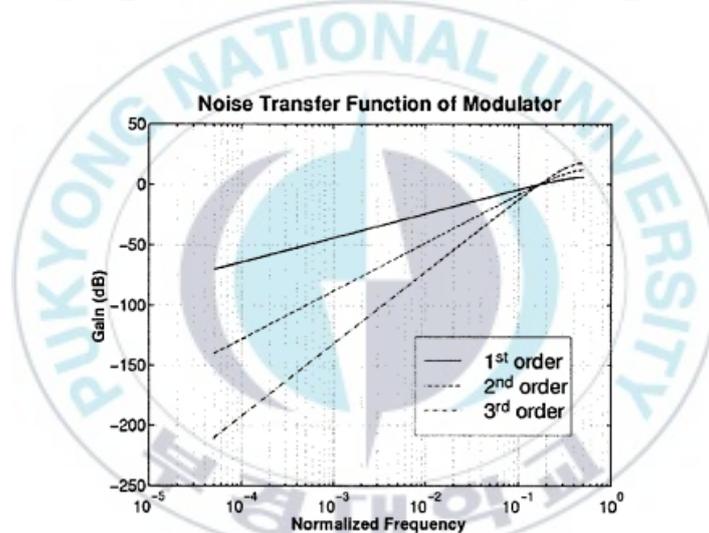


그림 3.9 델타-시그마 변조기의 차수에 따른 noise shaping 효과

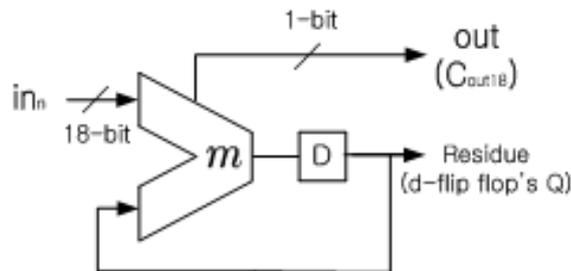


그림 3.10 1차 델타-시그마 모듈레이터

제안된 위상고정루프에 사용되는 DSM은 스퍼 잡음을 고주파 대역으로 옮겨주는 잡음형성 특성을 가지고 있다. 잡음형성 효과는 DSM의 차수가 높을수록 잡음을 고주파 대역으로 많이 옮길 수 있지만 연산시간의 증가, 대역폭의 한계, 신호의 왜곡 등의 부작용도 있다. 이를 개선하기 위해 고안된 MASH DSM은 안정한 1차 DSM을 cascade 형태로 연결한 것으로 1차의 안정성과 높은 차수의 특성을 함께 보인다. 제안된 위상고정루프에는 그림 3.11과 같은 3차 MASH DSM을 사용하였다. 제안된 위상고정루프에서는 DSM을 사용하여 CP를 선택·제어하게 되고 그 결과 기준 신호 주기가 변하여 스퍼 잡음이 높은 주파수대로 이동하는 잡음형성 현상이 일어나 스퍼 크기가 감소하게 된다. 높은 주파수대로 이동된 잡음은 루프필터가 효과적으로 제거하게 된다.

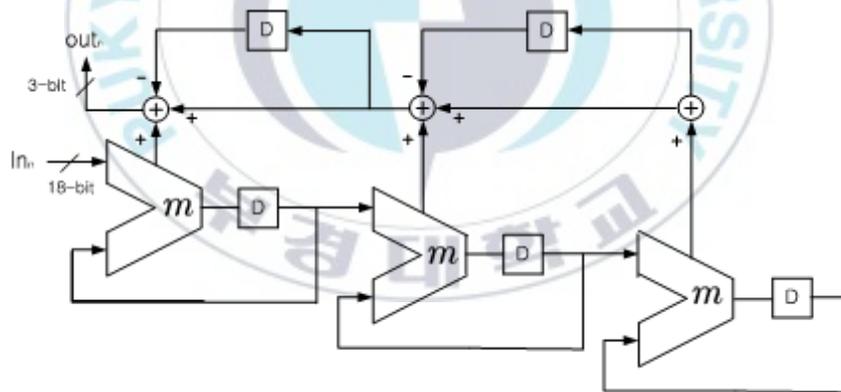


그림 3.11 3차 MASH 델타-시그마 모듈레이터

제안된 위상고정루프에 사용된 DSM은 기준신호 보다 12배 빠른 16분주된 신호를 사용하였다. CP를 적절히 제어하기 위해서는 DSM 신호의 타이밍이 각각의 UP/DN 펄스에 영향을 미치지 않고 선택할 수 있도록 하는 것이다. 충분한 여유간격을 확보하기 위해 분주기의 16분주 신호의 반전신

호를 사용하였으며 이를 그림 3.12에 나타내었다.

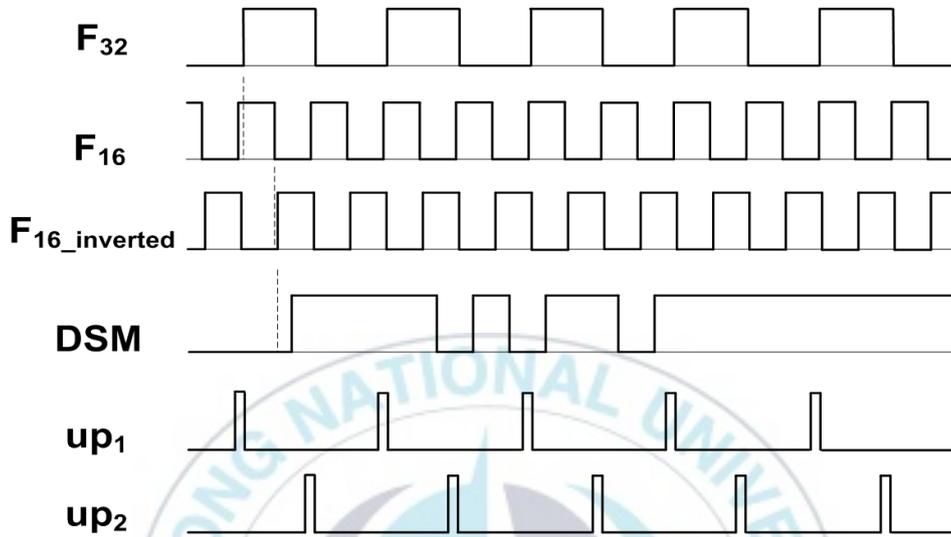


그림 3.12 DSM 신호 타이밍도

3.3.4 전압 제어 발진기

제안된 위상고정루프에서 사용한 전압제어발진기의 회로를 그림 3.13에 나타내었다. 그림 3.13 (a)가 보여주듯이 두 개의 입력, V_{SRC} 와 V_{LF} 에 제어되는 전류의 합에 의해 전압제어발진기의 주파수가 생성된다. 그림 3.13의 (b)와 같이 루프필터 전압과 SRC 출력전압($V_{cr in}$) 전압제어 저항 (Voltage controlled Resistor : VCR)로 제어하여 전압제어발진기에 인가하였다. 그림 3.13의 (b)에서 $V_{cr out}$ 는 V_{LF} 와 V_{SRC} 이다.

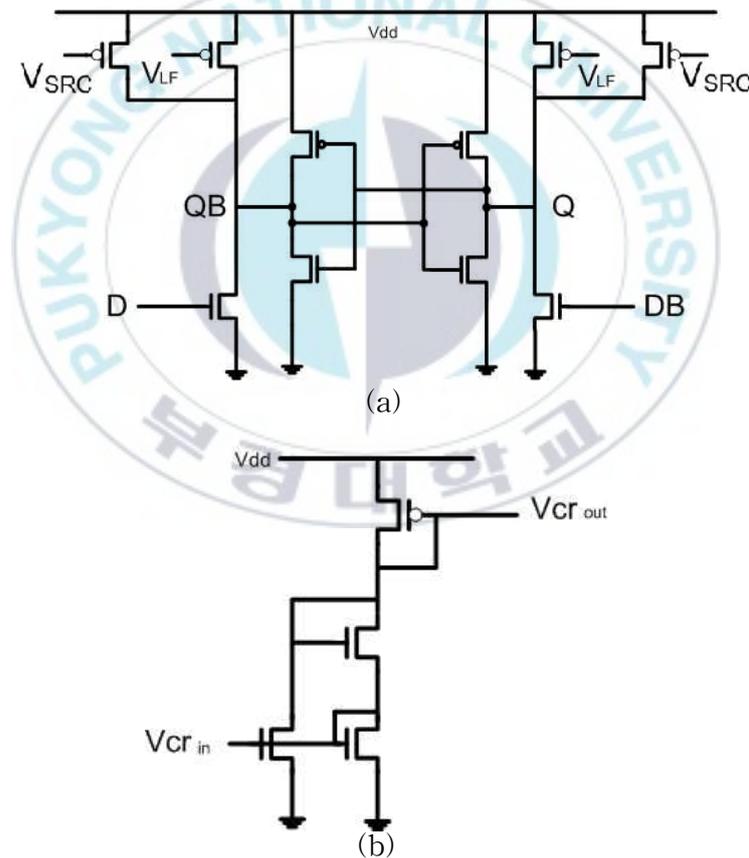
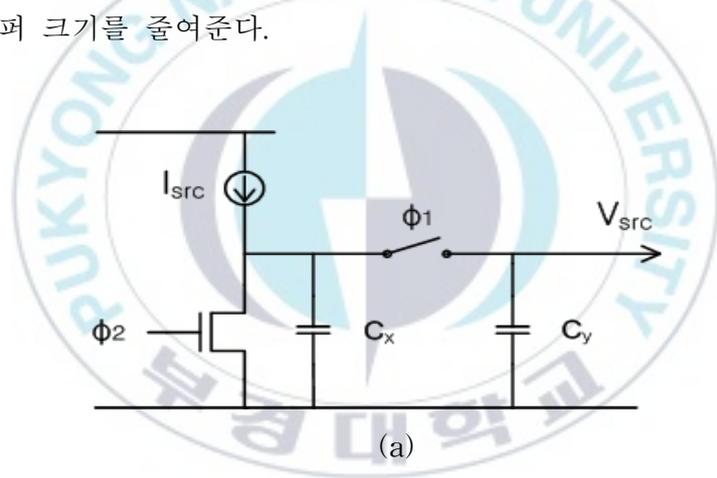


그림 3.13 (a) 전압제어발진기 지연단.

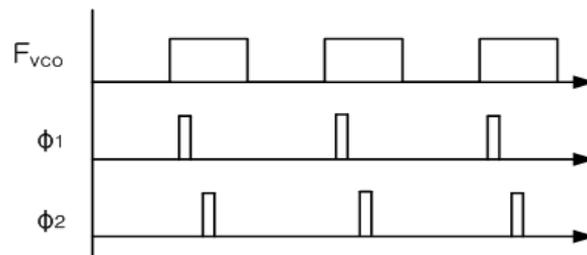
(b) VCR 회로.

3.3.5 스퍼 감소 회로

SRC의 회로를 그림 6에 나타내었다. SRC는 그림 6의 (b)와 같이 위상고정루프의 출력신호인 F_{VCO} 를 입력신호로 사용하며 이로부터 서로 겹치지 않는 SRC 제어신호 ϕ_1 과 ϕ_2 를 생성한다. ϕ_1 과 ϕ_2 입력되지 않는 시간 동안 I_{SRC} 가 C_x 로 흘러들어간다. ϕ_1 신호에 의해 C_x 에 충전된 전하가 C_y 로 흘러들어가며 ϕ_2 신호에 의해 C_x 에 있던 전하가 방전된다. F_{VCO} 의 주파수가 증가(감소)하면 V_{SRC} 는 감소(증가)한다. 이를 통해 SRC는 보상기로 작용하여 ΔA 를 크기, 즉 그림 4(b)의 빗금 친 부분의 면적을 작게 해주는 역할을 하여 스퍼 크기를 줄여준다.



(a)



(b)

그림 3.15 (a) SRC 회로도

(b) 제어 신호 타이밍

3.3.6 주파수 분주기

본 논문에서 제안된 위상고정루프의 분주기는 그림 3.10에 표현된 다이내믹 E-TSPC (Expanded True Single Phase Clock)을 이용하여 4분주가 되는 전치 분주기(Prescaler)를 구성하고 그 뒤에 디지털 P&R을 사용한 디지털 제어 입력이 있는 1~16 분주가 가능한 메인 분주기로 구성 되어있다. 4분주의 전치 분주기는 전압 제어 발진기의 고주파수 출력을 저주파수로 떨어뜨리는 역할을 하고, 그 후에 메인 분주기는 낮아진 저주파수를 다시 32분주까지 떨어뜨리는 역할을 한다. 이렇게 구성한 이유는 디지털 P&R로 레이아웃 된 블록은 고주파수에서 동작이 원활하지 않기 때문에 고주파수에서도 동작이 원활한 전치 분주기를 사용하여 메인 분주기가 칩테스트에서 정상 동작하게 설계하였다.

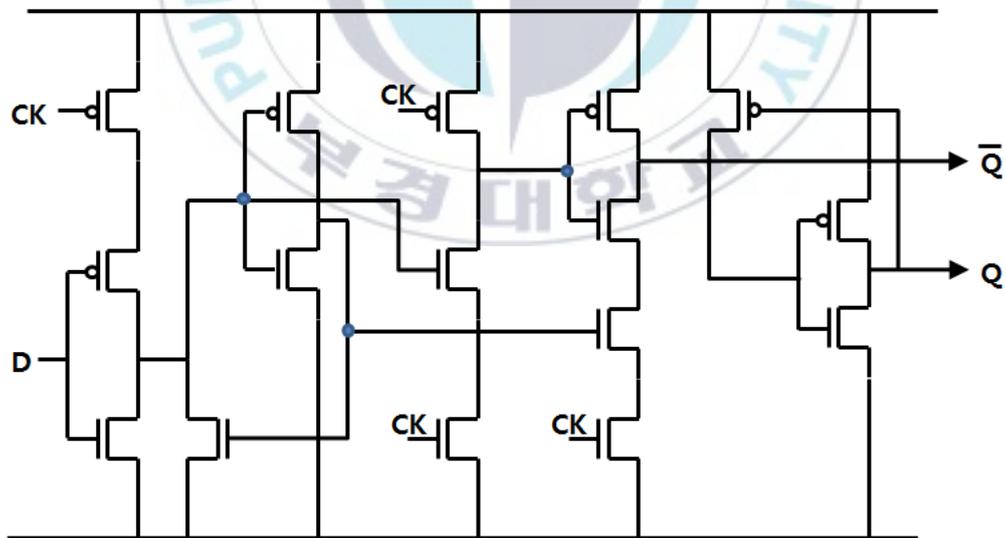
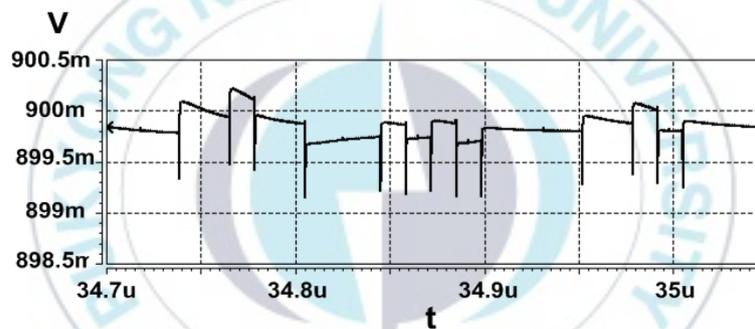


그림 3.16 다이내믹 E-TSPC (Expanded True Single Phase Clock)

IV. 시뮬레이션 결과

제안된 위상고정루프는 0.18 μm CMOS 공정으로 시뮬레이션 하였으며 32의 분주비와 37.5MHz의 입력주파수를 통해 1.2GHz의 출력주파수를 출력한다. 시뮬레이션에 사용된 변수는 $I_p=180\mu\text{A}$, $R_z=1.8\text{k}\Omega$, $C_z=200\text{pF}$, $C_p=20\text{pF}$, $K_{vco}=700\text{MHz/V}$, 400MHz/V , $N=32$ 이다.

DSM 신호에 따라 나타나는 루프필터 파형을 그림 4.1에 나타내었다. 그림 2의 (c)과형전개와 같이 루프필터 파형의 주기가 랜덤하게 변화하는 것을 확인할 수 있다.



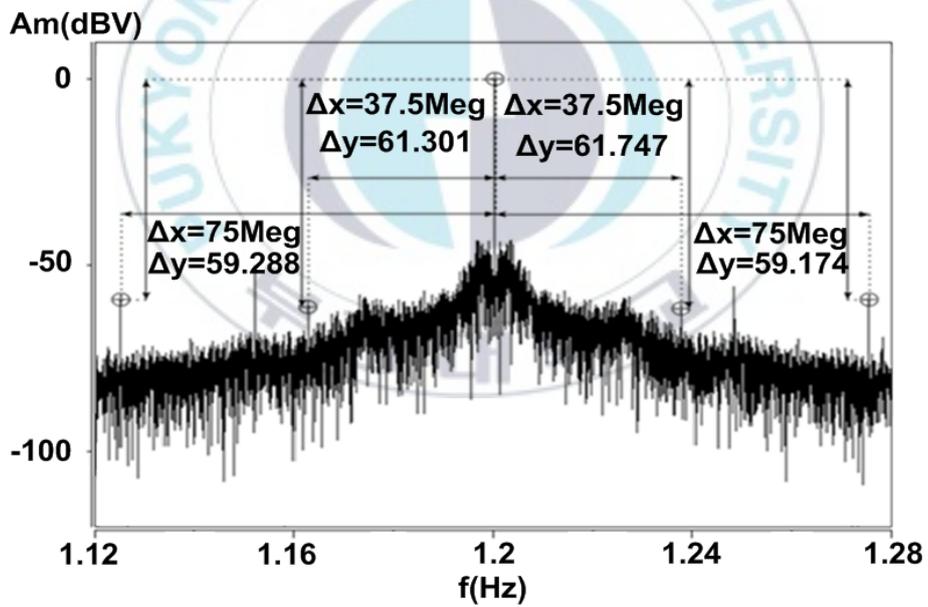
(a)



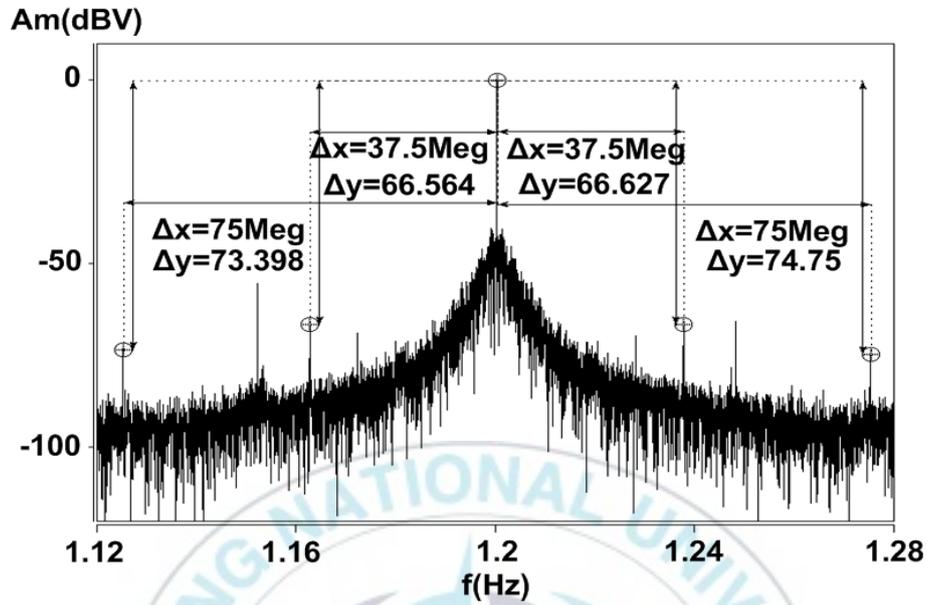
(b)

그림 4.1 (a) 위상고정루프의 루프필터 파형
(b) DSM 출력신호 파형.

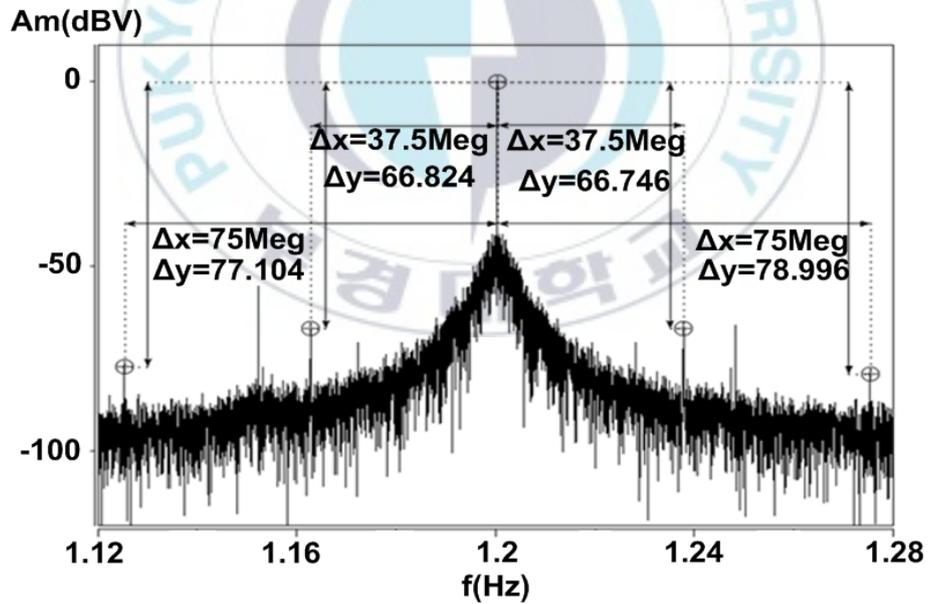
제안된 위상고정루프의 개선된 스퍼의 크기를 확인하기 위해 FFT를 실행한 것을 그림 4.2에 나타내었다. 제안된 위상고정루프에서 DSM과 SRC를 제외한 구조인 (a)에 비해 제한된 위상고정루프 구조 (b), (c)가 전체적인 주파수 대역에서 스퍼의 크기가 현저히 작음을 확인할 수 있다. 이는 DSM과 SRC를 사용한 경우 전체 스퍼의 크기를 현저히 줄여준 것을 의미한다. 또한 SRC 내부전류 ISRC를 달리한 (b), (c)를 살펴보면, 전체 대역에서의 양상이 비슷하지만 ISRC가 더 큰 (c)에서 기준신호의 주기에 해당하는 37.5MHz와 반주기에 해당하는 75MHz 지점의 스퍼의 크기가 더 작아짐을 확인할 수 있다. 이는 일종의 보상기로 작용하는 SRC가 전류량이 증가한만큼 보상기로서 PLL에 미치는 영향이 더 증가되어 한주기당 발생하는 초과위상변이를 보다 많이 줄일 수 있었다. 37.5MHz와 75MHz 지점의 스퍼의 크기를 최대 각각 5dB와 20dB 정도 감소 시켰다.



(a)



(b)



(c)

그림 4.2 (a) DSM과 SRC를 제외한 위상고정루프의 FFT
 (b) 제안된 위상고정루프의 FFT, ISRC=10 μ A
 (c) 제안된 위상고정루프의 FFT, ISRC=20 μ A

V. 결론

본 논문에서는 델타-시그마 변조기와 스퍼감소회로를 사용하여 스퍼의 크기를 줄인 위상고정루프를 제안하였다. 델타 시그마 변조기는 두 개의 전하펌프를 제어하여 기준 신호의 주기가 변한 것처럼 동작시킨다. 이를 통해 스퍼 잡음이 높은 주파수 대역으로 옮겨가는 잡음형성 현상을 일어나게 하여 스퍼 크기를 줄여준다. 또한 한 주기당 발생하는 루프 필터 전압 변화를 감소 시켜주는 스퍼감소회로를 함께 사용하여 스퍼의 크기를 더욱 줄였다. 이 두 가지 방법을 사용한 제안된 위상고정루프는 $0.18\mu\text{m}$ CMOS 공정에 1.8V의 공급전압으로 설계되었으며, 시뮬레이션을 통해 제안된 위상고정루프의 스퍼 크기가 거의 20dB 감소된 것을 확인하였다.

참 고 문 헌

- [1] Y. Lee, T. Seong, S. Yoo, and J. Choi, “A -242 -dB FOM and -71 -dBc reference spur ring VCO based ultra low jitter switched loop filter PLL using a fast phase-error correction technique”, VLSI Circuits Symposium on, pp. 186 - 187, 2017.
- [2] A. Rao, M. Mansour, G. Singh, C. Lim, R. Ahmed, and D. R. Johnson, “A 4-6.4 GHz LC PLL with adaptive bandwidth control for a forward clock link”, IEEE Journal of Solid-State Circuits, vol. 43, no. 9, pp. 2099 - 2108, Sept. 2008.
- [3] W. B. Wilson, U. Moon, K. R. Lakshmikummar, and L. Dai, “A CMOS self-calibrating frequency synthesizer”, IEEE Journal of Solid-State Circuits, vol. 35, pp. 1437 - 1444, Oct. 2000.
- [4] Wu-Hsin Chen, Wing-Fai Loke, and ByunghooJung, “A 0.5-V, 440- μ W Frequency Synthesizer for Implantable Medical Devices”, IEEE Journal of Solid-State Circuits, vol. 47, no. 8, pp. 1896 - 1907, Aug. 2012.
- [5] M. M. Elsayed, M. Abdul-Latif, E. Sanchez-Sinocio, “ A spur - frequency - boosting PLL with a -74 dBc reference-spur suppression in

90 nm digital CMOS”, IEEE Journal of Solid-State Circuits, vol. 48, no. 9, pp. 2104 - 2117, Sept. 2013.

[6] M. Kobayashi, Y. Masui, T. Kihara and T. Yoshimura, “Spur Reduction by Self-Injection Loop in a Fractional-N PLL”, 2017 24th IEEE International Conference on Electronics, Circuits and Systems (ICECS), 2017.

[7] C.-R Ho and , M.S.W. Chen, “A Digital PLL with Feedforward Multi-Tone Spur Cancellation Loop Achieving <-73 dBc Fractional Spur and <-110 dBc Reference Spur in 65nm CMOS”, IEEE Journal of Solid-State Circuits, vol. 51, no. 12, pp. 3216- 3230, Feb. 2016.

[8] M. Zackriya V, J. Reuben, H. M Kittur, “A low power dual modulus prescaler for fractional-N PLL synthesizer”, Electronics and Communication Systems (ICECS), pp. 1-4, Feb., 2014.

[9] Y. Zhang, J. H. Mueller, B. Mohr, L. Liao, A. Atac, R. Wunderlich, S. Heinen, “A Multi-Frequency Multi-Standard Wideband Fractional-N PLL With Adaptive Phase-Noise Cancellation for Low-Power Short-Range Standards ”, IEEE Transactions on Microwave Theory and Techniques, vol. 64, pp. 1133-1142, Apr., 2016.

[10] E. Temporiti, G. Albasini, R. Castello, and M. Colombo, “A 700-KHz bandwidth $\Delta\Sigma$ fractional synthesizer with spurs compensation

and linearization techniques for WCDMA applications”, IEEE J, Solid-State Circuit, vol. 39, pp. 1446-1454, Sept., 2004.

