

공 학 석 사 학 위 논 문

강관 결함 검출용  
저전력 이득 조절 증폭기 설계



2013년 8월

부 경 대 학 교 대 학 원

정보통신공학과

이 정 훈

공학석사학위논문

강판 결함 검출용  
저전력 이득 조절 증폭기 설계

지도교수 : 류 지 열

이 논문을 공학석사 학위논문으로 제출함.

2013년 8월

부 경 대 학 교 대 학 원

정보통신공학과

이 정 훈

이정훈의 공학석사 학위논문을  
인준함.



주	심	공학박사	김 성 운 (인)
위	원	공학박사	박 규 칠 (인)
위	원	공학박사	류 지 열 (인)

# 목 차

I. 서론 .....	01
II. 강판 결합 검출 시스템 및 PGA 동작 원리 .....	03
2.1 강판 결합 검출 시스템 .....	03
2.2 제안된 PGA 회로 구조 .....	04
III. 제안된 PGA 회로 .....	06
3.1 축퇴 저항 차동증폭기 .....	06
3.2 Gm-boosting 증폭기 .....	12
3.3 변형된 gm-boosting 증폭기를 활용한 제안된 PGA 회로 .....	16
3.4 이득 조절단 .....	19
IV. 시뮬레이션 결과 및 분석 .....	24
4.1 시간 응답 시뮬레이션 .....	24
4.2 주파수 응답 시뮬레이션 .....	26
4.3 고조파 균형 시뮬레이션 .....	28
V. 결 론 .....	32
참 고 문 헌 .....	33
별 첨 .....	34

## 그림 목차

[그림 2.1] 강판 결함 검출 시스템 블록다이어그램 .....	03
[그림 2.2] 제안된 PGA 구성 요소 블록다이어그램 .....	05
[그림 3.1] 축퇴저항 차동증폭기 .....	06
[그림 3.2] 절반회로 개념을 적용시킨 차동모드 축퇴저항 차동증폭기 .....	08
[그림 3.3] 공통 소스 증폭기 소신호 등가 모델 .....	09
[그림 3.4] 절반회로 개념을 적용시킨 공통모드 축퇴저항 차동증폭기 .....	11
[그림 3.5] 간단한 부궤환 시스템 블록다이어그램 .....	12
[그림 3.6] Gm-boosting 증폭기 .....	13
[그림 3.7] Gm-boosting 증폭기 소신호 등가 모델 .....	14
[그림 3.8] 제안된 PGA .....	16
[그림 3.9] 제안된 PGA 소신호 등가 모델 .....	17
[그림 3.10] CMOS 스위치 개폐 동작 모델 .....	19
[그림 3.11] 이득 조절단 구조 .....	21
[그림 3.12] 온-저항 크기 측정을 위한 차동증폭기 저항 등가 회로 .....	22
[그림 3.13] $R_m$ 을 구하기 위한 소신호 등가 모델 .....	23
[그림 4.1] 시간 영역 시뮬레이션 결과 .....	25

[그림 4.2] 주파수 영역 시뮬레이션 결과 .....	26
[그림 4.3] 공통모드 제거비 주파수 응답 .....	27
[그림 4.4] 고조파 균형 시뮬레이션 결과 .....	29
[그림 4.5] 100kHz에서 모든 이득에 대한 THD .....	30



## 표 목차

[표 3.1] 스위치 변화에 따른 PGA 이득 변화 .....	21
[표 4.1] PGA의 차동모드이득, 공통모드이득 및 공통모드제거비 결과 .....	28
[표 4.2] PGA 성능 요약 .....	31



A Study on the Design of  
Low-Power Programmable Gain Amplifier for  
Detecting the Defects of Steel Plates

Jung Hoon Lee

Department of Information and Communications Engineering,  
The Graduate School, Pukyong National University

**Abstract**

The Programmable Gain Amplifier(PGA) is one of the operational amplifiers to adjust the gain. In general, the PGA is essential to maximize the range of dynamic output signals related to the given input signals in the analog systems. The PGA is being utilized in the various fields such as disk drive devices, hearing aid devices, optical receiver, and wireless communication systems, etc.

This thesis proposes the design of low-power PGA for detecting defects in the process of producing steel plates. The designed PGA has fully symmetric structure to reduce the noises in the detected signal containing defects. Moreover the gain adjustment is achieved by using CMOS switches and passive resistors.

The proposed PGA is fabricated using Magnachip/SK Hynix 0.18 $\mu$ m CMOS 1poly-6metal process. Its performance is validated by simulation using Hspice. According to our simulation results, the performance of the designed PGA reveals having less gain error and low power consumption.

## I. 서론

현재 철강 회사에서 생산되는 강판의 결함을 검출하기 위해 다양한 방법들이 적용되고 있다. 그러나 강판의 표면에 대한 결함을 검출하는 장비는 있지만, 강판 내부에 있는 결함을 검출하는 장치 (IDD: Inner Defect Detector, 강판을 구성하는 강철의 내부 물성과 다른 이물질이 포함됨을 계측할 수 있는 장비)는 부족한 실정이다[1-2]. 일반적으로 이물질 포함으로 인한 내부 결함에 대한 검출은 강판 제품의 질에 대한 정보를 무작위로 샘플로 취득하여 검사하여 수행하고 있다. 이러한 방법은 모든 강판의 모든 영역에 대해 검사를 하는 것이 아니기 때문에 부분적으로 편재된 결함을 찾아내기 어렵다. 이에 홀 센서로 구성된 자화기를 강판 제품에 밀착시켜 실시간으로 강판에 대한 자력신호를 검출하여 전기 신호로 변환한 후 이를 디지털 데이터 값으로 전환 및 영상화를 통해 내부 결함 정도를 실시간으로 분석하는 시스템의 연구가 필요하다.

PGA(Programmable Gain Amplifier, 이득 조절 증폭기)는 위에서 언급한 분석시스템의 중요한 요소로 이것의 기능은 센서가 검출한 제품의 질에 대한 자력신호를 자화기가 전기신호로 변환하면 결과 신호가 미약하여 분석에 어려움이 있다. 이러한 전기신호를 분석 가능한 크기의 신호로 증폭시켜주는 역할을 PGA가 담당하며[3], PGA가 포함된 분석시스템을 SoC(System on Chip)로 모듈화하기 위해 가능하면 작은 면적을 차지하며 저전력으로 동작하는 PGA 설계가 본 논문의 연구 주제이다.

일반적으로 PGA는 디스크 드라이브, 보청기, 광수신기, 무선통신 시스템 등 다양한 분야에서 광범위하게 사용되는 증폭기로 미약한 입력 신호를 일정 크기 이상으로 증폭시키는 기능을 한다. 여기서 PGA에 입력된 전기신호를 일정 크기 이상으로 증폭하는 과정에서 입력 대비 출력의 이

득 제어 과정을 거치게 되는 데, 일반적으로 아날로그 이득 제어 방식과 디지털 이득 제어 방식이 있다. 아날로그 이득 제어 방식은 가변적인 트랜스컨덕턴스를 이용하며 디지털 이득 제어 방식은 스위치를 활용한다 [4]. 그런데 아날로그 이득 제어 방식에서는 가변적인 트랜스컨덕턴스를 활용하는 과정에서 바이어스 전류나 전압에 의해 이득이 변하게 되어 순간적으로 구성회로의 바이어스 포인트가 변하기 때문에 왜곡이 발생하게 되는 문제점이 있다[5].본 논문에서는 이러한 문제점을 해결하기 위해 디지털 이득 제어 방식으로 이득을 조절하는 PGA를 제안한다.

본 논문에서 제안하는 PGA는 이득 제어를 위해 디지털 방식의 제어에 의한 스위치를 사용하는 데, 입력 신호 대비 출력 이득을 크게 할 때는 스위치를 닫고 반대로 이득을 적게 할 때는 스위치를 열어 제어한다. 여기서 스위치의 개폐 여부 판단은 DSP(Digital Signal Processor)의 궤환 루프를 적용하는 데 사용자가 결함의 패턴에 따라 개폐 여부를 미리 DSP에 저장하여 입력 신호 패턴에 따라 결정하게 된다. 결과적으로 디지털 방식으로 이득을 조절하여 홀 센서로부터 검출되는 미약한 신호라도 SNR(Signal to Noise Ratio, 신호 대 잡음비)을 극대화하여 분석 가능한 크기로 증폭시켜 부분적으로 편재된 결함도 쉽게 찾아낸다.

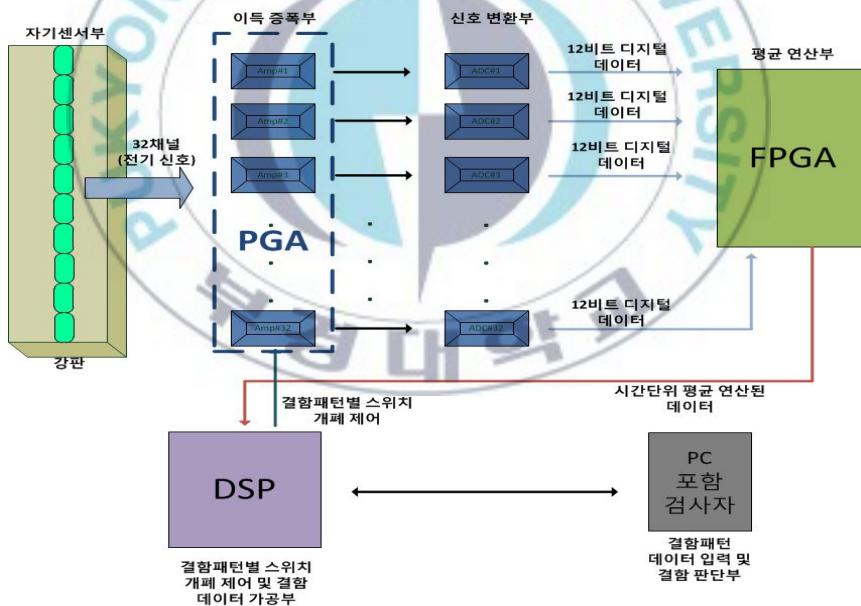
본 논문 2장에서는 강판 결함 검출 시스템의 개략적인 설명과 제안된 PGA 회로 개념에 대해서 설명한다. 그리고 3장에서는 제안된 PGA의 구성 요소인 차동증폭기와 CMOS(Complementary Metal-Oxide Semiconductor)스위치에 대해 요약한다.

4장에서는 제안된 PGA 회로를 Magnachip/SK Hynix 0.18 $\mu$ m CMOS 1poly-6metal 공정을 이용하여 시뮬레이션하고 그 결과에 대한 성능을 분석한다. 마지막으로 본 논문의 5장에서는 제안된 PGA 회로에 대한 간단한 결론과 향후 연구방향에 대해서 기술한다.

## II. 강판 결함 검출 시스템과 PGA 회로

### 2.1 강판 결함 검출 시스템

[그림 2.1]은 강판 결함 검출 시스템의 전체 기능 블록 다이어그램을 나타낸 것으로 크게 자기센서부, 이득증폭부, 신호변환부, 평균연산부(FPGA: Field Programmable Gate Array), 결함패턴별 스위치 개폐 제어 및 결함데이터 가공부(DSP), 결함패턴 데이터입력부 및 결함판단부(PC 포함 검사자)로 구성된다.



[그림 2.1] 강판 결함 검출 시스템 블록 다이어그램

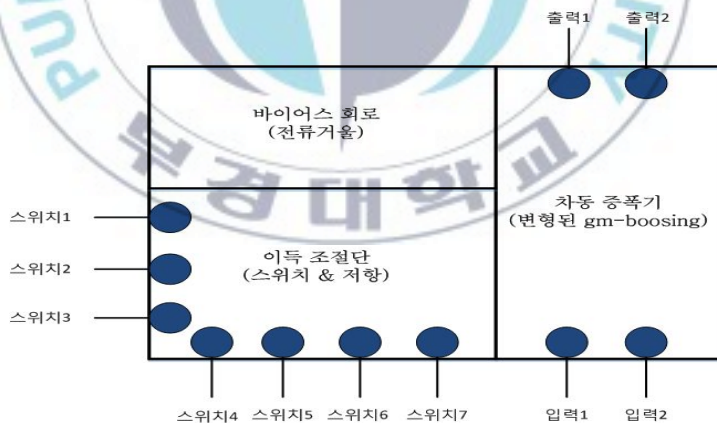
먼저 자기센서부는 32채널로 구성된 어레이 형태의 자기 홀 센서로 자화기를 강판 제품에 밀착시켜 실시간으로 강판제품의 내부 상태에 대한 자력신호를 검출하여 전기 신호로 변환한다. 다음으로 해당 전기 신호를 이득증폭부를 통해 검출하려는 결함 패턴에 따라 증폭의 크기를 조절한 후 신호변환부로 전달한다. 이 과정에서 DSP의 결함 패턴별 스위치 개폐 제어 기능에 따라 제어되는 데 결함 패턴 데이터 입력은 PC를 활용하여 검사자가 입력하게 된다.

한편 신호변환부는 이득증폭부에서 처리한 아날로그 신호를 1Mhz 속도로 디지털 데이터로 변환하여 변환 결과는 12비트 디지털 데이터를 가진다. 그런 다음 평균연산부(FPGA) 기능을 거치게 되는 데 1차적인 신호처리를 시간 단위로 평균 연산을 실시하고 이 기능을 통해 보완된 데이터가 결함데이터 가공부로 넘겨진다. 결함데이터 가공부에서는 1차적으로 처리된 평균 연산된 데이터에 대해 결함 검출에 필요한 추가적인 신호처리 과정 및 알고리즘을 적용한다. 마지막으로 PC를 활용한 검사자가 결함판단부로 전달된 데이터를 HMI(Human Machine Interface, 인간과 기계 인터페이스)와 연동되어 결함의 크기, 종류 및 위치 등의 정보를 제공하게 된다.

## 2.2 제안된 PGA 회로 구조

[그림 2.2]는 [그림 2.1]에서 제안된 PGA 구성요소를 블록 다이어그램으로 나타낸 것으로 크게 차동증폭기, 이득 조절단 및 바이어스 회로로 구성된다. 먼저 차동증폭기는 2개의 입력단자와 2개의 출력단자를 가지는 gm-boosting 증폭기로 홀 센서에서 나오는 전기신호를 180° 위상차로 2개의 입력단자로 각각 전달되며 2개의 출력단자에서는 증폭된 전기

신호가 생성된다. 여기서 gm-boosting 증폭기 활용으로 인해 최대 출력 전압 스윙이 증가하며 잡음, 비이상적인 효과 및 짝수 고조파 성분이 공통모드에서 제거되기 때문에 잡음에 강하고 높은 선형성 그리고 저전력 동작의 차동증폭기 설계가 가능하다. 그리고 기존의 gm-boosting 증폭기를 변형시켜 더 높은 이득과 회로의 안전성을 가진다. 다음으로 이득 조절단은 제안된 PGA의 이득이 결정되며 이득 제어를 위해 스위치와 저항으로 구성된다. 여기서 설계된 이득 조절단은 [그림 2.1]의 DSP회로로부터 총 7개의 제어 신호를 받게 되며 제안된 PGA의 입력 신호 대비 큰 이득을 가지려면 스위치가 닫히고 반대로 낮은 이득은 스위치를 열어 이득을 조절하게 된다. 마지막으로 바이어스 회로는 전류거울 형태로 제안된 PGA가 동작하도록 전체 회로의 바이어스 전압을 잡아준다. 각 회로에 대한 자세한 설명은 3장에서 기술한다.



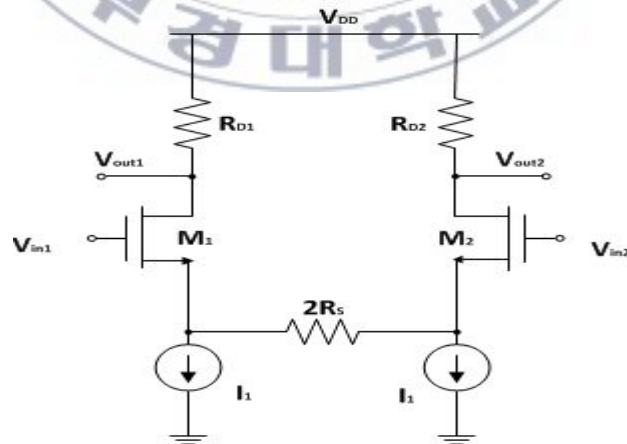
[그림 2.2] 제안된 PGA 구성 요소 블록다이어그램

### Ⅲ. 제안된 PGA 회로

#### 3.1 축퇴저항 차동증폭기

제안된 PGA에서 신호 증폭 역할을 하는 gm-boosting 증폭기를 동작을 파악하기 위해 먼저 축퇴저항을 사용하는 차동증폭기를 분석하여 변형된 gm-boosting 증폭기를 활용한 제안된 PGA를 설계한다.

일반적으로 PGA는 축퇴저항을 활용한 차동증폭기로 구성되며 [그림 3.1]과 같은 구조를 가지며 축퇴저항은 [그림 3.1]의  $R_s$  를 의미한다. [그림 3.1]과 같은 구조는 축퇴저항으로 인해 저전압 동작과 정확한 이득을 가지며 dc 전압 강하 없이 선형성을 증가시킬 수 있다. 그래서 [그림 3.1]의 축퇴저항 차동증폭기를 제안된 PGA에 적용하였으며 제안된 PGA의 동작을 파악하기 위해 축퇴저항 차동증폭기의 차동모드 및 공통모드 특성을 분석한다.



[그림 3.1] 축퇴저항 차동증폭기

일반적으로 차동증폭기는 두 개의 입력과 출력을 가지고 각각의 입력은 공통모드 신호와 차동모드 신호로 구성되며 차동증폭기의 성능은 두 입력에 대한 출력으로 분석 가능하다. 여기서 차동모드 입력 신호는 진폭은 같으나 위상이 반대인 두 입력 신호를 의미하며 공통모드 입력 신호는 진폭과 위상이 모두 같은 두 입력 신호를 의미한다. 그리고 각 입력 신호에 대한 출력 특성을 차동모드 응답 및 공통모드 응답이라 한다.

흔히 차동증폭기에서 차동모드 출력 신호를 사용하며 공통모드 출력 신호는 이상적인 경우 모두 소거된다. 하지만 칩의 제작 과정이나 주변 환경 요소로 인해 공통모드 출력 신호가 완전히 소거되지 않게 되고 차동모드 출력 신호에 영향을 주게 된다. 그래서 차동증폭기 설계 시 차동모드 이득은 높이고 공통모드 이득은 낮추게 된다.

CMRR(Common Mode Rejection Ratio, 공통모드 제거비)는 차동증폭기의 대표적인 성능 지표로 공통모드 신호가 차동모드 신호에 얼마나 영향을 주는지 알 수 있는 지표가 되며 CMRR을 식 (3.1)에 정의한다.

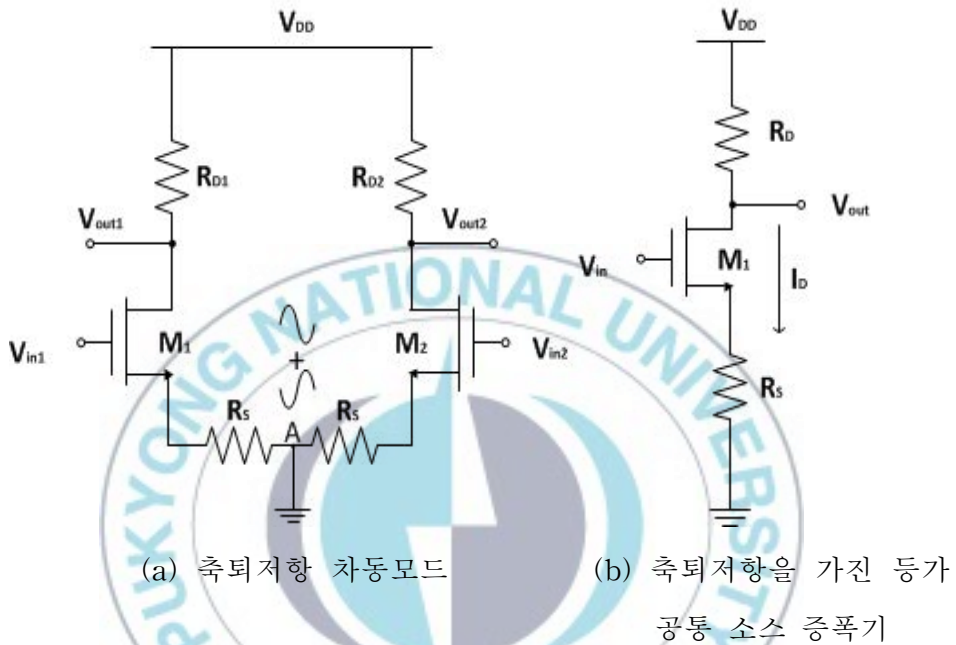
$$CMRR = 20 \log \left( \frac{A_{DM}}{A_{CM}} \right) \quad (3.1)$$

여기서  $A_{CM}$ 은 차동증폭기의 공통모드 이득 및  $A_{DM}$ 은 차동증폭기의 차동모드 이득을 각각 나타낸다.

#### (1) 차동모드 응답

축퇴저항 차동증폭기는 차동모드에서 두 입력의 위상이 완전 반대가 되어 [그림 3.1]을 [그림 3.2(a)]의 회로와 같이 변환할 수 있다. [그림

3.2(a)]와 같이 완전 대칭 구조에서 입력 위상이 반대이기 때문에  $M_1$ 과  $M_2$ 의 소스단자에 걸리는 전압의 위상이 반대가 된다. 즉 [그림 3.2(a)]의

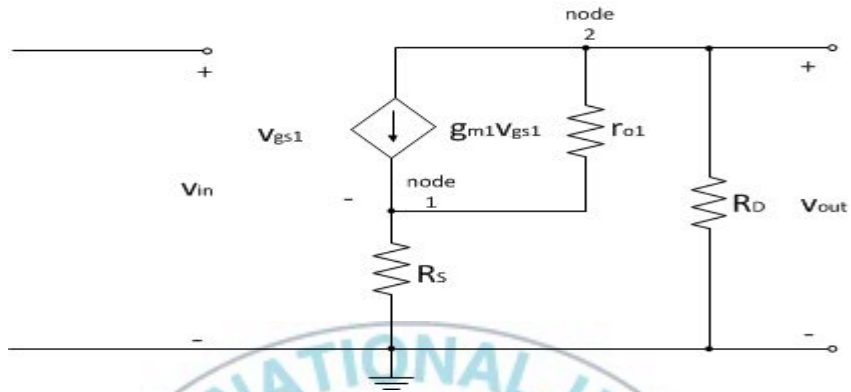


[그림 3.2] 절반회로 개념을 적용시킨 차동모드 축퇴저항 차동증폭기

A지점에서는 위상이 반대인 두 신호가 만나 항상 신호의 크기는 0이 된다. 이는 A지점에서 “가상접지”가 발생함을 의미하고 A지점을 기준으로 독립된 두 개의 회로로 볼 수 있다. 그리고 절반회로 기법을 적용하여 [그림 3.2(b)]의 공통 소스 증폭기의 형태를 가지는 등가회로로 나타낼 수 있다.

[그림 3.3]는 [그림 3.2(b)]에 대한 소신호 등가 모델을 나타낸 것이다. 여기서 [그림 3.3]의 노드1과 노드2에서 KCL(Kirchhoff Current Law)을

적용하면 식 (3.2) 및 식 (3.3)을 각각 구할 수 있다.



[그림 3.3] 공통 소스 증폭기 소신호 등가 모델

$$g_{m1}v_{gs1} = \frac{V_s}{R_s} + \frac{V_s - V_{out}}{r_{o1}} \quad (3.2)$$

$$g_{m1}v_{gs1} + \frac{V_{out}}{R_D} + \frac{V_{out} - V_s}{r_{o1}} = 0 \quad (3.3)$$

여기서  $g_{m1}$ 은  $M_1$ 의 트랜스컨덕턴스,  $v_{gs1}$ 는  $M_1$ 의 게이트-소스 전압 차,  $R_s$ 는 소스단자에 연결된 저항,  $V_{out}$ 은 노드2의 전압,  $R_D$ 는 드레인단자에 연결된 저항 및  $r_{o1}$ 는  $M_1$ 의 소신호 출력 저항을 나타낸다.

식 (3.2)와 식 (3.3)을 연립하여 풀게 되면 식 (3.4)과 같은 차동모드 이득을 구할 수 있으며 간략화된 식 (3.4)을 보면 축퇴저항 차동증폭기의 차동모드 이득의 크기는 드레인 저항에 비례하고 소스 저항에 반비례 한다. 여기서 완전 대칭 구조로 인해 축퇴저항 차동증폭기의 소스단자에

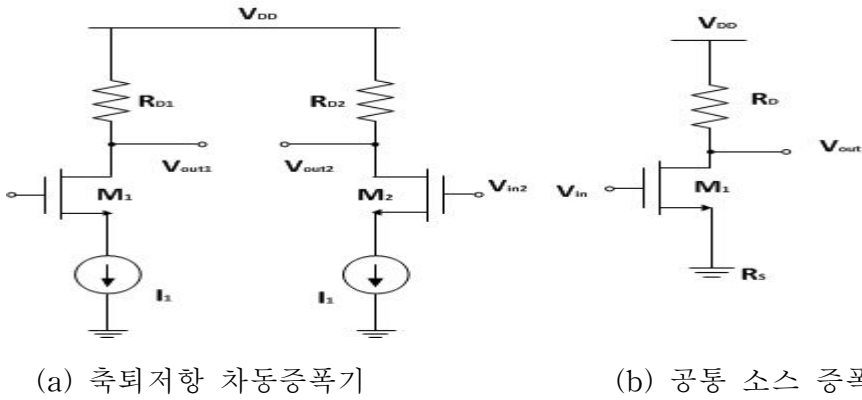
연결된 저항이 변하더라도 전체 회로의 바이어스 전압에는 영향을 주지 않고 소신호 이득에만 영향을 주게 된다. 제안된 PGA는 이런 축퇴저항 차동증폭기의 성질을 적용하였다.

$$A_{v, dm} = \frac{v_{out1} - v_{out2}}{v_{in1} - v_{in2}} = \frac{-g_{m1}R_D r_{o1}}{R_D + R_S + r_{o1} + g_{m1}R_S r_{o1}} \approx \frac{-g_{m1}R_D}{1 + g_{m1}R_S} \quad (3.4)$$

결과적으로 축퇴저항 차동증폭기의 차동모드 이득은 드레인저항에 비례하고 축퇴저항에 반비례한다. 여기서 드레인저항의 변화는 전체 바이어스 전압에 영향을 주기 때문에 축퇴저항의 크기를 조절하여 이득 조절이 하였으며 축퇴저항의 크기가 크면 차동모드 이득은 작아지고 반대로 축퇴저항의 크기가 작으면 차동모드 이득은 커지게 된다.

## (2) 공통모드 응답

[그림 3.4]은 [그림 3.1]의 공통모드로 인한 축퇴저항 차동증폭기의 등가회로를 나타낸 것이다. 여기서 [그림 3.6]의 축퇴저항 차동증폭기는 공통 모드에서 두 입력이 완전 동일하기 때문에 두 트랜지스터의 소스단자에 걸리는 전압은 같게 된다. 이는  $M_1$ 과  $M_2$ 의 소스 양단 사이에 있는 저항에 전압강하가 없음을 의미한다. 이런 경우에는 저항의 크기는 무한대로 볼 수 있으며 [그림 3.1]을 [그림 3.4(a)]의 회로로 나타낼 수 있다.



[그림 3.4] 절반회로 개념을 적용시킨 공통모드 축퇴저항

[그림 3.4(b)]는 [그림 3.4(a)]를 절반회로 기법을 적용하여 공통 소스 증폭기의 형태를 가지는 등가회로로 나타낼 수 있고 [그림 3.4(b)]를 통해 축퇴저항 차동증폭기의 공통모드 이득은 식 (3.5)로 구할 수 있다.

$$A_{v,cm} = -g_{m1}(r_{o1} // R_D) \quad (3.5)$$

일반적으로 차동증폭기의 차동모드 이득은 공통모드 이득 보다 많이 클수록 성능이 좋다. 하지만 식 (3.4)과 식(3.5)를 비교했을 때 공통모드 이득이 차동모드 이득보다 큰 결과를 가지므로 이를 보상하기 위해 축퇴저항 차동증폭기에 부궤환을 적용한 gm-boosting 증폭기를 3.2절에 기술한다.

### 3.2 Gm-boosting 증폭기

식 (3.4)의 축퇴저항 차동증폭기 차동모드 이득은 드레인저항과 소스저항의 비율로 결정되며 단순히 저항으로만 정의된 이득은 그 정확도가 낮고 식 (3.4)의 차동모드 이득 보다 식 (3.5)의 공통모드 이득이 크다는 문제점이 있다. 그래서 본 논문에서는 이득의 정확도를 향상시키고 공통모드 이득을 줄이기 위해 부궤환 회로를 적용하며[6] [그림 3.5]의 간단한 부궤환 시스템 블록다이어그램을 통해 부궤환 회로의 특징을 분석한다[9]



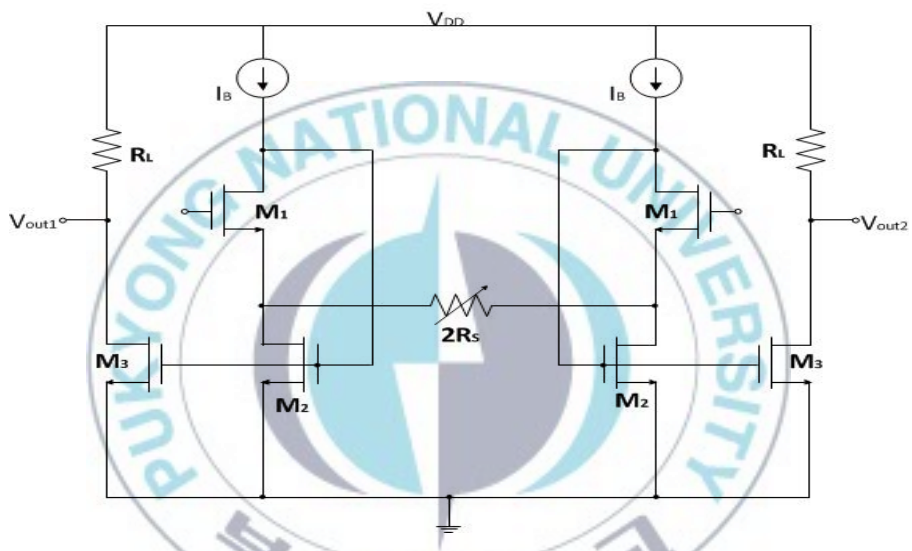
[그림 3.5] 간단한 부궤환 시스템 블록다이어그램

식 (3.6)는 부궤환 시스템의 전체 이득을 나타내며 그 이득은 궤환 이득에 의해 결정되기 때문에 이득A가 변하더라도 전체 이득은 궤환 이득만큼 전체 이득오차가 적다. 하지만 부궤환 시스템의 정확한 이득을 위해 궤환 이득을 증가시키면 전체 이득의 정확도는 증가하지만 전체 부궤환 시스템의 이득은 작아진다.

$$\frac{Y}{X} = \frac{A}{1 + \beta A} \approx \frac{1}{\beta} \left(1 - \frac{1}{\beta A}\right) \quad (3.6)$$

여기서  $X$ 는 부궤환 시스템의 입력,  $Y$ 는 부궤환 시스템의 출력,  $\beta$ 는 궤환 이득 및  $A$ 는 열린 루프 이득을 각각 나타낸다.

[그림 3.6]은 [그림 3.5]의 축퇴저항 차동증폭 기에 부궤환 개념을 적용한 gm-boosting 증폭기로  $M_1$ 의 출력이  $M_2$ 의 게이트단자로 들어가는 부궤환 구조를 이루게 된다.

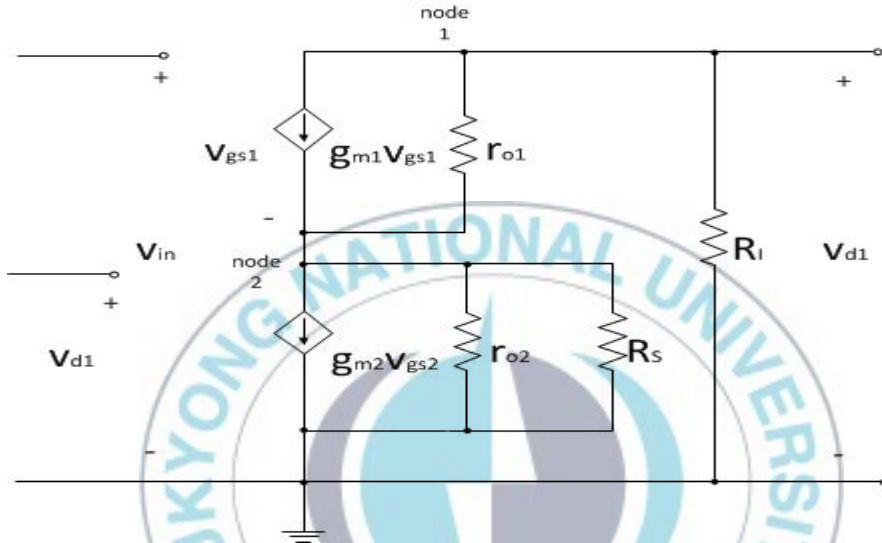


[그림 3.6] Gm-boosting 증폭기

만약 [그림 3.6]의 회로가 외부 영향으로 인해  $M_1$  드레인 전압이 증가하면  $M_2$ 에 게이트 전압이 커지게 되어  $M_2$ 의 드레인 전압은 낮아지게 되고 이것은  $M_1$ 의 오버드라이브 전압이 커짐을 의미한다. 결국 부궤환 효과로 인해  $M_1$ 의 출력전압은 다시 낮아지게 되어 외부의 영향에 덜 민감하게 된다[7].

[그림 3.7]은 gm-boosting 증폭기의 차동모드 이득을 구하기 위해 [그

림 3.6]회로에 절반회로 기법을 적용하여 소신호 등가 모델로 나타낸 것이다. 여기서 [그림 3.7]의 노드1과 노드2에서 KCL법칙을 적용하면 식 (3.7), 식 (3.8) 및 식 (3.9)을 구할 수 있다.



[그림 3.7] Gm-boosting 소신호 등가 모델

$$g_{m1}v_{gs1} + \frac{v_{d1} - v_{s1}}{r_{o1}} + \frac{v_{d1}}{R_L} = 0 \quad (3.7)$$

$$g_{m2}v_{gs2} + \frac{v_{s1}}{(r_{o2} // R_s)} = g_{m1}v_{gs1} + \frac{v_{d1} - v_{s1}}{r_{o2}} \quad (3.8)$$

$$v_{gs1} = v_{in} - v_{s1}, \quad v_{gs2} = v_{d1} \quad (3.9)$$

여기서  $v_{d1}$ 은  $M_1$ 의 드레인 전압,  $v_{s1}$ 은  $M_1$ 의 소스 전압 및  $R_I$ 는 전류원의 출력 저항을 각각 나타낸다.

식 (3.7)을 식 (3.10)과 같이 표현가능하고 전류원의 내부저항이 매우 크다고 가정하였을 때 식 (3.10)과 식 (3.8)를 연립하여 식 (3.11)과 같이 gm-boosting 회로의 차동모드 이득을 구할 수 있다. 여기서 식 (3.11)을 보면 gm-boosting 회로의 이득은 축퇴저항이 변하더라도 gm-boosting 회로의 전체 바이어스 전압은 변하지 않기 때문에 축퇴저항 외 다른 파라미터들은 항상 일정하다. 그래서 회로의 전체 이득은 축퇴저항을 통해 그 이득을 조절할 수 있다.

$$v_{s1} = \frac{g_{m1}r_{o1}v_{in1} + v_{d1}\left(1 + \frac{r_{o1}}{R_I}\right)}{g_{m1}r_{o1} + 1} \quad (3.10)$$

$$\frac{v_{out}}{v_{in}} = \frac{g_{m3}g_{m1}r_{o1}(r_{o3} // R_L)}{g_{m1}g_{m2}r_{o1}(r_{o2} // R_s) + g_{m2}(r_{o2} // R_s) + 1} \quad (R_I \approx \infty) \quad (3.11)$$

식 (3.10)은 gm-boosting 증폭기 차동모드 이득으로 전체 이득은 부하 저항에 비례하며 축퇴저항에는 반비례하며 부궤환 개념을 적용하여  $M_1$ 의 변동에 덜 민감한 결과를 가지게 된다.

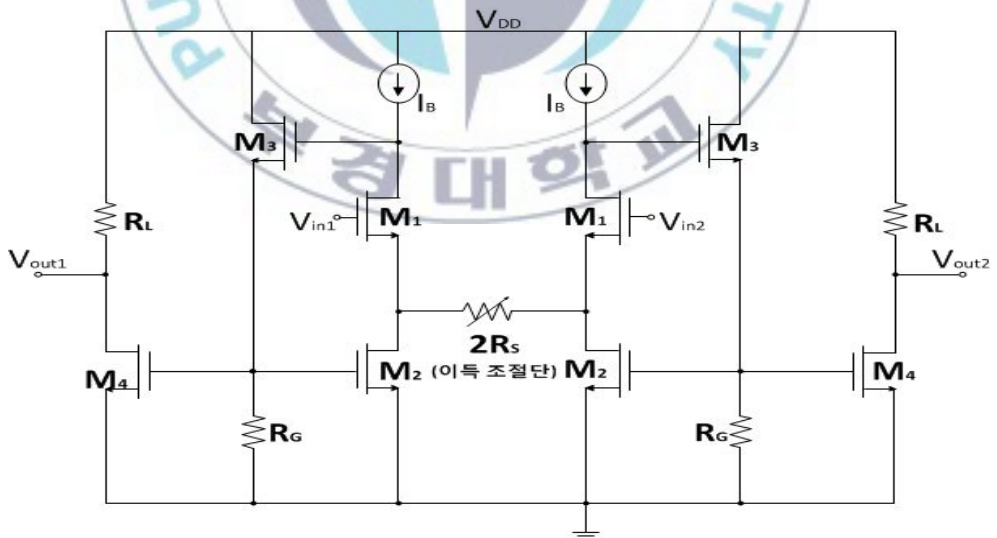
gm-boosting 회로의 공통모드 이득은 축퇴저항 차동증폭기의 공통모드에서처럼 축퇴저항이 변하게 되어 그 이득은 식 (3.12)과 같이 표현할 수 있다.

$$\frac{v_{out}}{v_{in}} = \frac{g_{m3}g_{m1}r_{o1}(r_{o3} // R_L)}{g_{m1}g_{m2}r_{o1}r_{o2} + g_{m2}r_{o2} + 1} \quad (3.12)$$

식 (3.11)에 비해 식 (3.12)의 분모의 크기가 매우 크다는 사실을 알 수 있으며 이는 차동모드에 비해 공통모드의 크기가 매우 작음을 의미하며 축퇴저항 차동증폭기의 부궤환 회로를 적용해 공통모드 이득의 크기를 줄일 수 있었다.

### 3.3 변형된 gm-boosting 증폭기를 활용한 제안된 PGA 회로

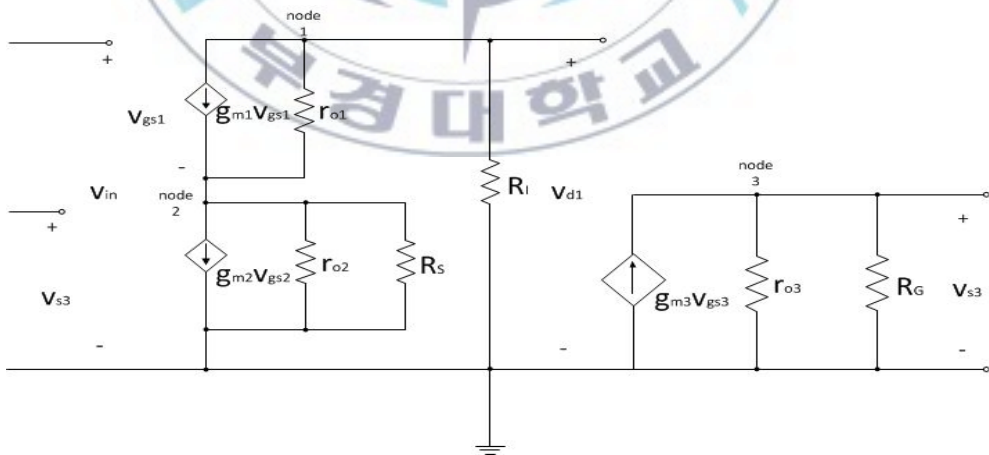
[그림 3.8]회로는 [그림 3.6]의 gm-boosting 증폭기를 변형시킨 것을 활용한 제안된 PGA 회로로 [그림 2.1]에서 홀센서에서 나오는 전기신호가 입력으로 들어오게 되며 제안된 PGA를 통해 입력 신호가 증폭되고 증폭된 신호는 ADC회로에 전달된다. 여기서 기존의 gm-boosting 증폭기는  $M_1$ 의 드레인 전압이  $M_2$ 의 게이트 단자로 연결되어  $M_2$ 에 높은



[그림 3.8] 제안된 PGA

dc전압이 공급되어  $M_2$  트랜지스터가 트라이오드 영역에서 동작하게 된다. 이는 전체 회로의 미세한 변동에도 전체 회로의 성능에 큰 영향을 주게 된다. 그리고  $M_1$ 의 드레인 전압이  $M_3$ 의 게이트 단자로 연결되어 높은 dc전압 공급으로 인해 전체 회로의 큰 이득을 가지기 어려운 문제점을 가진다. 그래서 본 논문에서는 높은 이득을 얻고 회로의 안정성을 향상시키기 위해 변형된 gm-boosting 증폭기를 제안된 PGA에 적용하였다.

[그림 3.8]회로는  $M_3$ 와  $R_G$ 의 구성으로  $M_2$  및  $M_4$ 는 게이트 단자로 공급되는 dc전압을 낮춰  $M_2$ 는 포화영역에서 동작하고 [그림 3.6]회로 보다 더 높은 이득을 얻을 수 있다. 그리고 [그림 3.9]은 제안된 PGA의 차동 모드 이득을 구하기 위해 [그림 3.8]를 소신호 등가 모델로 나타낸 것으로 [그림 3.9]의 노드1, 노드2 및 노드3에서 KCL법칙을 적용시키면 식 (3.13), 식 (3.14) 및 식 (3.15)를 구할 수 있다.



[그림 3.9] 제안된 PGA 소신호 등가 모델

$$g_{m1}v_{gs1} + \frac{v_{d1} - v_{s1}}{r_{o1}} + \frac{v_{d1}}{R_I} = 0 \quad (3.13)$$

$$g_{m2}v_{gs2} + \frac{v_{s1}}{(r_{o2} // R_s)} = g_{m1}v_{gs1} + \frac{v_{d1} - v_{s1}}{r_{o2}} \quad (3.14)$$

$$g_{m3}v_{gs3} = \frac{v_{d3}}{r_{o3} // R_G} \quad (3.15)$$

식 (3.15)을 정리하여 식 (3.16)로 바꿔 식 (3.14)과 연립하여 풀면 식 (3.17)을 구할 수 있다.

$$v_{s3} = \frac{g_{m3}(r_{o3} // R_G)}{1 + g_{m3}(r_{o3} // R_G)} v_{d1} \quad (3.16)$$

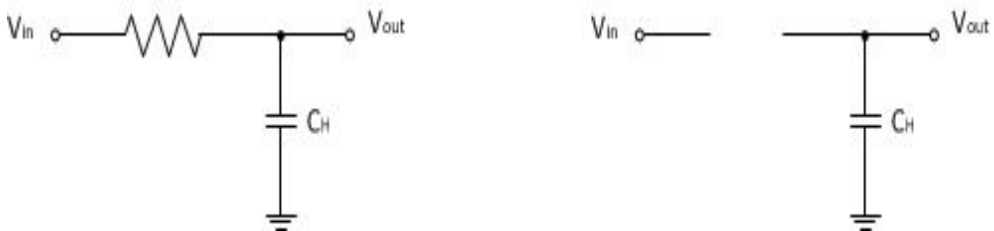
$$\frac{v_{out}}{v_{in}} = \frac{g_{m4}g_{m1}r_{o1}(r_{o4} // R_L)}{g_{m1}g_{m2}r_{o1}(r_{o2} // R_s) + g_{m2}(r_{o2} // R_s) + 1 + \frac{1}{g_{m3}r_{o3} // R_G}} \quad (3.17)$$

제안된 PGA 차동모드 이득 식 (3.17)과 gm-boosting 증폭기 차동모드 이득 식 (3.11)을 비교해보면 그 결과식은 매우 비슷하지만 식 (3.17)은  $M_2$ 와  $M_4$ 에 인가되는 dc전압 낮춰  $M_2$ 가 포화영역에서 동작하고  $M_4$ 에서는 더 높은 이득을 얻어 기존의 gm-boosting 증폭기 보다 전체 회로의 안정성 및 이득을 향상시킬 수 있었다.

### 3.4 이득 조절단

제안된 PGA의 이득 조절단은 [그림 3.8]의  $R_s$ 에 해당되며 [그림 2.1]의 DSP로 부터 제어 신호를 받아 제안된 PGA의 이득이 조절되는 데 다양한 이득을 얻기 위해 이득 조절단의 저항 크기 변화가 필요하며 이를 위해 회로를 연결하거나 끊어주는 역할을 하는 CMOS 스위치를 사용하여 이득 조절단의 저항 크기를 조절한다. 여기서 BJT(Bipolar Junction Transistor)를 사용한 스위치 보다 CMOS 스위치를 활용하면 전류가 0일 때도 스위치가 켜지고, 게이트 전압에 따라 소스 또는 드레인 전압이 같이 변할 필요가 없는 장점을 가진다.

CMOS 스위치는 게이트에 문턱전압보다 큰 전압을 걸어줄 경우 스위치는 닫히게 되고, 문턱전압 보다 낮은 전압일 경우 열리게 되며 [그림 3.10]는 CMOS 스위치가 닫히거나 열릴 때 발생하는 스위치 개폐 동작 모델을 나타낸다. 여기서 CMOS 스위치가 닫히게 될 때 온-저항이 발생하는 데 스위치의 온-저항의 크기는 게이트에 인가되는 전압과 드레인 및 소스에 흐르는 전류의 비로 구할 수 있다.



(a) 스위치 닫힌 동작 모델

(b) 스위치 열린 동작 모델

[그림 3.10] CMOS 스위치 개폐 동작 모델

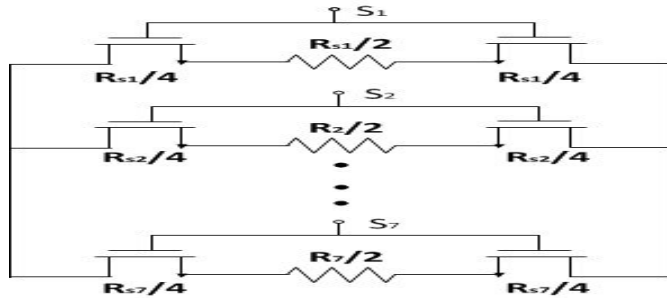
스위치의 개폐 동작에 따른 특성을 보았을 때 스위치를 활용한 PGA 설계 시 스위치의 온-저항의 존재를 고려해야한다. 그래서 스위치의 온-저항을 NMOS(N-channel Metal-Oxide Semiconductour)의 드레인 전류인 식 (3.18)를 활용하여 그 크기 식 (3.19)과 같이 나타낼 수 있으며 스위치 온-저항의 크기는 채널 폭에 반비례하고 채널 길이에 비례한다.

$$I_D = \frac{1}{2} \frac{W}{L} \mu_n C_{ox} (V_{GS} - V_t)^2 (1 + \lambda V_{DS}) \quad (3.18)$$

여기서  $\mu_n$ 은 전자의 이동도,  $C_{ox}$ 는 단위면적당 산화막 커패시턴스,  $W$ 는 트랜지스터 채널 폭,  $L$ 은 트랜지스터 채널 길이,  $V_t$ 는 문턱전압 및  $\lambda$ 는 채널길이 변조 파라미터를 각각 나타낸다.

$$R_{on} = \frac{\delta V_{GS}}{\delta I_D} = \frac{L/W}{\mu_n C_{ox} (V_{GS} - V_t)(1 + \lambda V_{DS})} \quad (3.19)$$

[그림 3.11]는 본 논문에서 제안된 PGA의 이득 조절단 구조를 나타낸 것으로 저항 및 스위치로 구성된다. 여기서 이득 조절단의 스위치 온-저항과 저항의 크기 비율을 정해야하는 데 스위치의 온-저항의 크기를 작게 하고 저항 크게 하여 설계를 할 경우 선형성은 좋아지지만 전체 칩의 면적이 커지고 반대로 스위치 온-저항으로만 구성할 경우 전체 칩의 면적은 줄어들지만 선형성이 떨어진다. 그래서 제안된 PGA의 이득 조절단은 두 관계를 고려하여 각각 같은 크기의 저항 및 스위치의 온-저항을 활용하였다.



[그림 3.11] 이득 조절단 구조

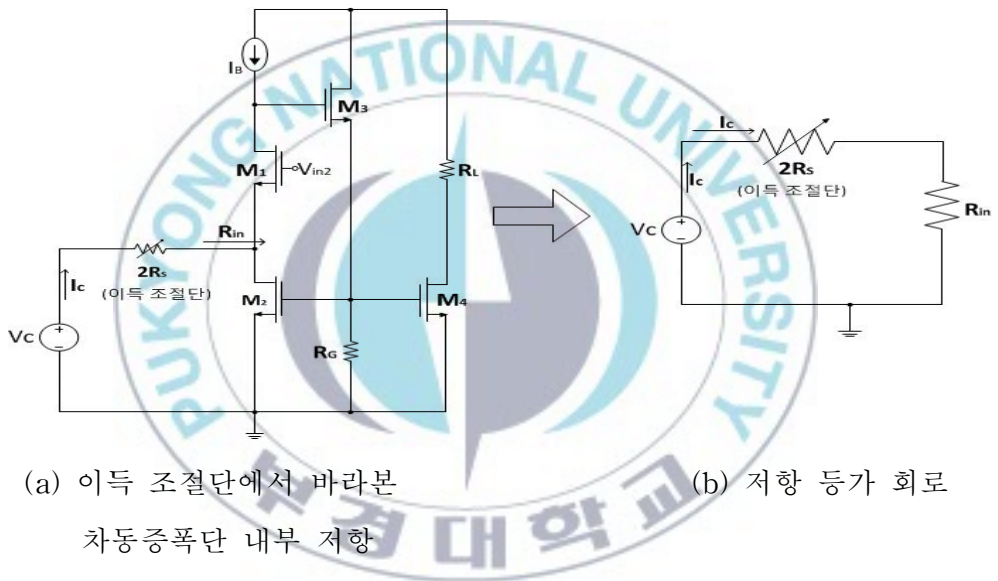
이득 조절단은 병렬 구조로 7개의 저항과 완전 대칭 구조를 가지기 위해 14개의 CMOS 스위치로 구성되고 병렬 구조를 통해 전체 등가 저항의 크기가 조절되며 스위치가 닫히는 수가 많을수록 저항의 크기는 작아져 제안된 PGA의 이득이 증가한다.

[표 3.1]은 이득 조절단의 스위치 변화에 따른 제안된 PGA의 이득 변화를 나타낸 것으로 이득 조절단의 모든 스위치  $S_1 \sim S_7$ 이 닫히게 되면 제안된 PGA의 이득은 60dB가 되며  $S_1$ 스위치만 닫힐 경우 6dB의 이득이 된다.

[표 3.1] 스위치 변화에 따른 PGA 이득 변화

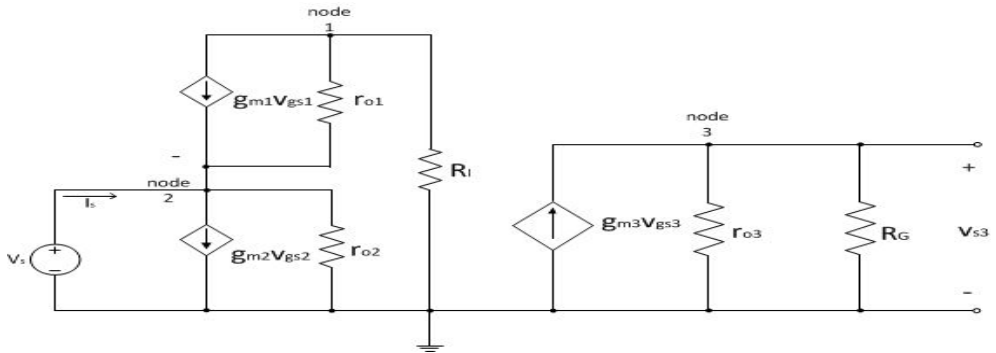
	S1	S2	S3	S4	S5	S6	S7
6dB	On	Off	Off	Off	Off	Off	Off
12dB	On	On	Off	Off	Off	Off	Off
20dB	On	On	On	Off	Off	Off	Off
26dB	On	On	On	On	Off	Off	Off
32dB	On	On	On	On	On	Off	Off
40dB	On	On	On	On	On	On	Off
60dB	On	On	On	On	On	On	On

식 (3.19)를 보면 스위치의 온-저항 크기는 다양한 공정 파라미터들로 인해 정확한 계산이 어렵다. 그러나 시뮬레이터를 이용해 그 크기를 정확히 구할 수 있으며 [그림 3.12]은 시뮬레이터를 이용해 스위치의 온-저항을 측정하기 위해 이득 조절단에서 차동증폭기 내부로 바라본 등가 저항( $R_{in}$ )을 나타낸 것으로  $R_{in}$ 의 크기를 구한 후 [그림 3.12(b)]의 회로를 구성해 전류  $I_c$ 를 측정하여 스위치의 온-저항 크기를 구할 수 있다.



[그림 3.12] 온-저항 크기 측정을 위한 차동증폭기 저항 등가 회로

[그림 3.13]은 [그림 3.12]에 나타낸  $R_{in}$ 의 크기를 구하기 위한 소신호 등가 모델을 나타낸 것으로 [그림 3.13]의 노드1, 노드2 및 노드3에서 KCL법칙을 적용시키면 식 (3.20), 식 (3.21) 및 식 (3.22)을 구할 수 있다.



[그림 3.13]  $R_{in}$  을 구하기 위한 소신호 등가 모델

$$g_{m1}(-v_s) + \frac{v_1}{R_I} + \frac{v_1 - v_2}{r_{o2}} = 0 \quad (3.20)$$

$$I_s + g_{m1}(-v_s) + \frac{v_1 - v_s}{r_{o1}} = \frac{v_s}{r_{o2}} + g_{m2}v_{s3} \quad (3.21)$$

$$v_{s3} = \frac{g_{m3}(r_{o3} // R_G)}{1 + g_{m3}(r_{o3} // R_G)} v_1 \quad (3.22)$$

식 (3.20), 식 (3.21) 및 식 (3.22) 세 가지 수식을 연립하여 식 (3.23)  $R_{in}$  의 정의할 수 있다. 그리고 시뮬레이터를 통해 [그림 3.12(b)]를 구성하여 입력전압( $V_e$ )와 전류( $I_e$ )를 활용하면 이득 조절단의 전체 저항 크기를 구하여 스위치 온-저항의 크기를 구할 수 있게 된다.

$$R_{in} \approx \frac{1}{g_{m1}g_{m2}r_{o1}} \quad (3.23)$$

## IV. 시뮬레이션 결과 및 분석

본 연구에서 입력된 전기신호를 제안한 PGA 회로를 통한 결과 값을 시뮬레이션으로 얻기 위해 상온 25°C에서 전원전압 1.8V를 적용하여 Magnachip/SK Hynix사의 1-poly 6-metal 0.18 $\mu$ m CMOS 공정을 활용하여 [그림 3.8]의 제안된 PGA 회로를 구현하였고 이 회로에 대해 시뮬레이션 하였다.

제안된 PGA 신호의 입출력과정을 시뮬레이션하기 위해 Hspice를 사용하였고 시뮬레이션 과정에서 입력 바이어스 전압은 0.8V를 적용하였고 강판의 진동 자체는 매우 미미하여 홀 센서로부터 나오는 출력 신호의 주파수는 100kHz 보다 작기 때문에 PGA의 입력 주파수를 100kHz로 적용하여 시뮬레이션 하였다.

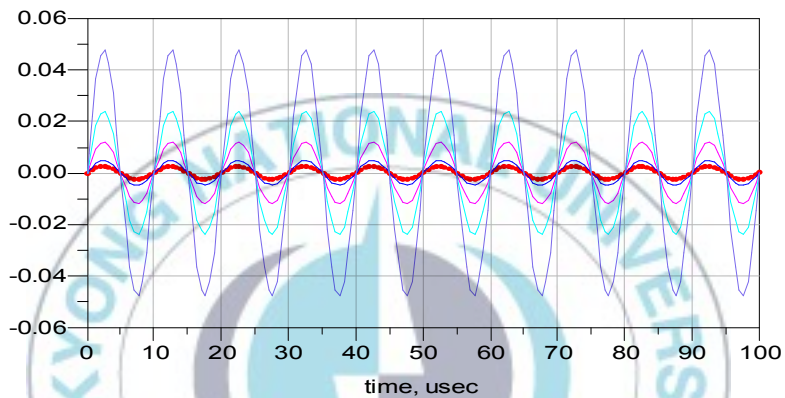
제안된 PGA의 시간 영역 및 주파수 영역에서 출력의 변화를 확인하기 위해 시간 응답 시뮬레이션과 주파수 응답 시뮬레이션을 수행하였으며 주파수 응답 시뮬레이션을 통해 차동증폭기의 대표 성능 지표인 CMRR를 구하였다. 그리고 제안된 PGA의 선형성을 확인하기 위해 고조파 균형 시뮬레이션을 수행하였다.

### 4.1 시간 응답 시뮬레이션

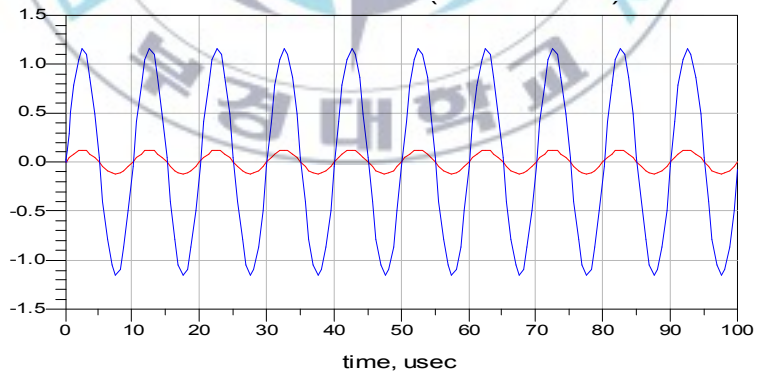
시간 응답 시뮬레이션은 시간 축을 기준으로 신호의 변화를 나타내는 시뮬레이션으로 0 $\mu$ sec에서 시작하여 100 $\mu$ sec까지 1 $\mu$ sec당 한 번씩 시뮬레이션 되도록 하였다. 그리고 출력 신호는 [그림 3.10]의  $V_{out1}$  출력과  $V_{out2}$  출력을 뺀 신호를 [그림 4.1(a)]에 6dB~32dB까지 총 5가지 증폭된

신호를 나타내었으며 [그림 4.1(b)]는 40dB~60dB까지 총 2가지 증폭된 신호를 나타내었다.

[그림 4.1]에서 알 수 있듯이 이득의 변화에 따라 신호의 진폭이 변함을 볼 수 있다. 이러한 결과는 설계된 PGA가 6dB, 12dB, 20dB, 26dB, 32dB, 40dB 및 60dB에 대해 정상적인 시간 응답을 보임을 증명한다.



(a) 6dB~32dB

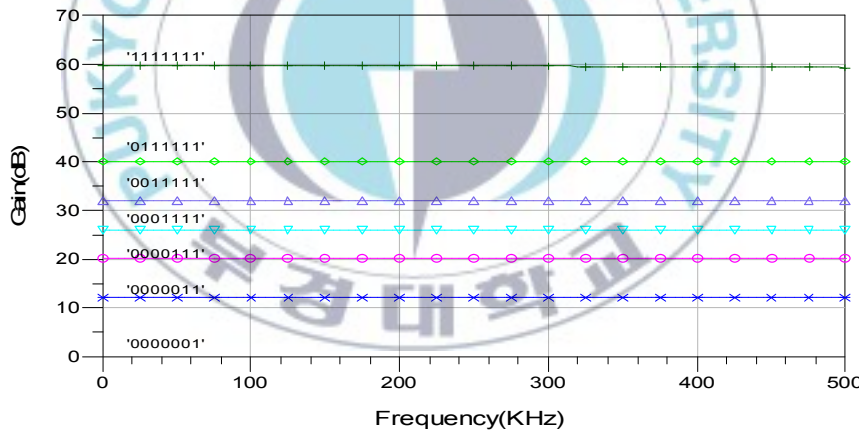


(b) 40dB~60dB

[그림 4.1] 시간 영역 시뮬레이션 결과

## 4.2 주파수 응답 시뮬레이션

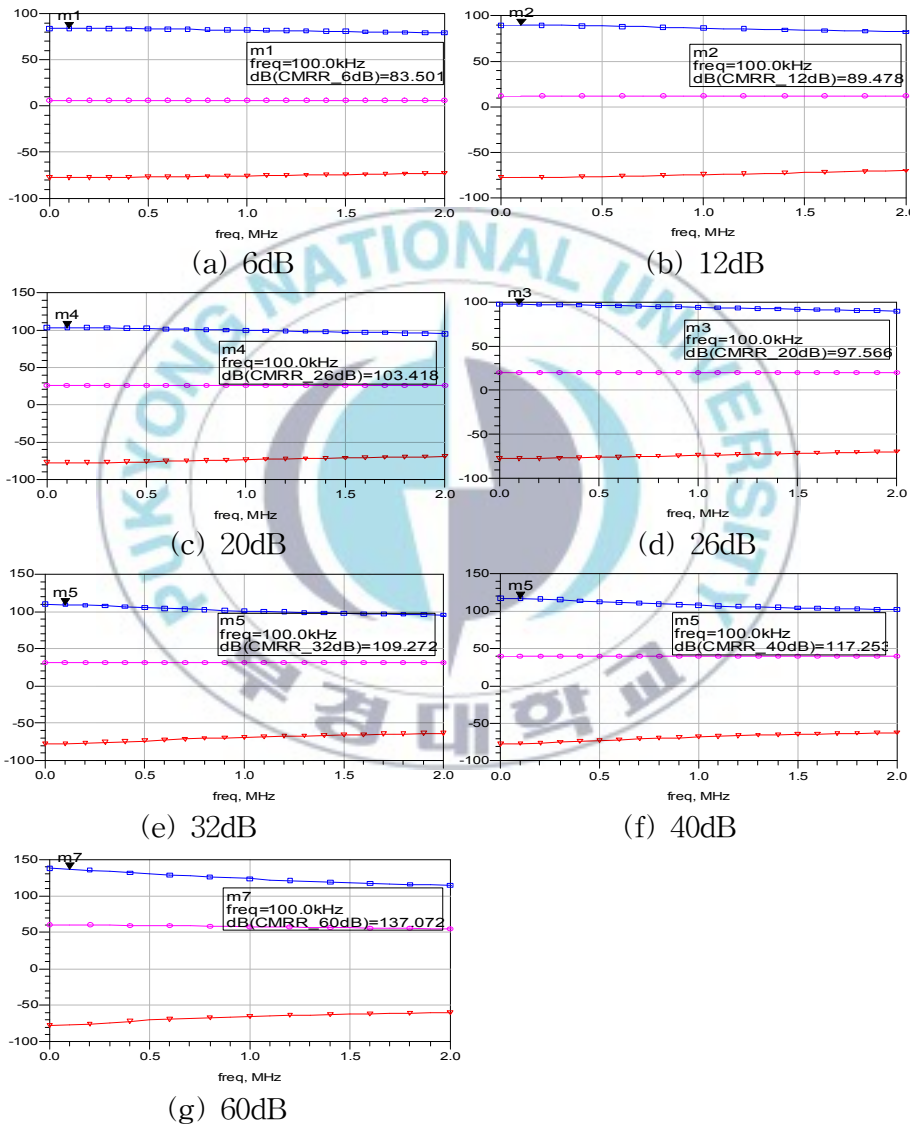
주파수 응답 시뮬레이션은 주파수 영역에서 신호의 변화를 관찰할 수 있으며 0Hz에서 500kHz까지 10kHz당 한 번씩 출력 신호의 변화를 [그림 4.2]를 통해 확인하였다. 여기서 스위치(S<sub>1</sub>S<sub>2</sub>S<sub>3</sub>S<sub>4</sub>S<sub>5</sub>S<sub>6</sub>S<sub>7</sub>)의 변화에 따라 출력 이득이 변하고 [그림 4.2]의 1은 스위치가 닫힘을 의미하며 0은 스위치가 열림을 의미한다. 스위치가 모두 닫힐 경우 60dB의 이득을 가지며 S<sub>1</sub> 하나의 스위치만 닫힐 경우 6dB의 이득을 보임을 확인하였다. 이러한 결과는 각 스위치의 동작에 따라 목표로 한 6dB~60dB가 정상적으로 출력됨을 증명한다.



[그림 4.2] 주파수 영역 시뮬레이션 결과

[그림 4.3]은 공통모드 제거비(CMRR)를 구하기 위해 차동모드 이득 및 공통모드 이득을 추출한 결과를 나타낸 것으로 공통모드 제거비는 식 (3.1)로 정의되며 [그림 4.3]으로 부터 알 수 있듯이 6dB 이득에 대해서

는 83.5dB의 공통모드 제거비를 보였고, 60dB 이득에 대해서는 137.77dB의 우수한 공통모드 제거비 특성을 보였다. 공통모드 제거비가 클수록 차동입력 신호의 주파수 특성이 우수함을 증명한다.



[그림 4.3] 공통모드 제거비 주파수 응답

[표 4.1]은 차동모드 이득, 공통모드 이득 및 공통모드 제거비 수치를 나타낸 것으로 총 7가지 이득에서 가장 큰 이득오차는 0.18dB로 작은 이득오차를 가졌으며 제안된 PGA가 정확히 동작함을 증명한다.

[표 4.1] PGA의 차동모드이득, 공통모드이득 및 공통모드 제거비 결과

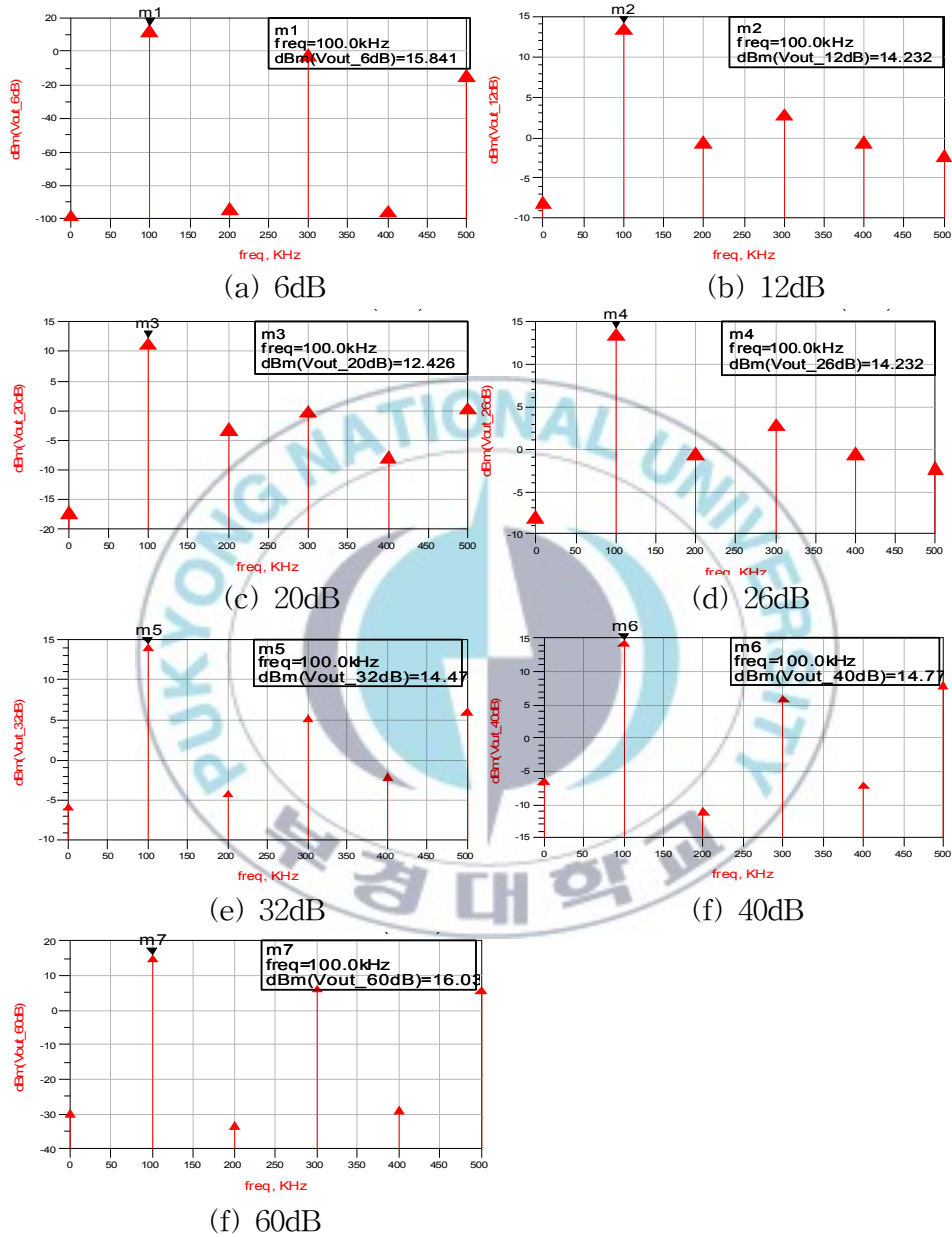
	차동모드이득(dB)	공통모드이득(dB)	공통모드 제거비(dB)
6dB	5.98	-77.52	83.50
12dB	11.98	-77.49	89.48
20dB	20.08	-77.49	97.57
26dB	25.94	-77.48	103.42
32dB	32.00	-77.27	109.27
40dB	40.05	-77.20	117.25
60dB	60.18	-76.90	137.07

### 4.3 고조파 균형 시뮬레이션

일반적으로 정현파 신호가 비선형 소자로 들어가게 되면 출력 신호는 고조파 성분 발생시킨다. 즉 입력 기본주파수의 정수배에 해당하는 고조파 신호로 인해 원하지 않는 출력들이 나타난다. 그래서 입력신호의 기본주파수를 가진 출력 신호의 크기와 고조파 신호의 크기를 비교하는 선형성 지표를 확인하기 위해 고조파 균형 시뮬레이션을 하였다.

본 논문에서는 총 5개의 고조파 신호를 추출하여 시뮬레이션 하였으며 [그림 4.4]는 고조파 균형 시뮬레이션 결과를 나타낸 것이다. 여기서 [그림 4.4]로부터 알 수 있듯이 짝수 항의 크기는 홀수 항의 크기보다 작음을 확인할 수 있다. 이는 본 논문에서 제안하는 PGA가 완전 대칭 구조로 설계되어 있기 때문에 짝수 성분들은 서로 제거되어 우수한 선형성을

보임을 증명하는 결과이다.



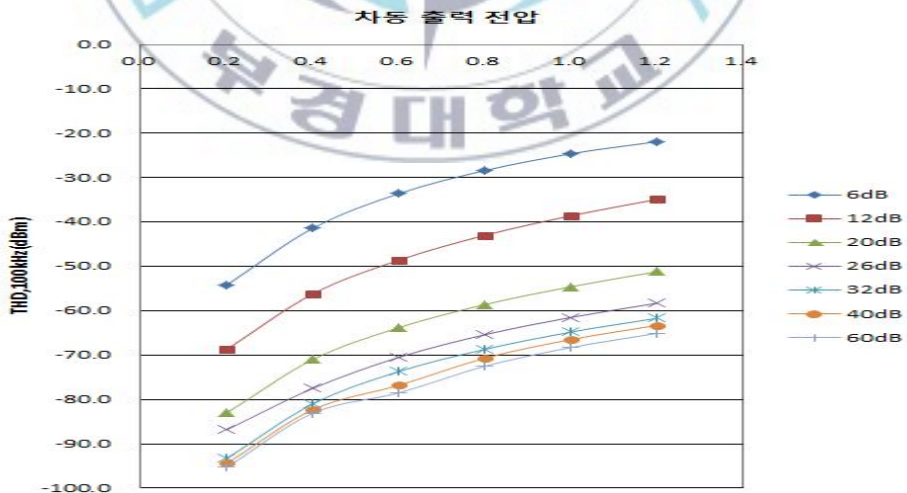
[그림 4.4] 고조파 균형 시뮬레이션 결과

THD(Total Harmonic Distortion, 전고주파 왜곡)는 비선형 회로의 선형성을 평가하는 척도가 되며 THD는 출력신호 고조파 성분의 rms(root mean square, 실효치)와 출력신호 입력주파수를 가지는 신호의 전압 비로 정의된다. 식 (4.30)은 THD를 수식으로 나타낸 것이다.

$$THD = \frac{\sqrt{V_2^2 + V_3^2 + \dots + V_\infty^2}}{V_1} \quad (4.30)$$

여기서  $V_1$ 은 입력주파수 성분을 가지는 출력전압이고,  $V_2 \sim V_\infty$ 는 고조파 신호의 전압을 의미한다.

[그림 4.5]는 100kHz에서 모든 이득에 대한 THD 결과를 나타낸 것으로 총 7가지 이득에 작은 크기의 입력부터 시작하여 출력 신호가 포화될 때까지 입력 신호의 크기를 조금씩 증가시켰을 때 THD의 크기를 나타낸 것이다.



[그림 4.5] 100kHz에서 모든 이득에 대한 THD

[그림 4.5]는 0.4V~1.4V의 차동 출력전압에 대해 7가지 이득의 THD 값들을 나타낸 것으로 직선과 유사함을 통해 우수한 선형성을 가짐을 확인할 수 있다. 이러한 특성은 본 논문에서 제안된 PGA가 총 7가지 이득에 대해 우수한 선형성을 가짐을 증명한다.

[표 4.2]는 최근 연구된 PGA와 본 논문에서 제안된 PGA의 성능을 요약 및 비교한 것으로 제안된 PGA는 최근 연구 결과에 비해 총 면적이  $0.016 \mu\text{m}^2$ , 이득오차가 0.18dB 및 소비전력이 0.47mW로 우수한 특성을 보였다.

[표 4.2] PGA 성능 요약

	본 논문	[8]	[9]	[10]	[11]	[12]	[13]
공정	0.18 $\mu\text{m}$	0.18 $\mu\text{m}$	0.18 $\mu\text{m}$	0.18 $\mu\text{m}$	0.18 $\mu\text{m}$	0.18 $\mu\text{m}$	0.13 $\mu\text{m}$
이득 범위(dB)	6/60	-21/21	-18/30	0/70	-15/60	-22/32	0/60
이득 오차(dB)	<0.18	<0.54	-	<0.7	<0.3	<0.5	<0.3
소비전력(mW)	0.47	3.2	2.5	4	11.85	2.16	9
대역폭(MHz)	<1.5	60	60	15	140	65	90
면적( $\mu\text{m}^2$ )	0.016	0.078	0.12	1.2	0.06	0.385	-

## V. 결론

본 논문은 강판 결함 검출용 저전력 PGA를 제안하며 제안된 회로는 강판 결함 검출 시스템의 홀 센서에 서 나오는 전기신호를 검출하려는 결함의 종류에 따라 증폭도를 조절하여 전기신호를 증폭하는 역할을 한다.

제안된 PGA는 축퇴저항 차동증폭기 구조를 통해 외부 잡음을 줄이고 짝수 고조파 성분을 제거하여 더 높은 선형성을 가지도록 설계하였다. 그리고 제안된 PGA의 이득 조절단은 칩의 크기 및 선형성을 고려하여 스위치 온-저항 효과와 수동소자로 병렬 형태의 구조를 가지며 dc 전압 강하 없이 6dB, 12dB, 20dB, 26dB, 32dB, 40dB, 60dB 총 7가지 이득으로 조절 가능하도록 설계하였다.

제안된 PGA는 Magnachip/SK Hynix 0.18 $\mu$ m CMOS 1poly-6metal 공정을 기반으로 구현하여 Hspice를 사용한 시뮬레이션을 통하여 동작을 검증하였고, 레이아웃은 Cadence Virtuoso를 이용해 회로를 구성하였으며 Mentor의 Calibre를 이용하여 DRC 및 LVS를 검증하였다. 이를 통해 제안한 PGA는 6dB ~ 60dB 이득을 가지고, 최대 0.18dB의 우수한 이득 오차 특성을 보였다. 또한 전원전압 1.8V에서 0.47mW의 저전력 소비특성을 보였다. 그리고 제안된 PGA의 전체 칩 크기는 0.016 $\mu$ m<sup>2</sup> 로 작은 면적을 차지하였다.

향후에는 제작된 칩과 테스트 보드를 구성하여 측정을 하고 시뮬레이션 결과와 비교 분석할 예정이다. 또한 칩의 높은 신뢰성을 위해 다양한 레이아웃 기법을 연구할 계획이다. 현재 PGA는 저주파수 대역에서만 동작 가능하지만, 주파수 보상을 통해 더 높은 대역에서도 동작 가능한 PGA를 설계할 계획이다.

## 참고문헌

- [1] 박승훈, 이정훈, 김철환, 류지열, “60dB 0.18 $\mu$ m CMOS 저전력 이득 조절 증폭기”, 2013춘계종합학술발표회 논문집, 제 17권,제 1호, pp. 349-351, 2013년 5월.
- [2] J.-H Lee, S.-H Park, C.-H Kim, S.-G Kim, and J.-Y Ryu, “A New Low-Power Programmable CMOS Gain Amplifier,” CES CUBE2013, Vol.3 no.1, pp , July 2013.
- [3] 권덕기, 박종태, 유종근, “디지털 방식의 이득조절 기능을 갖는 CMOS VGA를 위한 새로운 가변 축퇴 저항,” Journal of IEEE, Vol. 7 no. 1, pp. 43-55, 2003.
- [4] 권덕기, 문요섭, 김거성, “새로운 가변 Degeneration 저항을 사용한 2.5V 300MHz 80dB CMOS VGA 설계,” Journal of the Institute of Electronics Engineers of Korea, Vol. 40 no. 9, pp. 673-684, 2003.
- [5] 최문호, 이원영, 김영석, “다중 표준 시스템을 위한 이득 곡선 제어기를 가진 가변이득 증폭기 설계,” Journal of the Korean Institute of Electronic Material Engineers, Vol. 21 no. 4, pp. 321-328, 2008.
- [6] B. Calvo, S. Celma, P. A. Martinez and M. T. Sanz, “1.8 V-100 MHz CMOS programmable gain amplifier,” Proceedings of 2006 IEEE International Symposium on Circuits and Systems, pp. 1555-1558, 2006.
- [7] B. Calvo, S. Celma, P. A. Martinez and M. T. Sanz, “1.8V 0.35  $\mu$  m CMOS wideband programmable gain amplifier,” Proceedings of the 2005 European Conference on Circuit Theory and Design, Vol. 1 No. 1, pp. 35-38, 2005.

- [8] H. H. Nguyen, "A Binary-Weighted Switching and Reconfiguration-Based Programmable Gain Amplifier," IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 56 no. 1, pp. 699-703, 2009.
- [9] S. Y. Kang, "A CMOS Programmable Gain Amplifier with Constant Current-Density Based Transconductance Control," 2010 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), pp. 1-4, 2010.
- [10] B. Zhang and Z. Li, "A low power programmable gain amplifier with 70-dB control range in CMOS technology," 2011 IEEE 13th International Conference(ICCT) on Communication Technology, Vol. 13 no. 1, pp. 1074-1077, 2011
- [11] B. Rahmatian, "A Low-Power 75dB Digitally Programmable CMOS Variable-Gain Amplifier," Canadian Conference on Electrical and Computer Engineering(CCECE), pp. 522-525, 2007.
- [12] S. Y. Kang, "A 2.16 mW Low Power Digitally-Controlled Variable Gain Amplifier," Microwave and Wireless Components Letters, Vol. 20 no. 3 pp. 172-174, 2010.
- [13] X. Zhang, "A Temperature-Stable 60-dB Programmable-Gain Amplifier in 0.13- $\mu\text{m}$  CMOS," 2011 IEEE International Symposium on Circuits and Systems(ISCAS), pp. 1009-1012, 2011.

## 별 첨

### [게재 논문]

논문제목 (Paper Title)	논문 발표일 (Date)	논문지명 (Journal Title)	논문지 구분 <sup>1)</sup>	저자 구분 <sup>2)</sup>
77GHz 차량 충돌 방지 레이더 고주파 전단부 설계	2012.07	한국정보기술학회 논문지	학진 등재지	제1저자
가속도 센서를 이용한 이동거리 측정 시스템	2012.06	한국정보통신학회 논문지	학진 등재지	제2저자
Programmable RF System for RF System-On-Chip	2010.12	Communications in Computer and Information Science	SCOPUS	제1저자

[발표 논문]

논문제목(Paper Title)	논문발표일(Date)	논문지명(Journal Title)
60dB 0.18 $\mu$ m CMOS 저전력 이득 조절 증폭기	2013.05	한국정보통신학회
A New Low-Power Programmable CMOS Gain Amplifier	2013.	CES Cube 2013
능동형 차륜 속도센서 제작 및 특성 연구	2012.05	한국정보통신학회
가속도 센서를 이용한 이동거리 측정 알고리즘	2012.05	한국정보통신학회
Development of Automatic Measurement System for Fault Detection for GHz-Band Radio Frequency Devices	2011.10	ICCAS
Development of Automatic Gamma and Flicker Control System	2011.10	HCMUT
Image Quality Optimization Algorithm for Flat Panel Displays	2011.06	Springer-Verlag Berlin Heidelberg 2011
Design of Third-Order Cascaded Sigma-Delta Modulator	2011.06	Springer-Verlag Berlin Heidelberg 2011
Compensation System for RF System-on-Chip	2011.06	Springer-Verlag Berlin Heidelberg 2011
보행 특성을 고려한 이동거리 측정 알고리즘	2011.06	부산.경남.울산 지부 (대한전자, 한국통신 제어로봇)
GHz 대역 소자를 위한 자동 결함 검출 시스템	2011.05	ICROS
자동 감마 및 플리커 제어 시스템	2011.05	ICROS
A New Method to Control Image Quality	2011.01	HCMUT
고주파 시스템-온-칩 응용을 위한 자동 보상 시스템	2010.10	한국해양정보통신

## 감사의 글

2007년 새내기 시절이 바로 며칠 전 같은데 벌써 사회로 나갈 준비를 하려합니다. 입학 후 설레는 마음으로 학교를 다니면서 훌륭한 교수님들, 멋진 선배님들, 당찬 동기들 그리고 귀여운 후배들을 만나 힘든 시간도 잘 극복할 수 있었습니다. 저에게 많은 격려와 도움을 주신 분들께 이 글을 전하고 싶습니다.

때로는 아버지의 모습으로 인자한 미소를 띄우시고 때로는 선배처럼 다가와 주시는 지도교수님이신 류지열 교수님께 깊은 감사를 드립니다. 부족한 면이 많았지만 사소한 일부터 하나씩 아낌없는 지도해 주셔서 많은 것들을 배웠습니다. 교수님의 제자가 되어 자랑스럽고 사회에 나가 멋진 모습 보여드리고 싶습니다. 그리고 석사 진학에 있어 지도교수님이신 류지열 교수님을 만날 수 있는 기회를 주시고 바쁘신 일정에도 학위 심사 및 수정에 많은 조언을 주신 김성운 교수님, 박규철 교수님께 감사드립니다.

기쁨을 나누면 배가 되고 슬픔을 나누면 절반이 된다는 말처럼 항상 연구실 선·후배들이 그 역할을 해주었습니다. 인생이라는 여행 속에서 길을 잡지 못하고 있을 때 많은 도움을 주신 늦둥이 석사 신곤 선배, 많은 일들을 같이 하면서 당근과 채찍을 아낌없이 주시고 늘 할 수 있다는 자신감을 주시는 늦둥이 신랑 성우 선배, 바쁘신 와중에 연구실에 오셔서 인생의 선배로서 많은 이야기와 긍정적인 마인드를 심어 주시는 재환 선배, 먼 외국에서 생활하시고 다시 학교로 돌아왔지만 친구처럼 편하게 대해주시고 보리음료와 쌀음료 그리고 시원한 음료 종목 상관없이 막강한 철환이형, 연구실 들어오기 전부터 친했지만 지금은 글로 표현하기에

부족한 사람이 되었고 소중한 형이자 친구 같은 승훈이형, 늘 부지런하고 흐트러진 저의 모습을 자극을 주는 연구실의 알람시계 같은 성규형, 연구실의 카페인 80%를 차지하고 한 번 시작한 일에 엄청난 집중력을 보여주는 연구실 커피 대주주 명우형, 아직 많은 대화를 나눠보지 못했지만 시원한 음료에 대해서는 1인자가 분명한 기정이형, 얼굴을 보면 형이라고 생각할 수 없는 환한 미소를 가진 Abou, 이미 졸업했고 좋은 회사에 취직했지만 유일한 연구실의 후배이자 이쁜 후배인 주희와 슬이 모두에게 감사합니다.

어려운 문제를 풀기 위해 같이 공부도 했고 답답할 때 같이 광안리 산책을 하며 많은 추억을 쌓았던 나의 학부 동기이자 석사 동기인 선영이 많이 힘들겠지만 나의 자리에서 응원한다. 그리고 석사 동기이지만 선배인 동환이형 같이 동아리 방에서 자고 같이 축구도 많이 하고 과건물 옥상에 많은 이야기를 주고 같이 시험 치러 서울도 같이 올라가고 참 많은 일들이 있었습니다. 지금은 좋은 회사에 취직해 앞으로 나갈 일만 있을 것이라 믿습니다. 대학교 재내기 시절 유일하게 나에게 관심을 보여주고 먼저 다가와 챙겨준 나의 소중한 친구 민주와 은경이 항상 나의 편에서 응원해줘서 고맙다.

나의 학교생활을 더욱 유익하게 만들어준 FC.ARES와 STARFISH 축구를 통해 만난 나의 소중한 동료들을 떠날 생각을 하니 많이 아쉽지만 사회에 먼저 나가 많은 것들을 배워 그들이 올 때 많은 도움을 주고 싶습니다. 그리고 나의 소중한 벗 군렬이, 성철이, 정욱이, 수석이 다 같이 성공해서 폼 나게 살자.

끝으로 이 논문이 완성되기까지 제 걱정만 하시는 할머니, 끝없는 사랑을 주신 아빠, 보고 싶은 엄마 그리고 우리 누나들과 함께 기쁨을 나누고 싶습니다.