공 학 석 사 학 위 논 문

CMOS 공정에 의한 SSIMT의 집적화

2002년 2월

부 경 대 학 교 대 학 원

전 자 공 학 과

송 윤 귀

공 학 석 사 학 위 논 문

CMOS 공정에 의한 SSIMT의 집적화

지도교수 류 지 구

이 논문을 공학석사 학위논문으로 제출함

2002년 2월

부 경 대 학 교 대 학 원

전 자 공 학 과

송 윤 귀

송윤귀의 공학석사 학위논문을 인준함

2001년 12월 26일

주　　심　공학박사　정 수 태 (인)

위　　원　공학박사　최 혁 환 (인)

위　　원　공학박사　류 지 구 (인)

목 차

Abstract

1. 서론 1

2. SSIMT의 설계 및 특성 3
  2. 1 SSIMT의 설계 3
    2.1.1 구조 및 동작원리 3
    2.1.2 제안된 SSIMT 구조 6

  2. 2 SSIMT의 특성 9
    2.2.1 바이어스의 정의 9
    2.2.2 SSIMT의 전기적 특성 9
    2.2.3 SSIMT의 자기적 특성 15
    2.2.4 SSIMT의 오프셋 특성 21

3. 신호처리 23
  3. 1 개요 23
  3. 2 신호처리 회로 24
    3.2.1 제어신호 발생부 24
    3.2.2 레퍼런스 전류 회로 26
    3.2.3 초단증폭부 30
    3.2.4 스위칭 회로 33
    3.2.5 저역필터(LPF) 34
    3.2.6 출력증폭부 36
    3.2.7 A/D 변환기 38

  3. 3 신호처리 측정 및 논의 43

4. 결론 49

  참고문헌 50

Integration of SSIMT using a CMOS Process

Youn-Gui Song

Department of Electronic Engineering, Graduate School.
Pukyong National University

Abstract

A SSIMT(Suppressed Sidewall Injection Magnetotransistor) sensor with high linearity is presented in this thesis. This integrated SSIMT sensor is consists of SSIMT, amplifiers, chopper stabilization driving circuit, CMOS on-chip current reference circuit, LPF and A/D Converter.

The prototype is fabricated by using the Hynix 0.6㎛ P-substrate twin-well double poly three-metal CMOS Process.

The fabricated SSIMT shows that variation of the collector current is extremely linear by varing the magnetic flux density from -200mT to 200mT at I_B = 500㎂, V_{CE} = 2V and V_{SUB} = 5V. The relative sensitivity is up to 120%/T. At B = 0, magnetic offset is about 79mT, there relative sensitivity is 30.5%/T. The nonlinearity of the fabricated SSIMT is measured about 1.4%.

The pre-amplifier and output-amplifier has the gain of 100 and 30, respectively. Also, the behavior of 8bit two-step flash A/D converter designed in this thesis is fine.

1. 서론

최근 반도체 제조 기술의 비약적인 발전에 따라서 모든 시스템을 하나의 칩에 집적화하는 시스템온칩(System on a Chip; SoC)에 관한 연구가 활발히 진행되고 있다. 센서의 설계 및 제작에서도 센서와 부가적인 신호처리회로 및 응용회로를 하나의 칩에 집적화한 스마트 센서들이 개발되고 있다.

반도체를 이용한 자기센서는 반도체 내부의 Galvanomagnetic 효과를 이용한 것이다.[1] 반도체 자기센서는 오래 전부터 연구가 진행되었고, 대표적인 소자로서는 홀 소자와 자기저항소자 등이 있다. 반도체 자기센서의 재료로서 초기에는 이동도가 높은 Ⅲ-Ⅴ족 화합물 반도체를 이용한 연구가 활발하였으나, 근래에는 집적회로 기술의 발전으로 신호처리회로를 자기검출소자와 동일 칩에 집적화하는 실리콘 공정기술이 이용되고 있다. 특히 Ⅲ-Ⅴ족 화합물 반도체나 바이폴라 공정에 의해서 제조된 센서회로는 다시 증폭기와 신호처리 회로를 필요로 하게 된다.[2] 이러한 하이브리드 형태의 구조에 비해서 자기검출소자와 부가적인 신호처리회로가 하나의 칩에 집적화된 CMOS 공정에 의한 스마트 센서의 개발은 안정성, 성능 및 개발비용에 있어서 장점을 가지고 있다. 사실 실리콘을 이용한 자기센서는 화합물 반도체나 바이폴라 공정에 비해서 이동도가 낮기 때문에 감도는 떨어지지만, 증폭부, 안정화전원, 보상회로, 신호처리회로 등을 하나의 소자에 구현할 수 있으며, 안정성 및 저전력면을 고려하여 사용되고 있고 개개의 신호처리를 하는 것이 된다. 이것이 최근 실리콘을 이용한 센서의 연구가 활발하게 진행되는 이유이다.

실리콘 자기센서에는 여러 종류가 있지만, 홀 소자가 상업적으로 가장 널리 사용되고 있다. 다른 소자에 비해서 홀 소자의 구조가 간단하여 지

금까지 많은 연구가 되어 왔지만, 온도특성이 나쁘고, 출력신호가 적으며 오프셋 전압의 변화가 큰 결점을 가지고 있다. 따라서 최근에는 홀 소자 외의 다른 메커니즘의 자기센서에 많은 관심을 가지고 있다. 그 중 특히, SSIMT (Suppressed Sidewall Injection Magnetotransistor)는 1987년 Lj, Ristic에 의해 제안된 것으로서 홀 소자에 비해서 높은 감도, 선형성 및 실리콘 집적회로 공정에 대한 호환성 때문에 신호처리를 포함한 소자의 집적화에 더욱 유리한 장점을 가지고 있다.

본 연구에서는 이러한 점에 착안하여 CMOS공정에 의해 SSIMT를 설계하는데 있어, 소자의 외부에 guard ring을 만들어 소자를 외부의 영향으로부터 차폐시킴과 동시에 가상의 substrate가 되도록 설계하였다. 또한, 에미터를 둘러싼 guard ring을 만들어 에미터에서 콜렉터로 직접적으로 흘러들어가는 캐리어의 흐름을 최소화하는 설계로 보다 높은 비감도를 얻을 수 있도록 설계하였다. 또, 안정적인 소자의 구동을 위한 레퍼런스 전류 회로 설계와 소자의 작은 출력 값을 증폭하기 위한 증폭부를 설계하였으며, 센서의 출력신호외 불필요한 잡음과 오프셋을 제거하기 위해 초퍼 안정화 방식의 구동 회로와 저역필터(LPF)를 설계하여 센서의 출력을 보다 안정화시키는 신호처리회로를 설계하였다. 그리고 센서의 최종 출력을 디지털 제어가 가능한 MCU(Microcontroller Unit)와 같은 외부기기와 접속할 수 있도록 8비트 two-Step 플래쉬 A/D 변환기를 설계하였다.

측정결과, 제작된 SSIMT는 ±200[mT]의 자속 변화에 대해 선형적으로 증감하는 안정된 출력을 나타내는 스마트 센서임을 확인할 수 있었다.

2. SSIMT의 설계 및 특성

2.1 SSIMT의 설계

2.1.1 구조 및 동작원리

SSIMT (Suppressed Sidewall Injecton Magnetotransistor)는 횡형 자기트랜지스터(Lateral Magnetotransistor; LMT)의 보다 진화된 형태로서 1987년 Lj, Ristic에 의해서 제안되었다.[3] SSIMT는 에미터 양쪽에 있는 Sidewall이 에미터에서 콜렉터로 직접적으로 흘러 들어가는 캐리어의 흐름을 최소화하고, 중성영역인 베이스 지역에 수평한 전기장을 만들어 캐리어의 수평이동을 억제함으로써 감도를 증가시키는 구조를 가지고 있다. Ristic은 MOS공정으로 SSIMT를 구현하였고, 다른 자기센서와 비교할 수 없는 고감도를 얻었다.[4]

일반적인 SSIMT의 구조가 그림 2.1에 나타나 있다. SSIMT는 세 개의 트랜지스터로 구성되는데 에미터와 베이스는 공통으로, C_1이 하나의 트랜지스터를 형성하고, C_2가 또다른 하나의 트랜지스터를 형성한다. 그리고 substrate가 나머지 하나의 트랜지스터를 형성하게 된다. SSIMT의 등가회로는 그림 2.2와 같다. SSIMT의 바이어스는 일반적인 트랜지스터와 같은 종류이기 때문에 베이스와 에미터 사이에 순바이어스를, 베이스와 콜렉터 사이에는 역바이어스를 가해준다. 에미터 양쪽의 p^+확산은 에미터에서 콜렉터로 수평방향으로 주입되는 캐리어를 억제함으로서 감도의 향상을 가져온다. 에미터에 주입된 캐리어는 실선이 되도록 궤적을 그리는 이동과 C_1, C_2, C_{sub}에 도착한다. 여기에서 그림처럼 표면에 대한 수평으로 전계가 인가되는 것과 캐리어에 로렌츠힘이 작용하면, 캐리어의 궤도는 점선처럼 된다. 이어서, 콜렉터 C_1, C_2로부터 출력은 인가된

자장의 세기에 대한 전류차이가 출력된다.[2]

SSIMT처럼 전류출력형 자기트랜지스터의 감도는 다음과 같은 식으로 표현되는데 전류의 변화를 그 전류의 총계나 인가된 전기장에서 규격화된 값으로 표시하게 되는데 이것을 비감도라고 한다.

$$\text{비감도(S)} = \frac{|\Delta I_{C1}| + |\Delta I_{C2}|}{I_{C1} + I_{C2}} \quad \frac{100}{B}(\%/T) \qquad (1)$$

Ristic이 보고했던 SSIMT는 MOS기술에 따라 설계, 제작되었다. Ristic의 SSIMT는 NPN형의 SSIMT로 전자가 캐리어로 쓰였기 때문에 PNP형의 SSIMT에 비해서 로렌츠힘의 영향을 많이 받는다. 특히 Ristic의 경우 에미터 양쪽에 확산과 베이스간에 캐리어를 가속시키도록 전기장을 걸었기 때문에 로렌츠힘의 영향을 더욱 많이 받을 수 있도록 할 수 있었다. 실제로 Ristic의 연구 결과에 따르면 최고 3000%/T라는 고감도가 보고되었다.[4] 그러나 그때, 7㎃이상의 큰 베이스 전류가 흐르고 전체적으로 큰 소비전력에 따른 발열의 문제가 있는 것으로 나타났다.

다른 연구결과에 의하면 PNP형의 SSIMT에 비해서 NPN형의 SSIMT의 감도가 훨씬 우수한 것으로 보고되는데, 이것은 정공의 이동도에 비해 전자의 이동도가 훨씬 높기 때문이다.[4]

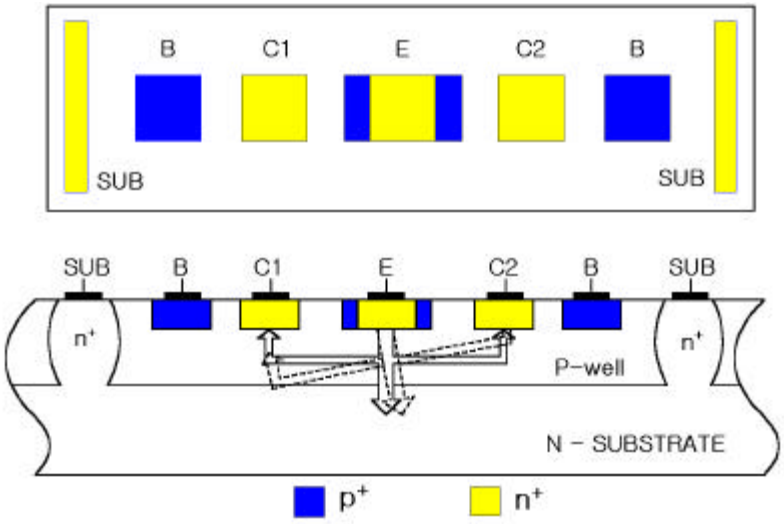


그림 2.1 SSIMT의 구조 및 동작원리

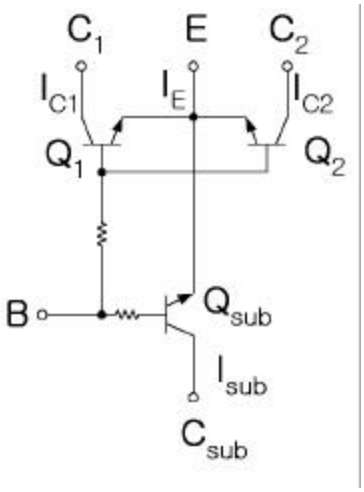


그림 2.2 SSIMT의 등가회로

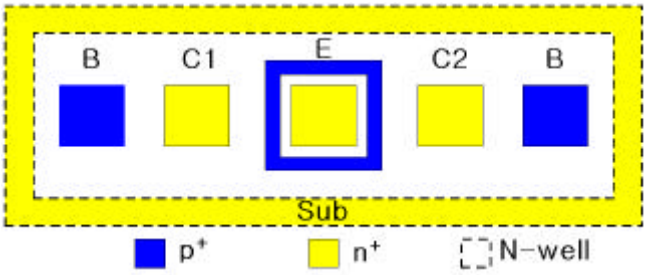
2.1.2 제안된 SSIMT 구조

일반적인 SSIMT의 sidewall은 에미터의 양쪽에 확산하는 방식을 취하고 있지만 본 연구에서는 오프셋을 줄이는 방법으로 sidewall이 에미터를 둘러쌓는 guard ring 구조를 제안하였다. 또한, 보다 높은 감도를 얻기 위한 NPN형의 SSIMT를 만들기 위해서는 공정상의 제한이 따르기 때문에 소자를 둘러싸서 N-well을 파고 n^+확산을 통해서 substrate를 만들었으며, 이는 소자를 외부와 차단시키는 역할도 하게된다. 그림 2.3은 본 연구에서 설계, 제작된 SSIMT의 구조를 보이고 있다. 그림 2.3(a)에서는 SSIMT의 위에서 본 그림을, 그림 2.3(b)에서는 단면도를 나타내고 있다.

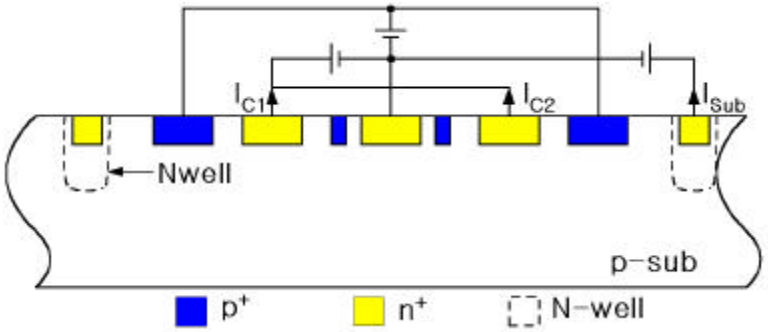
소자의 크기는 가로 세로 50[㎛] × 120[㎛]이며, 에미터, 베이스 그리고 콜렉터의 크기는 12[㎛]×12[㎛]로 설계하였다. 그리고 에미터를 둘러싼 gaurd ring sidewall의 폭은 3.3[㎛]이고, 에미터와 콜렉터 사이의 간격은 12[㎛]로 콜렉터와 베이스 사이의 간격은 6[㎛]로 설계하였다.

제작된 SSIMT는 P-substrate에 p^+, N-well 그리고 n^+로 구성된다. 에미터와 콜렉터, substrate는 n^+로 베이스와 sidewall은 p^+로 형성된다. 공정상의 제한과 외부로부터 소자를 차폐시키기 위해 소자를 구성하는 요소들 밖으로 N-well을 파고 거기에 n^+을 만들어 gurad ring을 만들어 substrate로, P-sub을 중성영역, 즉 베이스로 형성하고 N-sub의 형태로 만들었다. 소자는 공통인 에미터를 중심으로 완전 대칭으로 구성하여 오프셋을 최소화하였다. 제작된 SSIMT는 NPN형 TR의 형태를 가진다. I_{C1}, I_{C2}, I_{sub}은 각각 콜렉터의 전류값을 나타내게 된다. N-well의 깊이는 4[㎛]로 substrate에 비해서 상대적으로 깊이가 얕기 때문에 N-well로서 substrate의 역할을 할 수 있을지 의문이 들었지만, 실험 결과 좋은 결과를 나타내었다. 또한 만약 에미터로부터 떨어진 guard ring

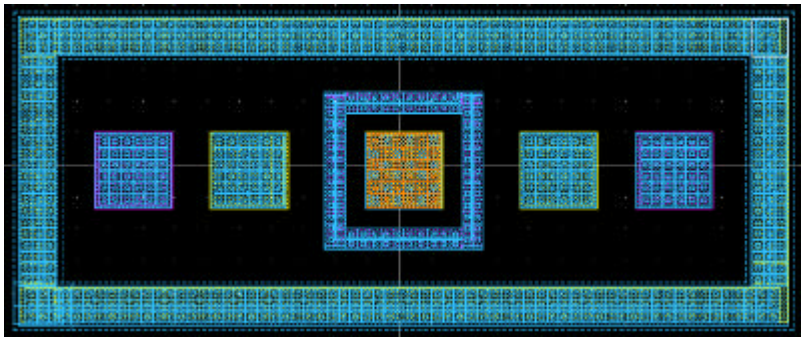
구조의 sidewall이 에미터에서 콜렉터로 수평하게 이동하는 캐리어를 효과적으로 억압하지 못한다면, 즉 sidewall로서 작용하지 않는다면 이것은 SSIMT가 아니라 그냥 단순한 LMT라고 할 수 있을 것이다. 그렇지만 제작된 SSIMT 소자를 측정한 결과, 제안한 guard ring 구조는 sidewall로 작용하여 효과적으로 캐리어의 수평적인 흐름을 억압하는 것으로 나타났다.



(a) SSIMT의 Top View



(b) SSIMT의 단면도



(c) 제작된 SSIMT의 레이아웃

그림 2.3 제안된 SSIMT의 구조

2.2 SSIMT의 특성

2.2.1 바이어스의 정의

그림 2.1과 그림 2.2에서 설명된 SSIMT의 구조와 등가회로에 의해서 SSIMT는 잘 설명되어져 있다. 본 연구에서 설계, 제작된 SSIMT를 실험하기 위해서 바이어스를 정의하여야 하는데 설계된 SSIMT는 3개의 트랜지스터와 같은 등가회로로 나타낼 수 있고, 베이스에는 일정한 베이스 전류 I_B를 흘려주고, V_{CE}와 V_{SE}에 일정한 전압을 걸어주게 된다.

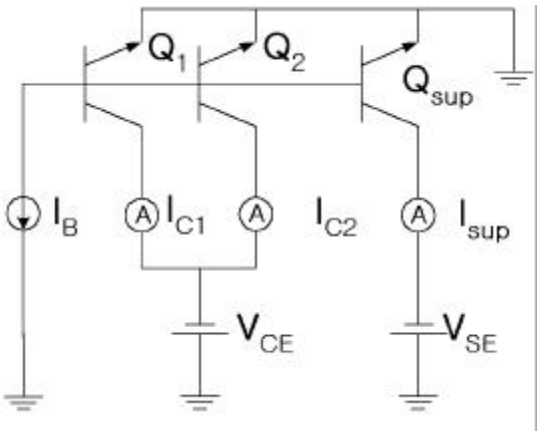


그림 2.4 SSIMT의 바이어스

2.2.2 SSIMT의 전기적 특성

SSIMT의 전기적인 특성의 측정은 곧 트랜지스터의 전기적인 특성을 조사하는 것이라고 할 수 있다. 본 실험에서는 Q_{sup}을 하나의 트랜지스터로 놓고, Q_1과 Q_2는 동일한 구조이기 때문에 콜렉터 C_1과 C_2를 하나로 묶어서 콜렉터에 흐르는 전류를 측정하였다. 그리고 에미터와 베이스는 공통으로 구성되었다. Q_1과 Q_2의 콜렉터에 흐르는 전류는 일반적으로

$I_C = (I_{C1} + I_{C2})/2$로 나타내기도 하지만 본 연구의 실험에서는 두 전류를 합산한 값을 표시하였다.

1) I_C - V_{CE}**의 특성**

① I_C - V_{CE} **특성**, $V_{SE} = 10V$**일정**, I_B**파라메터** (**그림** 2.5)

② I_{sub} - V_{SE} **특성**, $V_{CE} = 2V$**일정**, I_B**파라메터** (**그림** 2.6)

③ I_C - V_{SE} **특성**, $V_{CE} = 2V$**일정**, I_B**파라메터** (**그림** 2.7)

④ I_{sub} - V_{CE} **특성**, $V_{SE} = 10V$**일정**, I_B**파라메터** (**그림** 2.8)

2) I_C - I_B **특성**

① I_C - I_B **특성**, $V_{CE} = 2V$**일정**, $V_{SE} = 10V$**일정** (**그림** 2.9)

② I_{sub} - I_B **특성**, $V_{CE} = 2V$**일정**, $V_{SE} = 10V$**일정** (**그림** 2.10)

SSIMT**의 출력이 되는** I_C**에 관한 특성이 그림** 2.5**와 그림** 2.7**에 나타나 있다.** I_C**의 값은** I_B**값의 증가에 비례하여 증가하며** V_{CE}**의 증가에 따라서 증가하는 특성을 나타내지만** 1V**이상에서는 거의 안정적인 동작을 하는 것으로 나타났다. 따라서** SSIMT**의 특성측정에 있어서** V_{CE}**의 값은** 2V**이상에서 안정된 값을 나타내기 때문에** 2V**로 정하였다. 또한** V_{SE}**에 대한** I_C**의 변화에서도** 1V**이상의** V_{SE}**에 대해서 균등한 값을 가지기만** 5V**부근에서 가장 안정적이기 때문에** V_{SE}**는** 5V**로 설정하였다.**

V_{CE}**와** V_{SE}**의 변화에 따른** I_{sub}**의 변화는 인가되는 베이스 전류값** I_B**의 증가에 대하여 선형적으로 증가하며,** SSIMT**에서 소비되는 대부분의 전류가** substrate**에서 소비되는 것을 알 수 있다.**

SSIMT의 출력이 되는 I_C값을 증가시키는 공정상의 제한을 제외한 방법은 베이스 전류값 I_B을 증가시키는 방법과 V_{CE}를 증가시키는 방법을 들 수 있다. 하지만 I_B를 증가시켰을 경우에는 substrate에 흐르는 전류 I_{sub}가 증가하기 때문에 발열이 예상되고, 따라서 센서를 포함한 시스템의 불안정이 예상되기 때문에 높은 I_B의 값은 피해야 한다. 따라서 I_B에 따른 I_C의 제어는 I_{sub}의 상한에 의하여 제한을 받는다. V_{CE}의 증가에 따른 I_C의 증가의 증가에는 한계가 있고, 일정한 I_B에서는 항복전압에 걸리게 된다. 따라서 시스템의 안정성을 위하여 최적의 값을 선택하는 것은 매우 중요하다.

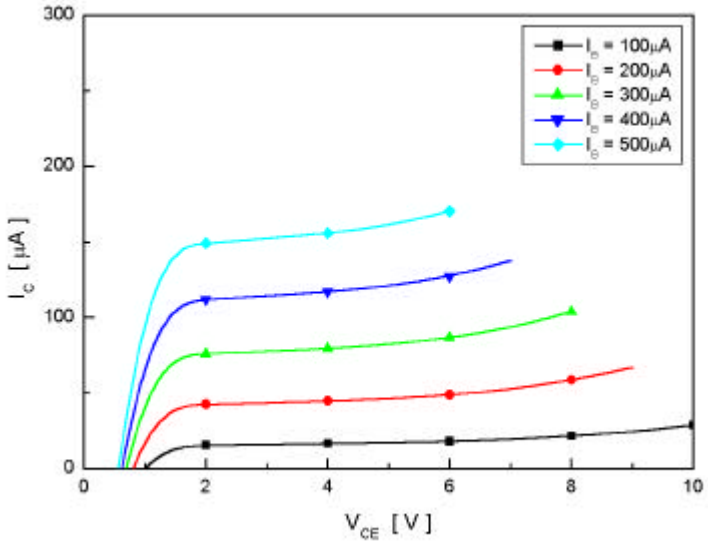


그림 2.5 I_C - V_{CE} **특성**

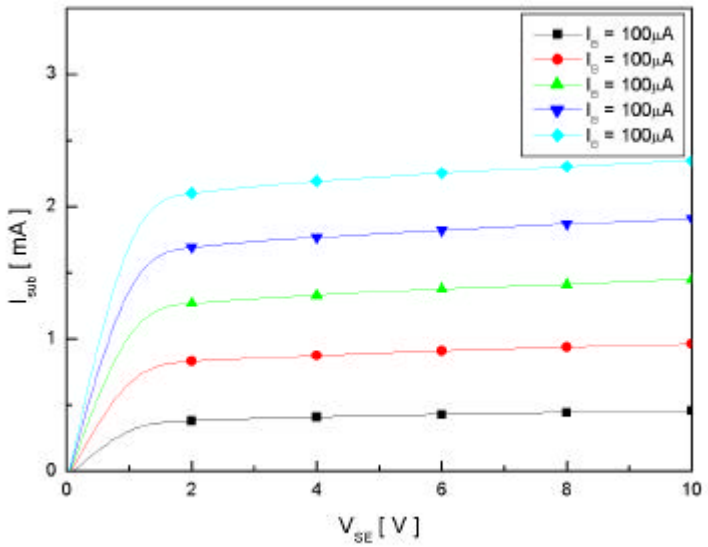


그림 2.6 I_{sub} - V_{SE} **특성**

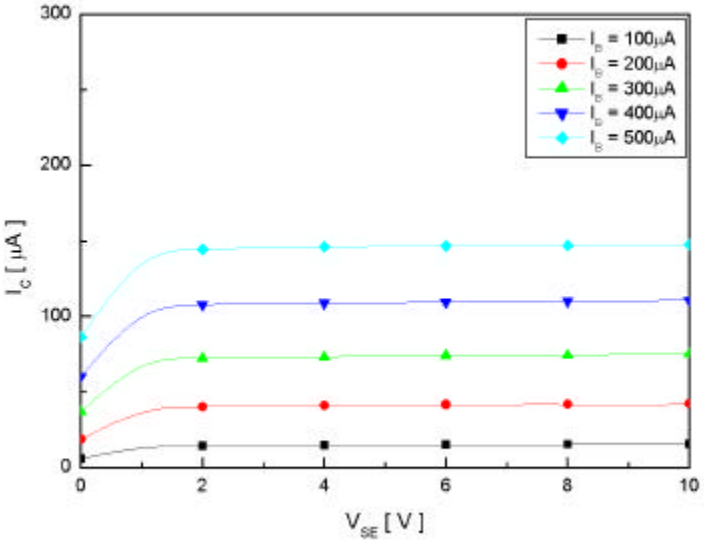


그림 2.7 I_C - V_{SE} **특성**

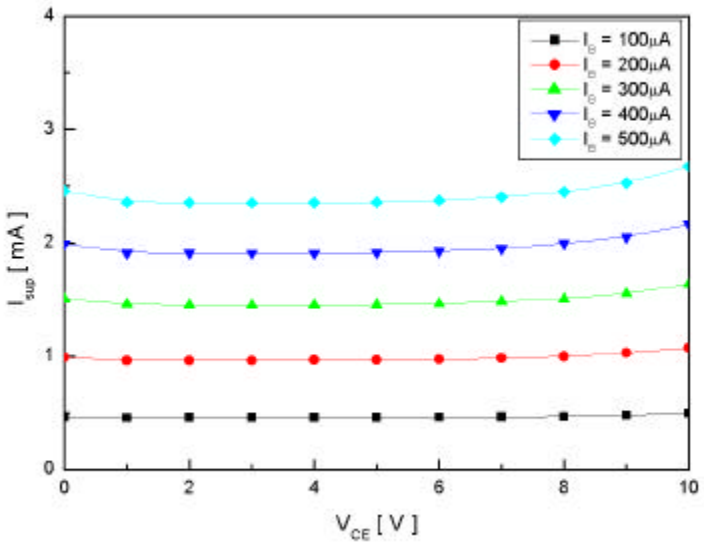


그림 2.8 I_{sub} - V_{CE} **특성**

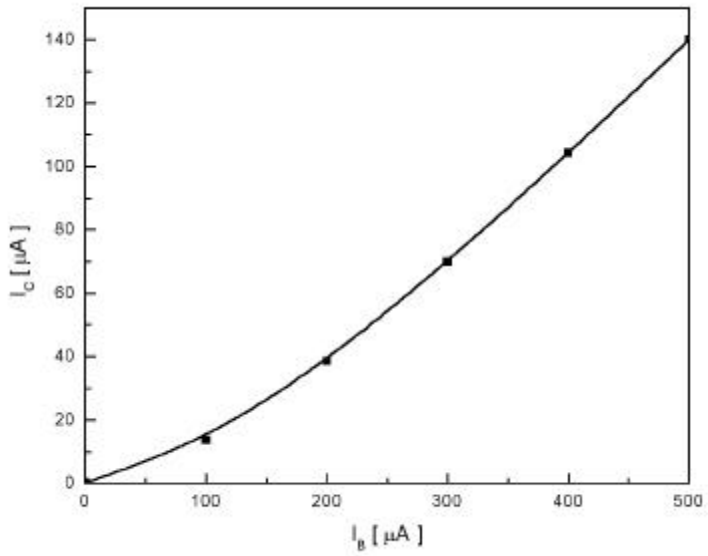


그림 2.9 I_C - I_B **특성**

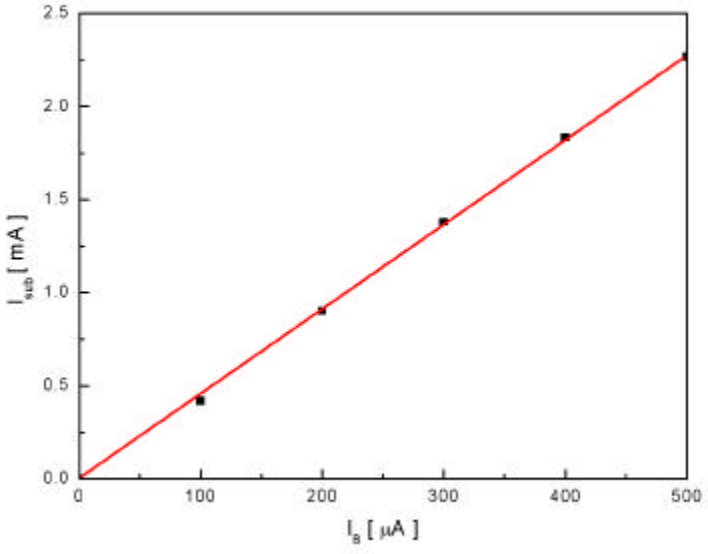


그림 2.10 I_{sub} - I_B **특성**

2.2.3 SSIMT의 자기적 특성

SSIMT에 대한 자기적 특성 실험은 정전류원으로 구동되는 철심용량의 전자석을 이용 ±200mT 범위의 자속을 인가하여 실험하였다. 본 실험에서는 일정한 I_{sub}, V_{CE} 와 V_{SE}상태에서 자기장의 변화에 따른 I_C의 변화를 관찰하기 위하여 전압/전류 측정기(KEITHLEY 177, 179A)를 사용하여 I_{C1}, I_{C2}의 변화량을 측정하였으며, I_{sub}, V_{CE} 그리고 V_{SE}를 각각 측정하였다. 또한 자기장 인가장치를 통해 인가되는 자속은 가우스 측정기(F.W Bell 9200)로 측정하였다. 소자의 구동은 공통 에미터와 베이스에 의해 이루어지며, 출력인 I_{C1}과 I_{C2}사이의 출력 변화를 측정하도록 구성하였다. 그림 2.11은 자기 특성 실험을 위한 자속을 인가하는 구성도를 나타낸 것이다. 전원공급기(SM-1515A)를 이용하여 철심용량에 전류를 흘려 자속을 만들도록 구성하였으며, 전원 공급기의 극성을 바꿈으로써 자속의 방향이 변하도록 구성하였다.

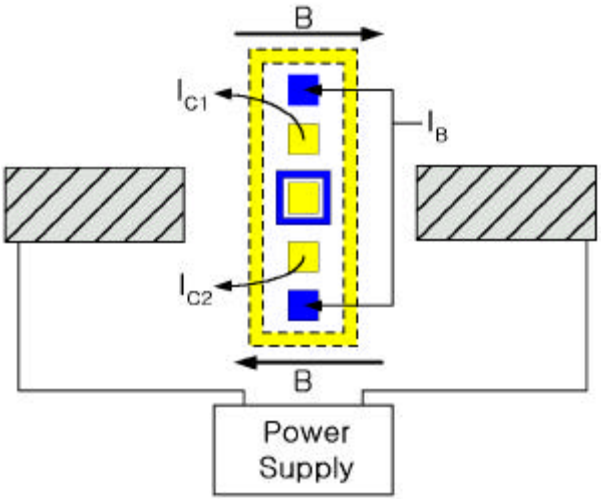


그림 2.11 SSIMT의 자속 인가 구성도

그림 2.12에 SSIMT의 자기특성을 나타내었다. 이 특성은 I_B = 500μA, V_{CE} = 2V와 V_{SE} = 5V를 인가한 상태에서 ±200mT의 자속의 변화에 따른 콜렉터 전류의 변화를 나타내고 있다. 인가된 자속의 변화에 따른 콜렉터 전류의 출력은 자속 ±200mT의 범위에서 선형적으로 변화하는 것을 알 수 있다. 또한 자속의 변화에 따라서 두 콜렉터의 전류값에 변화가 생기는데 I_{C1}의 출력은 감소하는 반면에 I_{C2}의 출력은 증가하고 있음을 알 수 있다. 이러한 두 콜렉터 전류의 차는 $\Delta I_C = I_{C2} - I_{C1}$로 표시되며 그림 2.13에 나타내었다. 자속의 변화에 따른 ΔI_C의 출력은 자속의 증가에 따라서 선형적으로 증가하고 있음을 알 수 있다. 자속의 변화에 따른 콜렉터 전류의 변화에 대한 측정 결과에 따르면 B = 79mT인 부분에서 $I_{C1} = I_{C2}$인 부분이 나타나는데, 이는 SSIMT에 자기장을 인가하지 않은 상태에서 생성된 I_{C1}과 I_{C2}의 전류차인 오프셋의 자기 환산 오프셋으로 나타냈을 때 약 79mT에 있다고 말할 수 있다. 이때의 비감도는 약 30.5%로 나타났다.

1. 바이어스에 의한 비감도 변화

SSIMT는 주변회로와 일체화할 때, 능동소자로 동작하기 위해, 바이어스 상태에 대한 비감도의 변화는 매우 중요하다. 그림 2.14는 베이스 전류에 대한 비감도의 변화를 나타낸 것이다. 베이스 전류가 증가함에 따라서 비감도가 감소하고 있는 것을 알 수 있다. 이는 베이스 전류가 증가함에 따라서 콜렉터의 전류도 비례적으로 증가하게 되지만 비감도의 계산에 있어서 콜렉터의 변화량 보다 분모에 위치하는 콜렉터의 전류값이 더욱 크기 때문에 상대적으로 비감도의 향상에는 문제가 있는 것으로 나타났다. 안정적인 SSIMT의 구동을 위해, 베이스는 정전류원에 의해 구동시키도록 하고, 콜렉터와 에미터 사이에 걸리는 전압과 substrate와

에미터 사이에 걸리는 전압은 정전압에서 구동하도록 한다. 그리고 베이스 전류의 증가는 콜렉터의 전류를 증가시키기 때문에 측정에 있어서 용이한 장점이 있지만 소자의 발열이 문제가 될 수 있기 때문에 보통 소자의 구동은 5mA이하의 전류에서 구동하는 것을 원칙으로 하고 있다. 그리고 출력이 되는 I_{C1}과 I_{C2}의 안정화를 위하여 본 실험에서는 500μA의 베이스 전류에 대해서 V_{CE}의 값은 2V 그리고 V_{sub}은 5V로 설정하였다.

2. 온도 변화에 따른 비감도 변화

그림 2.15는 온도 변화에 따른 콜렉터 전류의 변화를 나타내고 있다. 온도의 증가에 따라서 콜렉터의 전류가 선형적으로 증가하고 있음을 알 수 있으며, 그림 2.16을 통해서 온도의 증가에 따른 두 콜렉터의 전류차 또한 선형적으로 증가하고 있음을 알 수 있다.

그림 2. 17에서는 온도 변화에 따른 비감도의 변화를 나타내고 있다. 온도의 증가에 따라서 비감도는 상대적으로 감소하고 있음을 알 수 있다. 이는 온도의 증가에 따라서 드리프트가 발생하기 때문이다.

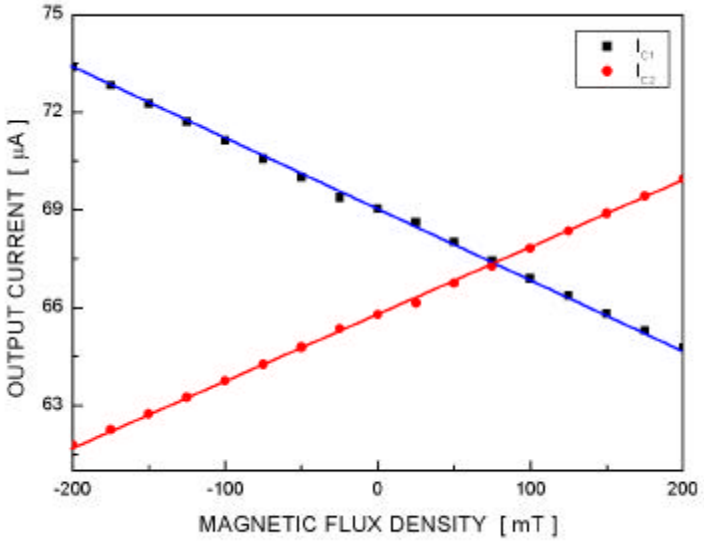


그림 2.12 자기장 변화에 따른 콜렉터 전류

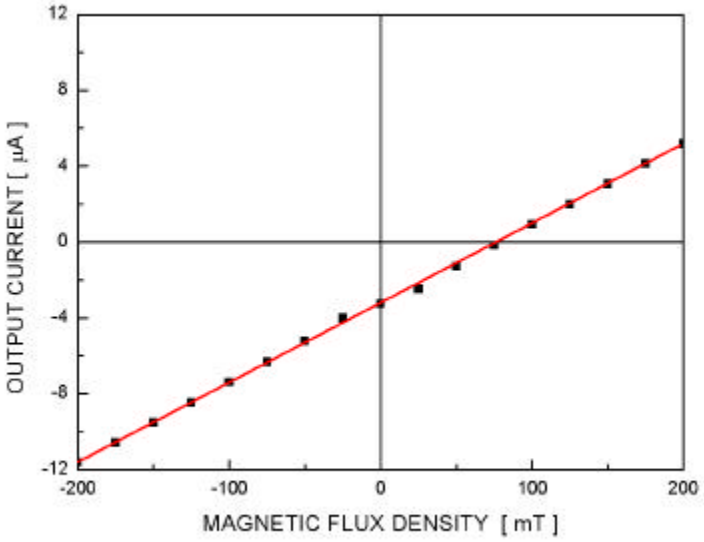


그림 2.13 자기장 변화에 따른 콜렉터 전류의 변화(ΔI_C)

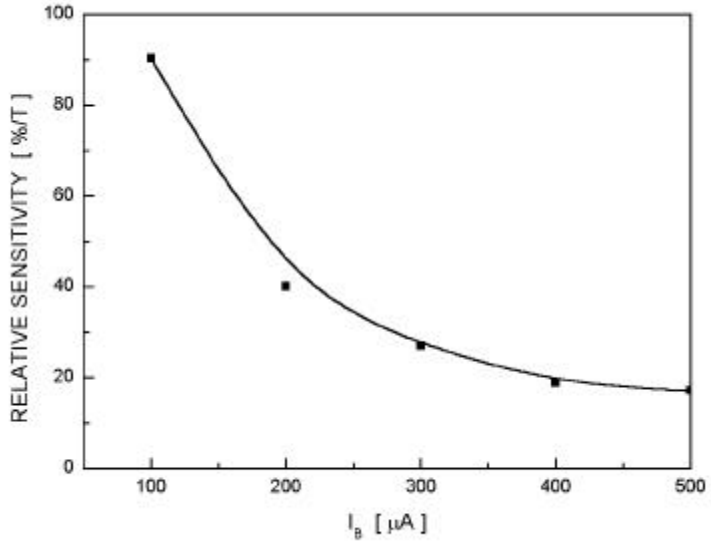


그림 2.14 베이스 전류 변화에 따른 비감도의 변화

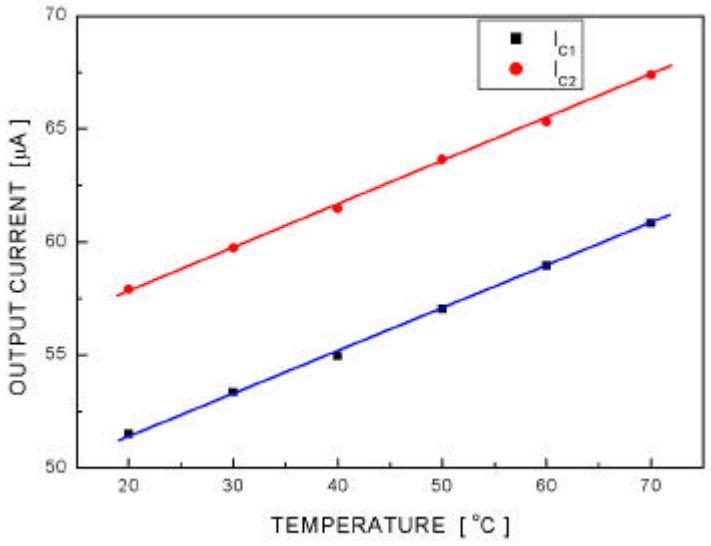


그림 2. 15 온도 변화에 따른 콜렉터 전류

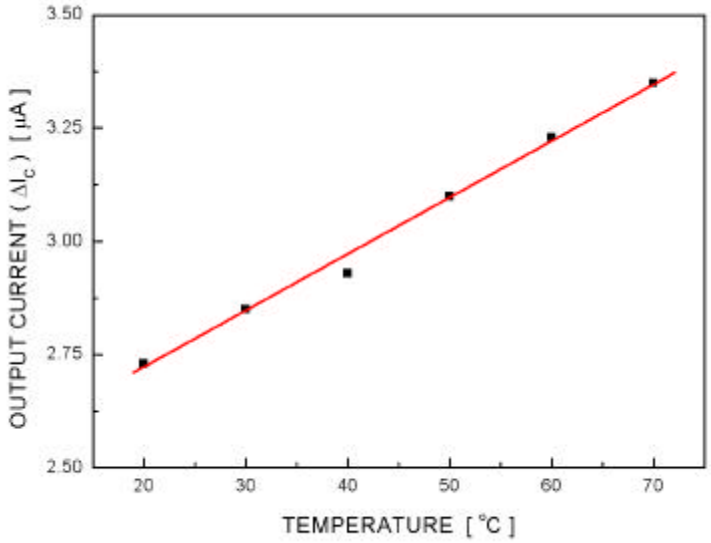


그림 2.16 온도 변화에 따른 콜렉터 전류의 변화(ΔI_C)

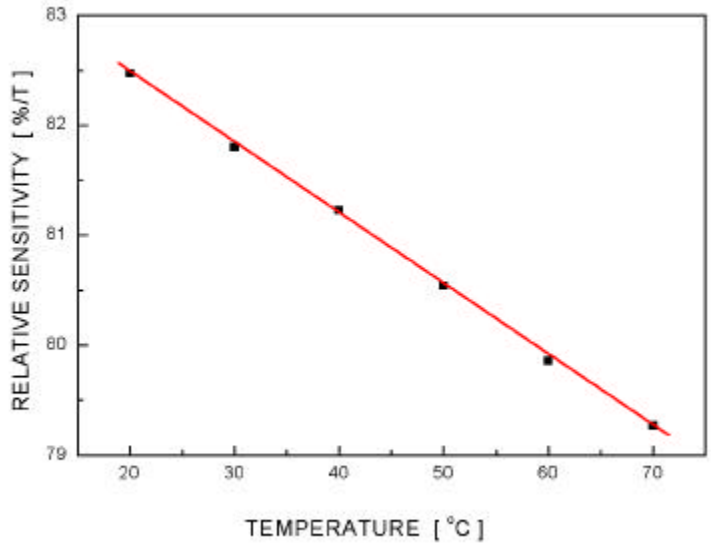


그림 2.17 온도 변화에 따른 비감도의 변화

2.2.4 SSIMT의 오프셋 특성

그림 2.15의 자속 변화에 따른 콜렉터 전류의 변화에서 나타나듯이 본 연구에서 설계, 제작된 SSIMT는 약 79mT 정도의 자기 환산 오프셋을 자지고 있다. SSIMT의 오프셋에 관련한 실험은 베이스 전류의 증가에 따른 오프셋 전류 I_{ERR}의 변화와 온도의 변화에 따른 오프셋 전류의 변화를 관측하는 두 가지 실험을 하였다. 베이스 전류 변화에 따른 실험에서 온도의 변화는 오프셋 전류에 영향을 주기 때문에 일정한 온도를 유지한 상태에서 실험하였다. 그 측정 결과를 그림 2. 18에 나타내었다. 일정한 온도에서 베이스 전류의 증가에 따라 오프셋 전류는 선형적으로 증가하고 있음을 알 수 있다. 그림 2. 19에서는 온도의 증가에 따른 오프셋 전류의 변화를 나타내고 있다. 온도의 증가에 따라서 오프셋 전류가 선형적으로 증가하고 있음을 확인할 수 있다.

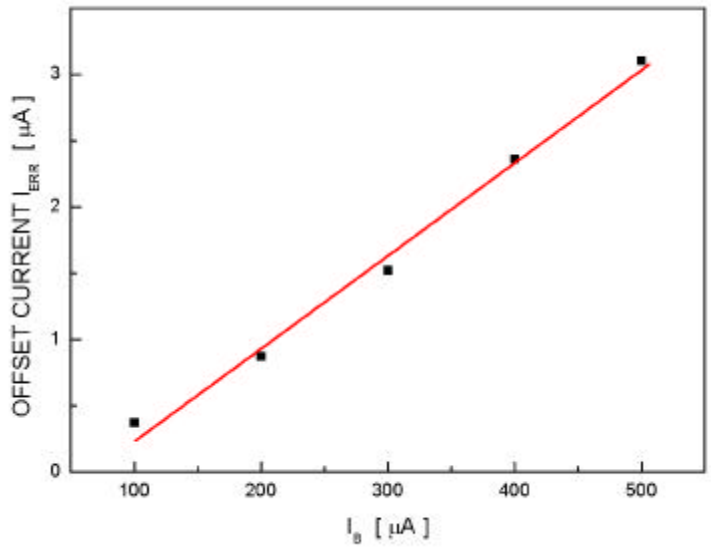


그림 2.18 베이스 전류 변화에 따른 오프셋 전류의 변화

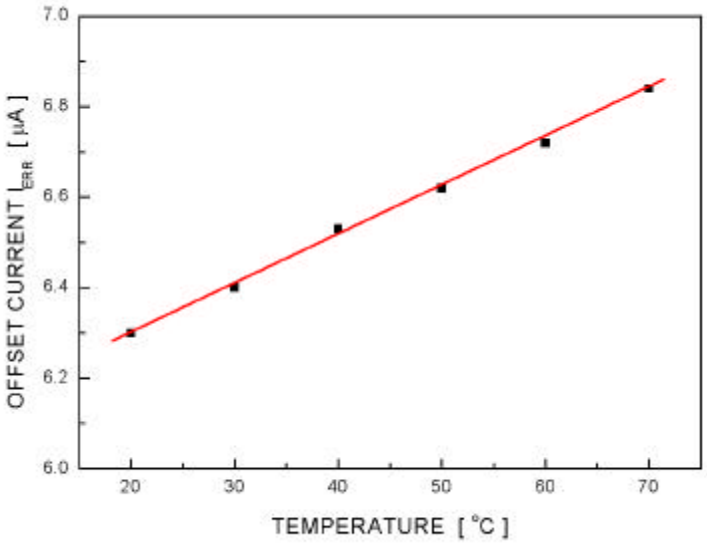


그림 2.19 온도 변화에 따른 오프셋 전류의 변화

3. 신호처리

3.1 개요

설계된 SSIMT의 출력 신호는 그 자체로서 사용되는 것은 문제가 있기 때문에 회로의 안정성 등을 고려하여 증폭기, 안정화 전원, 보상회로와 신호처리회로를 필요로 한다. 본 연구에서는 전체 신호처리 회로를 제어하기 위한 타이밍 신호를 만들어내는 제어 신호 발생부, SSIMT의 구동에 필요한 제어전류 I_B를 만드는 레퍼런스 전류원 회로, SSIMT의 작은 출력 신호를 증폭하기 위한 초단증폭부, 잡음제거와 회로의 안정화를 위한 쵸퍼 안정화방식의 스위칭 회로, 초단증폭부의 출력에 포함된 잡음을 제거하기 위한 저역필터, 저역필터를 통과한 신호를 A/D 변환기의 입력 범위에 맞도록 증폭시키는 출력증폭부 그리고 SSIMT의 출력을 디지털 값으로 변환하여 디지털 제어가 가능한 MCU(Microcontroller Unit)와 같은 외부기기와의 접속할 수 있도록 A/D 변환기를 설계하였다. 본 연구에서 설계된 SSIMT를 포함한 부가적인 회로의 레이아웃을 위해 Cadence를 사용하였으며, 설계된 회로의 특성을 검증하기 위한 모의 실험에는 HSPICE를 사용하였다. 본 연구에서 설계된 SSIMT와 부가적인 신호처리 회로는 Hynix사의 "0.60 μm P- substrate, twin-well double-poly three-metal CMOS" 공정을 사용하여 설계, 제작되었다.

3.2 신호처리 회로

본 연구에서 설계, 제작된 SSIMT 소자를 위한 신호처리 회로는 그림 3.1과 같이 구성되었다.

본 절에서는 SSIMT를 구동하는데 필요한 레퍼런스 전류를 만드는 정전류원 회로와 소자의 출력 신호를 증폭하기 위한 초단 증폭부, 잡음 제거를 위한 저역필터, A/D 변환기의 입력범위에 맞는 증폭을 하기 위한 출력증폭부 그리고 소자의 출력을 디지털 값으로 변환, 외부기기와의 연결하기 위한 A/D 변환기의 회로에 설계에 대한 해석, 모의 실험결과 및 제작된 칩의 측정결과를 정리한다.

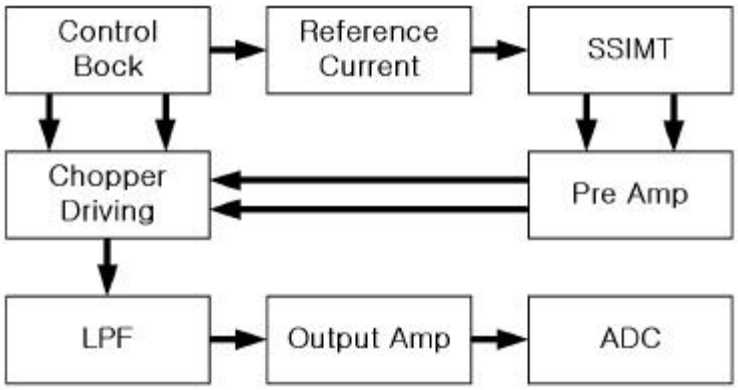


그림 3.1 신호처리 회로의 구성도

3.2.1 제어신호 발생부

본 연구에서 설계된 전체 회로를 제어하기 위한 타이밍 신호를 만드는 제어 신호 발생부에 대한 회로가 그림 3.2(a)에 나타나 있다. 제어 신호 발생부에서는 SSIMT 소자 및 A/D 변환기를 구동하기 위한 제어 신호를 만들게 된다. SSIMT 소자의 구동을 위해서는 120㎑의 주파수를 만

들도록 설계하였으며, A/D 변환기의 아날로그 신호 샘플링을 위한 샘플-앤-홀드 증폭기(Sample and Hold Amplifier, SHA)에 사용되는 두 개의 클럭을 만들게 되고, 본 연구에서 설계된 Two-step 플래쉬 A/D 변환기는 완전한 디지털 신호를 출력하기 위해 상위 플래쉬 A/D 변환기에서 먼저 상위비트를 출력하고 하위 플래쉬 A/D 변환기에서 하위비트를 분리하여 출력하게 되는데 각각 출력을 제어하기 위한 클럭 ϕ_1과 ϕ_2를 3[㎒]로 설계하였다. 그림 3.2(b)에서는 설계된 회로의 모의실험 결과를 보이고 있다.

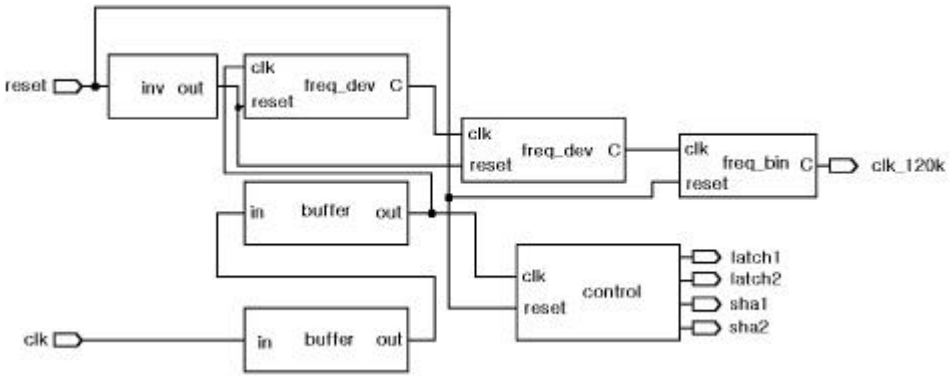


그림 3.2(a) 제어 신호 발생부

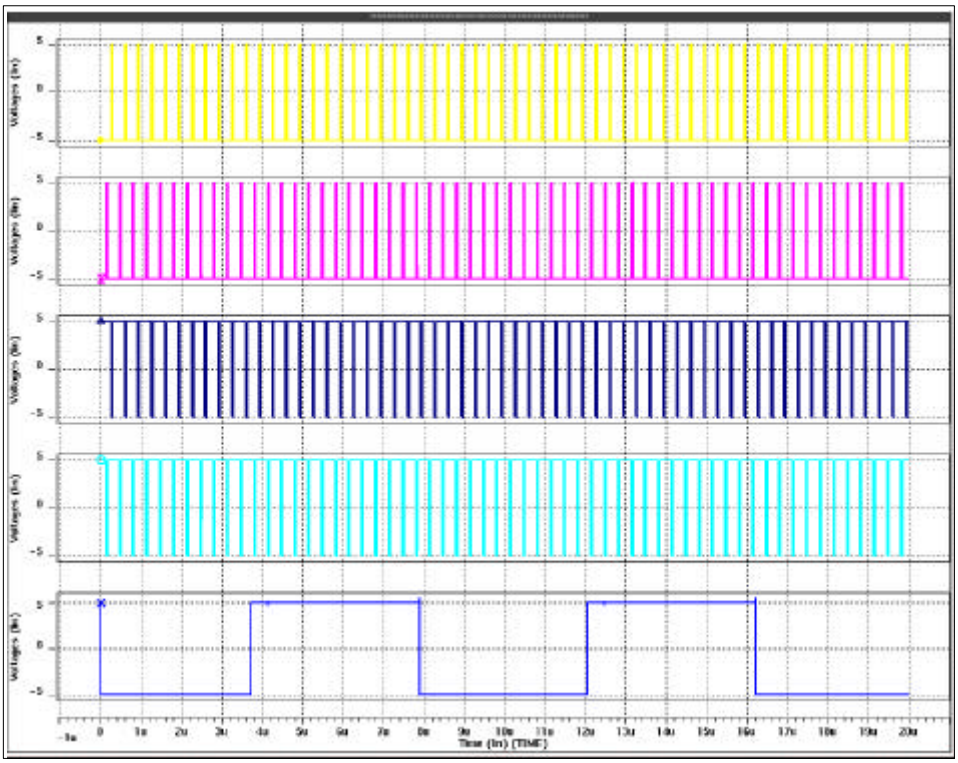


그림 3.2(b) 제어신호 발생부의 모의실험 결과

3.2.2 레퍼런스 전류 회로

레퍼런스 회로는 외부 전원, 온도, 압력을 비롯한 여러 가지 변수들이 크게 변하더라도 그에 대해 독립적으로 정확한 전류 또는 전압을 생성시키는 회로로서 데이터 변환기, 메모리, 모듈레이터, 고감도 센서 등에 사용되는 중요한 블록 중에 하나이다.[5] 또한 A/D 변환기 또는 D/A 변환기와 같은 호환회로들의 분해능이 점점 높아짐에 따라 공급 전류원의 변화나 온도의 변화에 대해서 독립적인 레퍼런스 전류 또는 전압이 요구되며, 증폭기 회로와 비교기 회로 부분에서의 바이어스 전압 또는 전류가 요구되며, 증폭기 회로와 비교기 회로 부분에서의 바이어스 전압 또는

전류 역시 공급 전원과 온도의 영향으로부터 얼마나 독립적인가에 따라 전체 시스템의 성능에 큰 영향을 미친다. 따라서 고성능을 요구하는 거의 모든 회로에서 온도와 공급 전원의 변화에 독립적인 전류원 혹은 전압원의 필요는 절대적이라고 할 수 있다.

본 연구에서 설계된 SSIMT 소자의 구동을 위해서는 베이스에 일정한 정전류를 인가하여 콜렉터의 전류의 흐름을 관찰하는 것이다. 물론 에미터와 콜렉터 그리고 substrate와 에미터 사이의 바이어스도 중요하지만 출력인 콜렉터에 가장 큰 영향을 미치는 변수는 베이스 전류이기 때문에 안정적인 정전류원에서의 소자 구동은 매우 중요하다. 물론 콜렉터에 흐르는 전류는 신호처리를 위해서 전압으로 바꾸어서 부가적인 신호처리가 가능하도록 하였다. CMOS회로에서의 정전류원은 회로 자체의 안정 및 출력전류의 안정을 위해 온도 드리프트를 최소화하여야 한다. 본 연구에 사용된 레퍼런스 전류 회로는 그림 3.3에 나타나듯이 온도의 증가하는 전류성분과 감소하는 성분을 최적화함으로써 온도변화에 무관한 전류를 생성하며, 공급 전원의 변화에도 영향을 받지 않도록 온도 증가에 반비례하는 회로와 온도증가에 비례하는 최적화된 회로로써, 전류를 0.5[㎃]가 되도록 설계하였다.[5]

1. 음의 온도 계수를 가진 회로

그림 3.4의 A부분에서 MN1-MN4는 MOS 다이오드를 직렬로 쌓아놓은 것이며 MP1은 채널(channel)길이를 아주 길게 해서 전류 I_1을 아주 작게 하고 4개의 MOS 다이오드 전압만큼을 뺀 나머지 대부분의 전압이 MP1의 드레인과 소스 양단에 걸리도록 한다. 따라서 T1, T2 노드의 전압은 공급전원과는 거의 무관하고 NMOS 트랜지스터의 문턱 전압에 관련된 값이 된다. 이 두 전압은 각각 MN5와 MN6을 구동하게 된다.

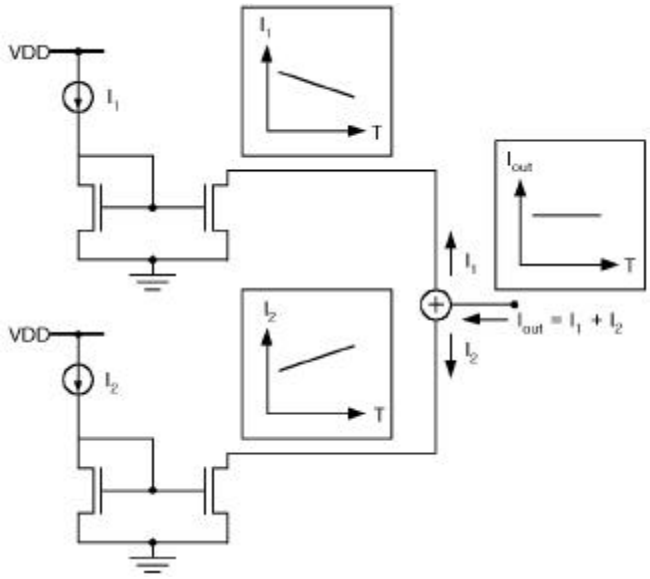


그림 3.3 전류 레퍼런스 회로의 개념도

이렇게 해서 생성되는 두 전류 I_2, I_3**는** MP2-MP4, MP9**로 구성되는 전류 빨셈기를 통해 다음 식의 형태로** I_4**를 출력하게 된다.**[5]

$$I_4 = I_3 - I_2$$

$$= \frac{1}{2}\mu_n C_{OX} \frac{1}{L_{MN5}} \left(W_{MN6}(V_{T1} - V_{thn})^2 - W_{MN5}(V_{T2} - V_{thn})^2 \right)$$

$$= \frac{1}{2}\mu_n C_{OX} \frac{1}{L_{MN5}} \left(W_{MN6}(3V_{thn})^2 - W_{MN5}(V_{thn})^2 \right)$$

$$= \frac{1}{2}\mu_n C_{OX} \frac{V_{thn}^2}{L_{MN5}} (9\ W_{MN6} - W_{MN5}) \qquad (2)$$

이렇게 생성된 전류 I_4**는 식**(2)**와 같이** NMOS**의 문턱전압과 전자 이동도의 함수이며 공급전원에는 독립적이다. 전자의 이동도는** $T^{-1.5}$**에 비례하고** NMOS**의 문턱전압도 약** -1[㎷/℃]**의 온도계수를 가진다. 따라서 전류** I_4**는 식**(3)**과 같이 온도에 반비례하는 성질을 갖는다.**

$$\frac{\partial I_4}{\partial T} = I_4\left(\frac{1}{\mu_n}\frac{\partial \mu_n}{\partial T} + \frac{2}{V_{thn}}\frac{\partial V_{thn}}{\partial T}\right) < 0 \quad (3)$$

2. 양의 온도계수를 가지는 회로

이와는 반대로 그림 3.4의 B부분은 공급 전원에 대하여 독립적이면서 온도의 증가에 따라 증가하는 전류를 생성하는 회로이다. 이 회로에서 생성되는 전류는 식 (4)와 같이 인가되는 전원의 전압에 무관하게 전류가 형성된다.

$$I = \frac{2 L_{N9}}{R^2 \mu_n C_{OX} W_9}\left(1 - \frac{1}{\sqrt{A}}\right)^2 \quad (4)$$

여기서, $\left(A = \frac{W_8}{L_8} / \frac{W_9}{L_9}\right)$.

이 전류는 식(4)에서 전자의 이동도가 온도가 증가함에 따라 감소하므로 식(5)과 같이 온도의 증가에 비례하는 성질을 갖게된다.

$$\frac{\partial I_5}{\partial T} = \frac{I}{\mu_n}\frac{\partial \mu_n}{\partial T} + \frac{I}{R}\frac{\partial R}{\partial T} > 0$$

$$\left(\because \frac{1}{\mu_n}\frac{\partial \mu_n}{\partial T} \gg \frac{-2}{R}\frac{\partial R}{\partial T}\right) \quad (5)$$

이렇게 생성된 두 전류는 식(3) 및 식(5)에서 보듯이 온도변화에 대해서 서로 반대되는 성질을 가지므로 그 변화량을 최적화 시키면, 두 전류의 합은 온도에 대해서 무관한 값을 낼 수가 있으며, 동시에 공급전원의 변동에도 영향을 받지 않게 된다.[5]

그림 3.5는 레퍼런스 전류를 구형파 형태로 만들어주는 스위칭 회로를 보이고 있으며, 간단한 멀티플렉서(multiplexer)로 스위칭 동작을 할 수 있게 한다.

그림 3.6 레퍼런스 전류 회로 및 스위칭회로의 모의실험 결과로 SSIMT의 구동에 필요한 0.5[㎃]의 전류를 생성함을 알 수 있다.

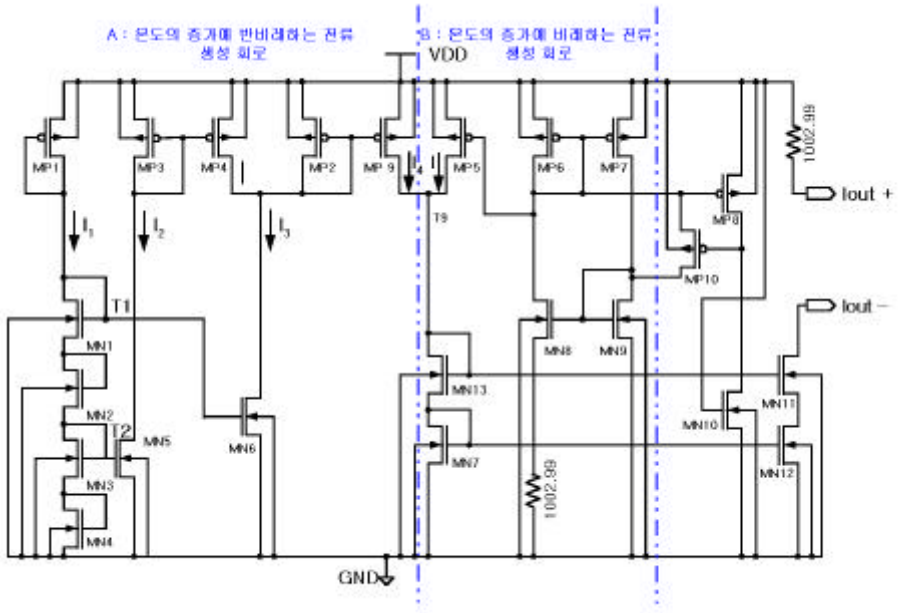


그림 3.4 안정화 정전류원

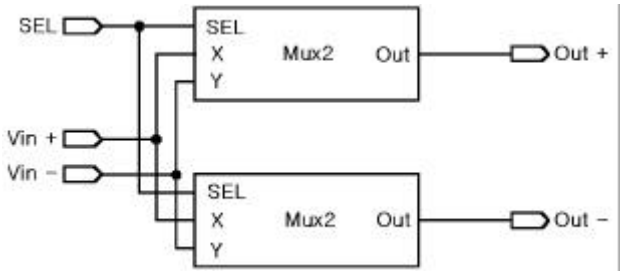


그림 3.5 공급전류 스위칭회로

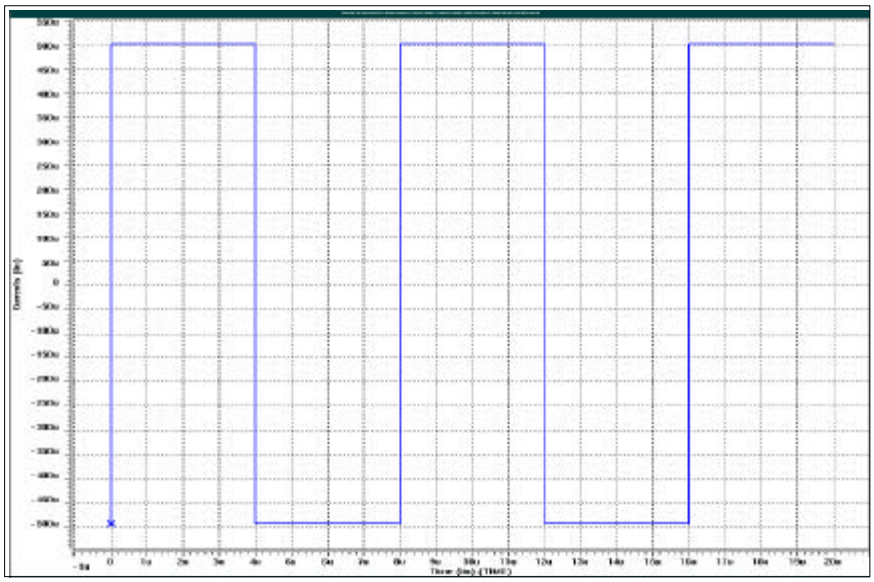


그림 3.6 공급전류 스위칭회로 모의실험 결과

3.2.3 초단증폭부

본 연구에서 설계된 증폭기는 SSIMT에서 나오는 작은 출력 전압을 증폭하기 위해서 출력 전압 단자의 출력 임피던스를 고려해 충분한 고입력 임피던스를 가져야 하며, 출력 전압과 쵸퍼 구동 증폭회로의 전체 S/N를 정하기 때문에 증폭이득이 충분히 높아야 한다. 그리고 CMRR이 충분히 크도록 설계되어져야 한다. 본 연구에서 설계된 증폭회로는 그림 3.7에 나타낸 것과 같이 산업 전반에 널리 사용되고 있는 인스트루먼테이션(instrumentation) 증폭기로 설계하였다. 설계된 증폭기는 비반전 증폭기로 구성되었으며, 소자 출력 신호를 고정확도로 증폭하는 회로로서 직류 증폭에는 거의 이상적인 특성을 나타낸다. 또한 비반전 증폭기는 신호원의 임피던스 영향을 줄일 수 있는 고입력 임피던스 구성이 가능하다.[6]

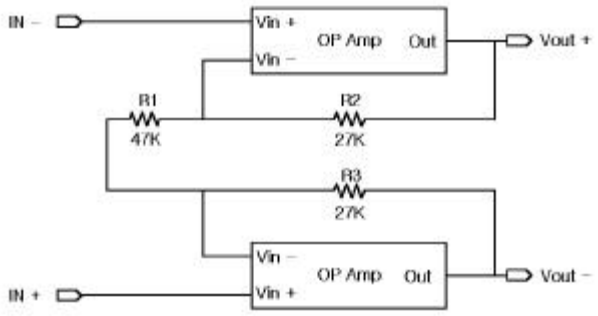


그림 3.7 초단증폭부

설계된 비반전 증폭기의 이득은 R2 = R3 일 때 다음과 같은 식으로 나타낼 수 있다.

$$A = 1 + 2\frac{R2}{R1} \tag{7}$$

그림 3.8은 초단증폭부의 모의실험 결과로서 SSIMT에 자속을 가했을 때 출력이 0 1[㎷]범위에서 변한다고 했을 때, 입력에 대하여 100배 증폭하도록 설계하였다. 모의 실험결과 입력전압에 선형적으로 비례하는 증폭된 출력을 확인할 수 있다. 따라서 미세한 SSIMT 출력이 다음 단 처리에 용이하도록 증폭될 수 있음을 알 수 있다.

3.2.4 스위칭 회로

SSIMT의 출력은 초단증폭부를 통해 증폭된 후 초퍼 안정화방식에 의한 스위칭 회로를 통하게 된다. 이 스위칭 회로는 자속의 인가에 의해서 생성되는 SSIMT의 출력을 공급 전류의 위상과 일치시키는 역할을 하고 있다. 레퍼런스 전류 회로의 출력 또한 이 스위칭 회로를 사용하여 위상

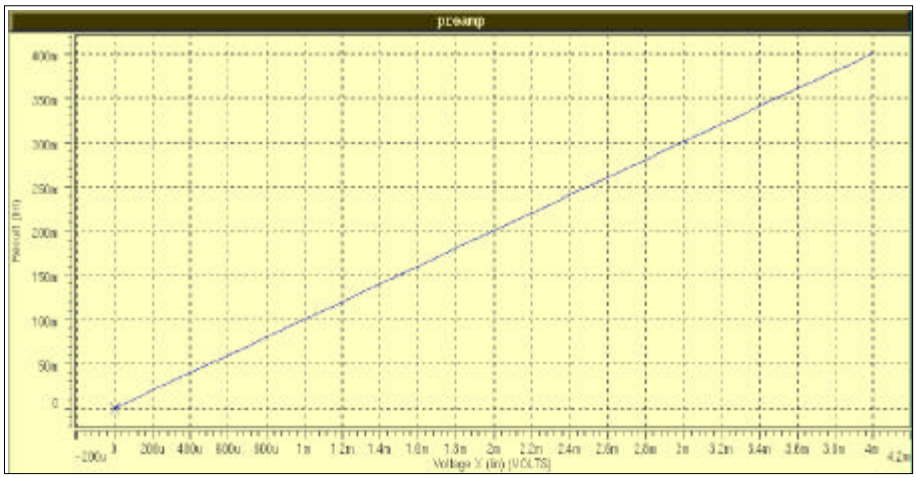


그림 3.8 초단증폭부의 입출력 특성

을 일치시켰다. 또한, 스위칭 회로는 미소한 소자의 출력 전압을 그대로 증폭했을 경우 나타나는 반도체 재료의 불완전성 등에 의한 열기전력 및 증폭기의 오프셋 때문에 정확한 신호의 측정은 어려워진다. 이러한 문제를 제거하기 위해서 본 연구에 사용된 회로가 초퍼 안정화방식을 도입한 스위칭 회로이다. 이 초퍼 안정화방식을 통해서 증폭시에 발생하는 직류 오프셋과 1/f 잡음 및 열기전력등 불필요한 신호를 소자의 출력으로부터 분리할 수 있다. 이러한 초퍼 안정화방식의 개념도가 그림 3.9에 나타나 있다. 첫 번째 증폭기의 입력과 출력 단자에 초퍼 주파수에 의해서 제어되는 곱셈기가 있다. 입력신호는 첫 번째 단 곱셈기에 의해서 초퍼 주파수로 변조되어지고 증폭기의 오프셋이나 1/f 잡음은 변조되지 않는다. 두 번째 단의 곱셈기를 통해서 입력신호는 원래의 신호로 복조되고, 오프셋과 1/f 잡음은 쵸퍼 주파수만큼 이동하게 된다.[7],[8],[9]

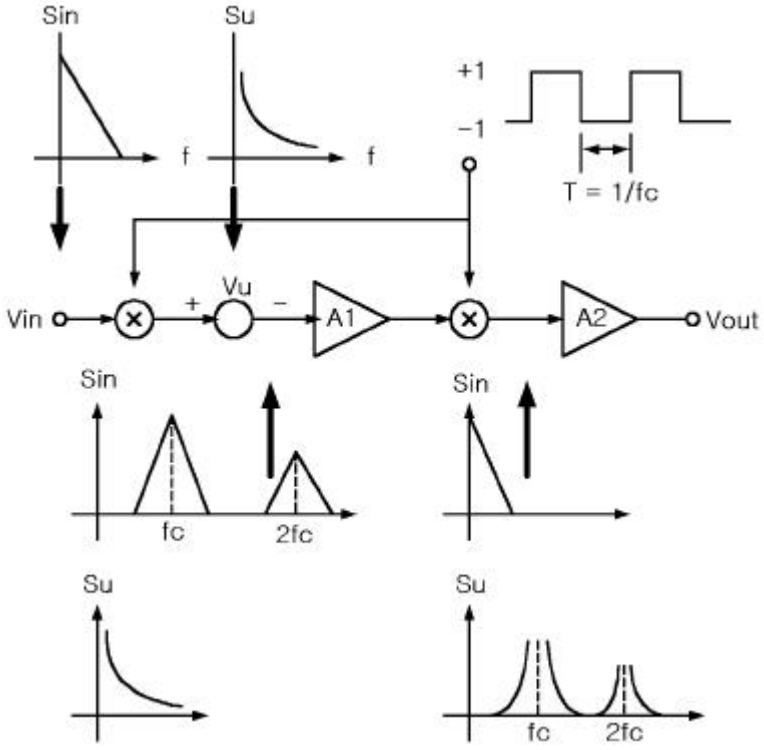


그림 3.9 쵸퍼 안정화 방식의 개념도

3.2.5 저역필터(LPF)

SSIMT와 같은 소자의 작은 출력 전압을 초단증폭기로 증폭하면 출력에 잡음이 많이 포함되어, 불필요한 잡음과 신호를 구별할 수 없게 된다. 따라서, 신호의 정확도가 감소하는 등의 문제가 발생하게 된다. 저역필터는 전단에 사용된 차단주파수 이상의 쵸퍼 안정화방식의 스위칭에 의한 스위칭 잡음, 1/f 잡음과 같은 불필요한 잡음성분을 완전히 제거하고 전체 이득을 더욱 안정화시키기 위하여 필요하다. 본 연구에서 설계된 저

역필터는 그림 3.10처럼 Sallen Key 2차 정궤한 액티브 필터로 설계되었다.[10] 차단주파수 f_C는 R과C에 의해서 결정되며 (8)식과 같은 형태로 나타난다.

$$f_C = \frac{1}{2\pi RC}[\mathrm{Hz}] \tag{8}$$

그리고 쵸퍼 주파수(chopper frequency)를 120[㎑]로 설정하였기 때문에 증폭기 및 SSIMT 소자의 오프셋 제거에는 무난하리라 생각되고, 캐패시턴스(capacitance)와 저항(resistance)이 차지하는 칩의 면적을 고려하여 차단 주파수를 약 3.478[㎑]로 설계하였다. 설계된 저역필터에 대한 모의실험 결과를 그림 3.11에 나타내었다. 모의실험 결과에 의하면 약 3.478[㎑] 이상의 신호는 제거됨을 알 수 있다.

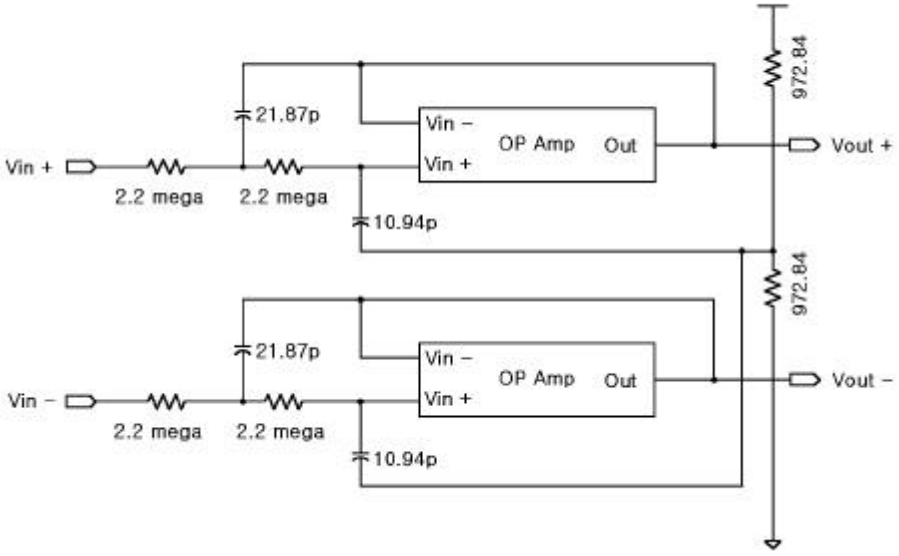


그림 3.10 저역필터(LPF) 회로

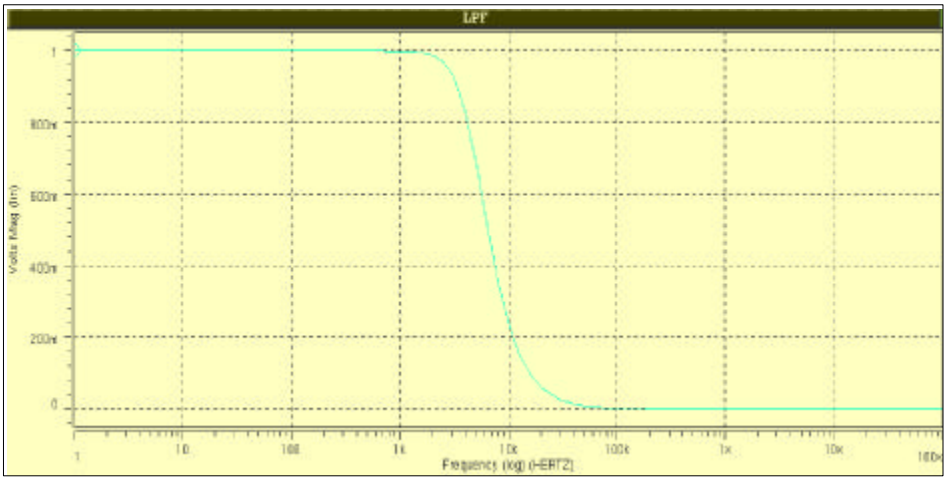


그림 3.11 저역필터(LPF)의 주파수 응답특성

3.2.6 출력증폭부

출력증폭부의 출력은 A/D 변환기의 입력이 되기 때문에 초단증폭부 및 LPF를 거쳐 보다 안정화된 SSIMT의 출력을 A/D 변환기의 입력 범위인 0 3[V]의 값으로 증폭되도록 설계하였다. 물론 A/D 변환기의 레퍼런스 전압은 외부에서 조절되기 때문에 그 범위는 가변적이다. 그림 3.12는 설계된 출력증폭부 회로를 나타내고 있다. 설계된 출력증폭부는 차동증폭기로서 CMRR이 상당히 크기 때문에 신호검출이 용이한 장점을 가지고 있다. 그리고 V_{offset}단을 만들어서 A/D 변환기의 영점 교정기능을 A/D 변환기를 위한 영점 교정기능을 부가하였다. 회로의 차동증폭기의 이득은 R1=R2, R3=R4일 때 다음 식으로 정해진다.

$$A = \frac{R_3}{R_1} \tag{9}$$

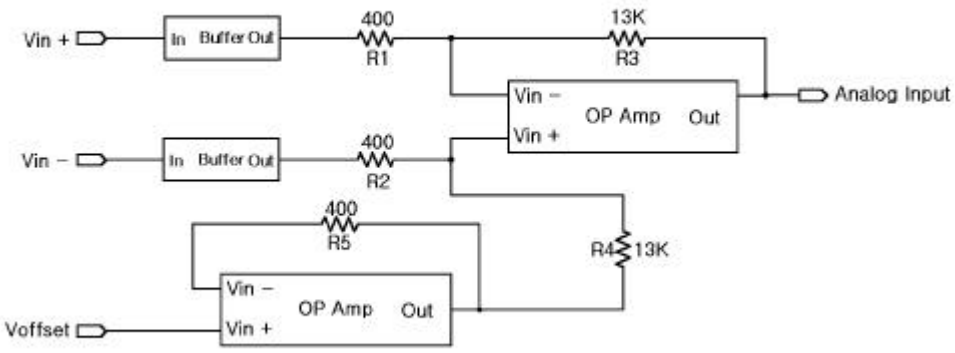


그림 3.12 **출력증폭부**

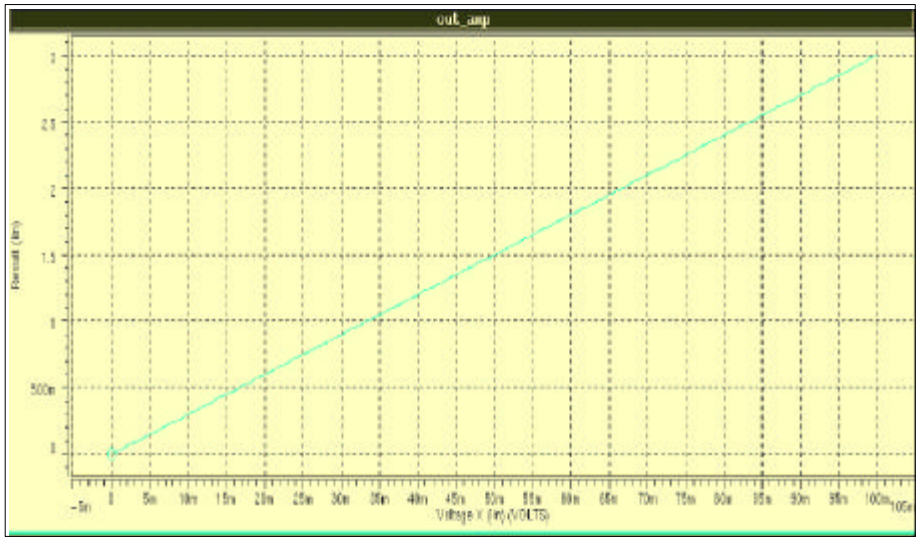


그림3.13 **출력증폭부의 입출력 특성**

모의실험에서는 이득을 30으로 하였으며, V_{offset} 단자는 영점조정용으로 사용할 수 있다. 설계된 출력증폭부의 모의실험 결과가 그림3.13에 나타나있다. 모의실험 결과 저역필터를 통과한 소자의 출력값이 0 100[㎷]라고 가정했을 때 A/D 변환기의 입력범위인 0 3[V]의 출력을 확인할 수 있다. A/D 변환기의 레퍼런스 전압은 외부에서 제어가 가능하기 때문에 소자의 출력범위에 맞추어 다시 조정될 수 있다.

3.2.7 A/D 변환기

본 연구에서는 SSIMT의 출력이 되는 아날로그 신호를 디지털 값으로 변환, 디지털 제어가 가능한 MCU(Microcontroller Unit)와 같은 외부기기와의 연결을 위해 A/D 변환기를 설계하였다. 본 연구에서 설계된 8비트 two-step 플래쉬 A/D 변환기는 칩에서 차지하는 코어의 전체 면적과 속도를 생각하여 two-step 플래쉬 방식 A/D 변환기 형태로 소형화, 고속화 및 저전력화를 목적으로 설계하였다. 일반적으로 two-step A/D 변환기는 빠른 속도와 8비트에서 10비트 정도의 비교적 높은 정확도를 얻기 위해 가장 일반적으로 사용되는 구조이다.[11] 플래쉬 A/D 변환기는 매우 빠른 속도를 얻을 수 있지만 해상도에 대하여 전력소모, 면적 및 입력 캐패시턴스가 지수함수로 증가하는 문제점이 있다. 따라서 본 연구에서 설계된 Two-step A/D 변환기는 두 개의 플래쉬 A/D 변환기를 통해서 신호를 변환하기 때문에 플래쉬 A/D 변환기에 비해 속도는 느리지만 작은 전력소모와 코어의 면적을 상대적으로 줄일 수 있으며 입력 캐패시턴스를 줄일 수 있기 때문에 두 가지 방식의 장단점을 타협하는 구조이다.[12]

본 연구에서 설계된 two-step A/D 변환기의 구조는 그림 3.14와 같이 크게 두 개의 샘플-앤-홀드 증폭기(Sample-and-Hold Amplifier :

SHA), 상위 플래쉬 A/D 변환기(coarse flash ADC), D/A 변환기(Digital to Analog Converter : DAC), 뺄셈기 그리고 하위 플래쉬 A/D 변환기(fine flash ADC)로 구성된다. two-step A/D 변환기는 아날로그 입력신호를 완전한 디지털 신호로 변환, 출력하기 위해 상위 플래쉬 A/D 변환기와 하위 플래쉬 A/D 변환기 두 단계를 거치는데 상위 플래쉬 A/D 변환기에서 먼저 MSB_s를 출력하고 하위 플래쉬 A/D 변환기에서 LSB_s를 분리하여 출력하는데 클럭 ϕ_1 및 ϕ_2를 사용하여 각 단을 조절하게 된다. SHA는 아날로그 입력신호를 클럭에 따라 샘플링(sampling)하고 그 값을 유지하는 홀딩(holding)동작을 반복하게 된다. ϕ_1이 low인 동안 SHA는 입력신호를 샘플링 하고, ϕ_1이 high로 바뀌면 첫 번째 단인 상위 플래쉬 A/D 변환기는 SHA의 출력(V_A)을 이용하여 MSB_s를 출력하며, MSB_s는 D/A 변환기에 의해 양자화된 아날로그 신호(V_B)로 다시 변환된다. D/A 변환기에 의해 양자화된 아날로그 신호(V_B)는 그림 3.15(a)에서처럼 SHA출력(V_A)과 양자화 오차만큼의 차가 존재하게 된다. 뺄셈기는 이 두 신호 V_A, V_B의 차이를 출력, 하위 플래쉬 A/D 변환기로 입력된다. 뺄셈기의 출력 파형은 그림 3.15의 (b)와 같으며, 이것을 잔류 전압이라 부른다. 마지막으로 ϕ_2가 high인 동안 하위 플래쉬 A/D 변환기는 뺄셈기의 출력인 잔류전압을 입력으로 하여 입력신호에 대한 LSB_S를 출력한다. 전체 two-step A/D 변환기의 디지털 출력은 상위 플래쉬 A/D 변환기에서 먼저 출력된 MSB_S를 일정한 시간동안 지연시킴으로써 하위 플래쉬 A/D 변환기에 의해 출력되는 LSB_S와 동시에 출력되도록 한다.

아날로그 입력 신호를 받아들이는 SHA는 two-step A/D 변환기의 변환 속도를 증가시키는 중요한 역할을 한다

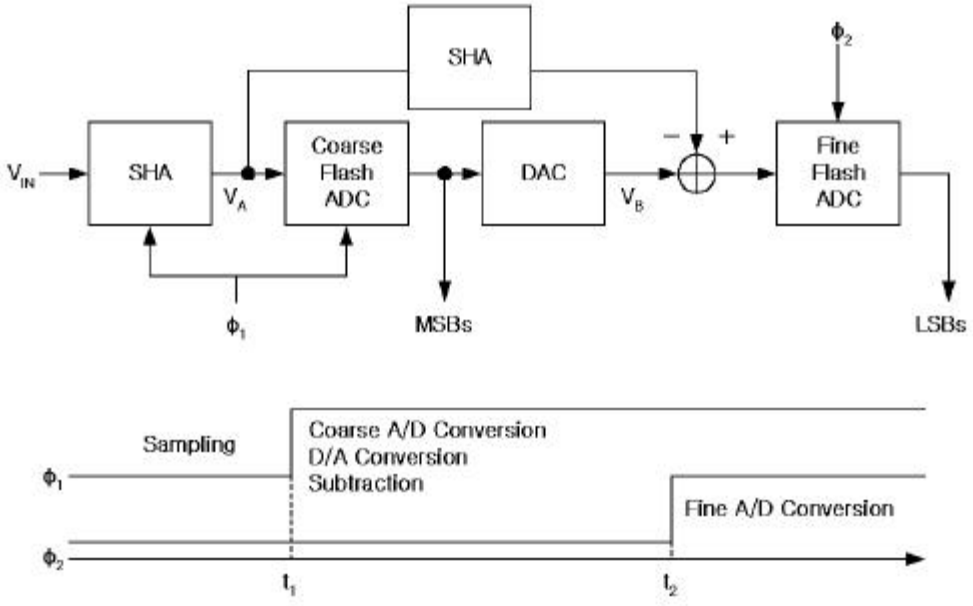
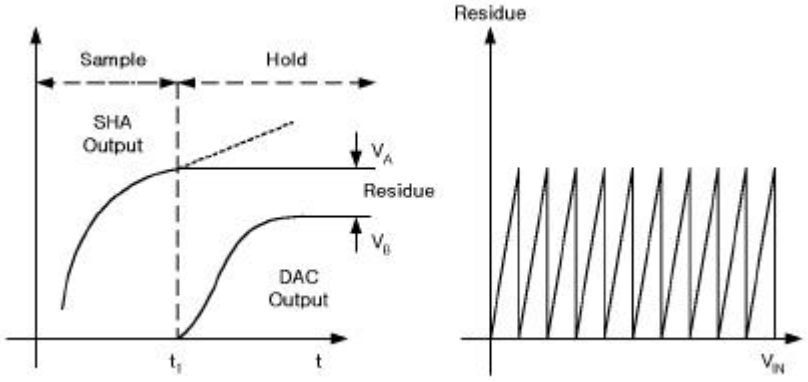


그림 3.14 two-step A/D **변환기의 개념도**



(a)**뺄셈기의 출력 생성** (b) **잔류전압**

그림 3.15 two-step A/D **변환기의 내부 동작**

본 연구에서 설계된 two-step A/D 변환기에 사용되는 2개의 A/D 변환기로는 개념이 간단하고 실제 빠른 변환 속도의 플래쉬 A/D 변환기를 사용하였다. 플래쉬 A/D 변환기는 그림 3.16과 같이 저항열, 비교기 및 인코더로 구성되며, N비트의 해상도를 가진 플래쉬 A/D 변환기인 경우, 2^N개의 저항과 2^N-1개의 비교기가 사용된다. 각 비교기는 입력 신호가 기준 전압보다 크면 1을, 작으면 0을 출력하기 때문에 플래쉬 A/D 변환기의 출력은 입력 신호보다 작은 기준 전압을 받아들이는 비교기까지 1을 출력하는 온도계 코드(thermometer code)형태를 나타낸다.[13] 이와 같이 플래쉬 A/D 변환기는 입력 신호에 대해 모든 비교기가 동시에 결과를 출력하므로 디지털 신호로 변환하는데 한 클럭 주기만 필요하며, 따라서 플래쉬 A/D 변환기는 빠른 속도로 동작할 수 있다. 단지 플래쉬 A/D 변환기의 속도는 비교기 및 사용되는 로직(logic)의 속도에 의해 제한된다. 한편, 비교기에 인가되는 기준 전압은 V_{REF}와 접지 사이의 직렬로 연결된 저항열에 의해 만들어지기 때문에 생성된 기준 전압은 접지에서부터 저항수가 늘어날수록 기준 전압도 증가하는 단조성(monotonicity)의 장점을 지니며, 이것은 DNL(differential nonlinearity)를 작게 한다.[14] 그러나 플래쉬 A/D 변환기는 면적 및 전력소모 측면에서 단점을 가진다. 플래쉬 A/D 변환기에 사용되는 비교기의 수는 해상도 N비트에 대해 2^N개의 지수함수로 비례하기 때문에 높은 해상도를 요구하는 플래쉬 A/D 변환기의 경우, 많은 수의 비교기에 면적 및 전력소모가 커지는 문제점이 있다. 따라서 8비트 이상의 해상도를 요구하는 A/D 변환기에는 플래쉬 구조를 사용하기 어렵다.[14],[15] 하지만 본 연구에서는 4비트의 A/D 변환기를 필요로 하기 때문에 빠른 변환 속도를 얻기 위해서 플래쉬 A/D 변환기를 선택하였다.

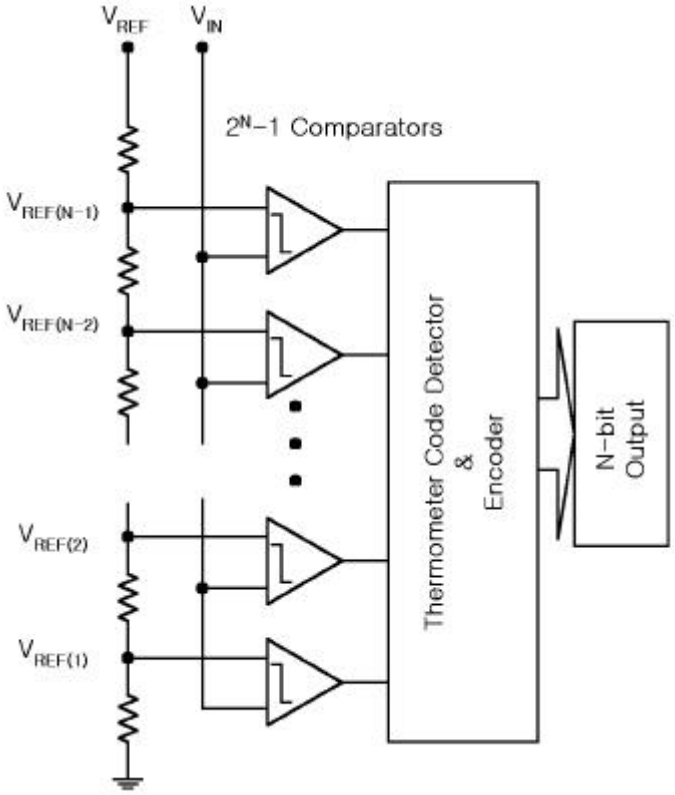


그림 3.16 **플래쉬** A/D **변환기의 구조**

그림 3.17**은 설계된** 8**비트** Two-step **플래쉬** A/D **변환기의 모의실험 결과로서 출력 증폭기에 의해 증폭된** SSIMT**의 최종 출력범위가** 0[V]**에서** 3[V]**까지 변한다고 가정하고 모의실험 하였다. 모의실험 결과** O[V]**에서** 3[V]**까지 선형적으로 증가하는 아날로그 입력에 대해** 8**비트의 디지털 값을 얻을 수 있다.**

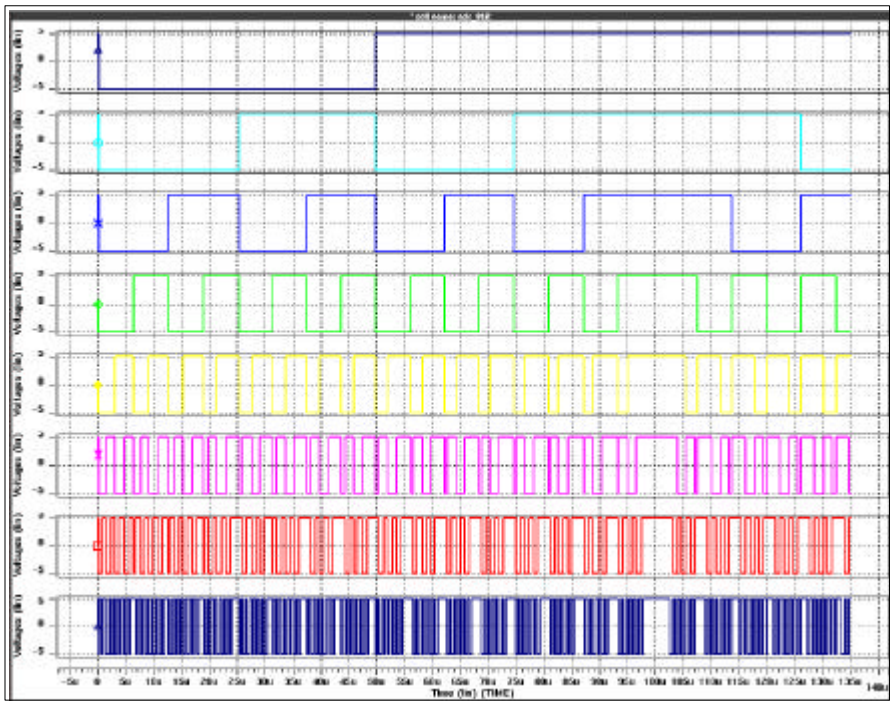


그림 3.17 A/D 변환기의 모의실험 결과

3.3 신호처리 측정 및 논의

본 연구에서 설계, 제작된 칩(chip)의 신호처리부분을 크게 제어신호 발생부, 증폭부, 그리고 A/D 변환기로 구성되어 있다. 신호처리의 최종 출력은 SSIMT의 출력이 되는 I_{C1}과 I_{C2}는 신호처리에 문제가 있기 때문에 전류증폭기로 사용되는 I/V 변환기를 사용하여 전류를 전압 형태로 변형하고, 뺄셈기를 통하여 두 콜렉터 값의 차를 구하여 소자의 출력을 측정하였다. I/V 변환기는 전류에서 전압으로의 형태 변화뿐만 아니라 미소한 값인 SSIMT의 출력을 약 100배 증폭할 수 있도록 설계하여 신호처리에 더욱 용이하도록 하였다. 이렇게 변형된 최종 출력이 그림 3.18에 나타나 있다. 자속의 변화에 따른 콜렉터의 변화에 있어서 저자계

에서는 선형도가 떨어지는 현상이 나타나는데, 이는 제작된 칩내에 있는 소자의 중심을 정확히 맞추는데 어려움이 있기 때문에 발생하게 된다. 이와 같은 현상은 다른 논문에서도 보고되고 있다. 이렇게 측정된 최종 결과는 자속의 변화에 대하여 선형적으로 증가하는 안정된 출력을 나타내었으며, 비선형도를 계산한 결과 약 1.4%로 나타났다. 이는 역시 저자계에서 소자의 중심을 맞추는데 어려움이 있기 때문에 발생한 것이다.

신호처리 회로의 측정에 있어서 초단증폭부는 10mV의 입력에 대해 1V를 출력함으로서 초단증폭부의 100배 증폭을 확인하였다. 저역필터(LPF)의 측정결과 3.4㎑이상의 주파수에서 이득의 감소를 확인할 수 있었으며, 출력증폭부는 100mV의 입력에 대하여 3V를 출력함으로서 30배 증폭을 확인할 수 있었다. 그림 3. 19에 측정결과가 나타나있으며, 이는 모의실험 결과에 일치한다. 또한, A/D 변환기도 정상적으로 동작함을 확인할 수 있었다. A/D 변환기의 측정결과가 그림 3.20에 있다.

그림 3.21에는 본 연구에서 설계, 제작된 칩의 전체 레이아웃을 나타내었다. 그림 3. 22은 칩의 핀 배치도를 나타낸다.

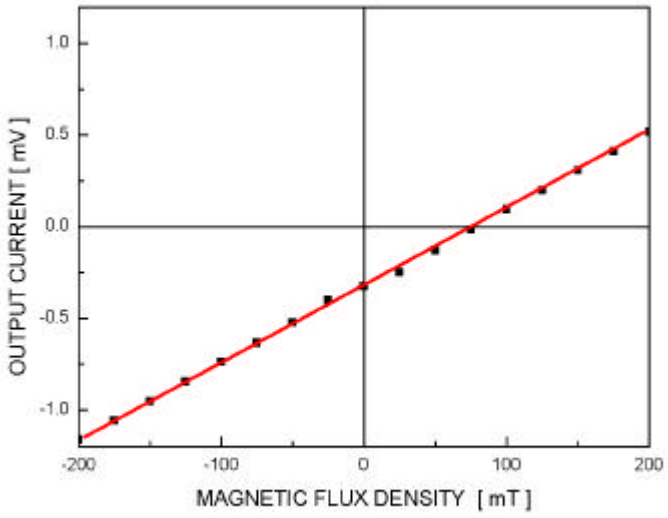
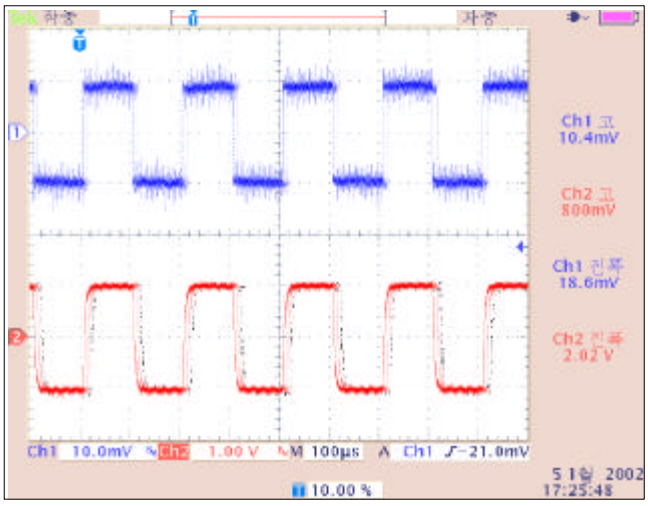
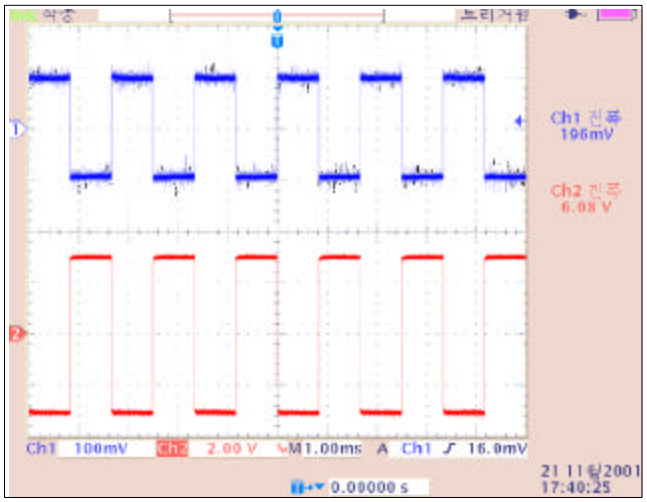


그림 3. 18 SSIMT의 최종 출력



(a) **초단증폭부의 입출력 특성**



(b) **출력증폭부의 입출력 특성**

그림 3.19 초단증폭부 및 출력증폭부의 측정결과

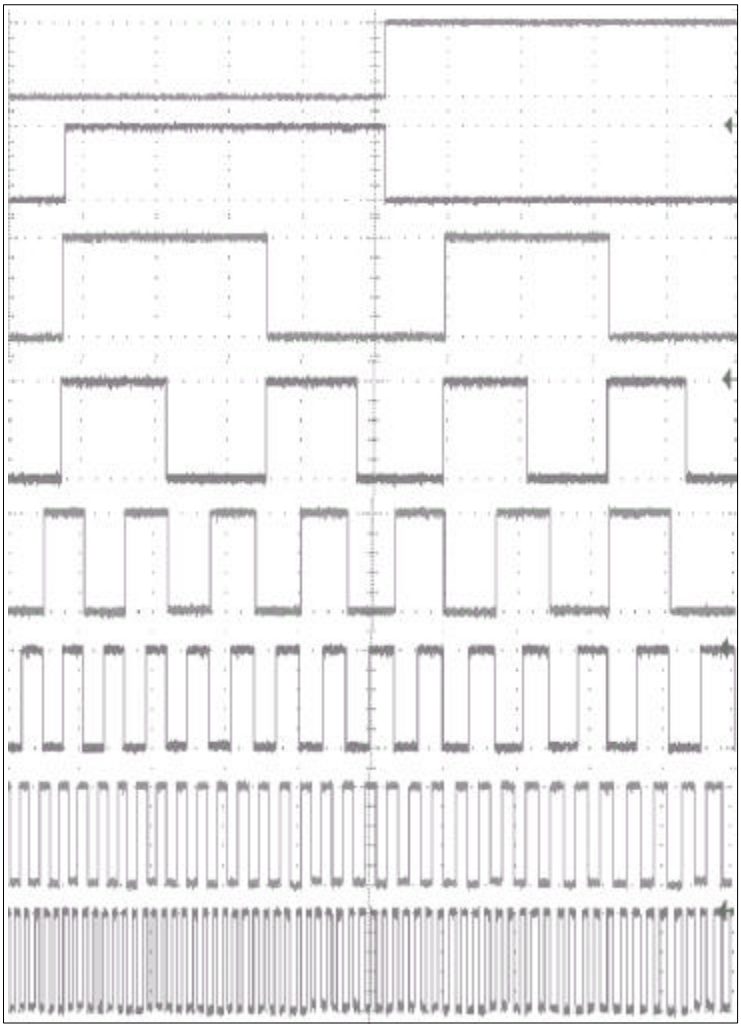


그림 3.20 A/D **변환기의 출력파형**

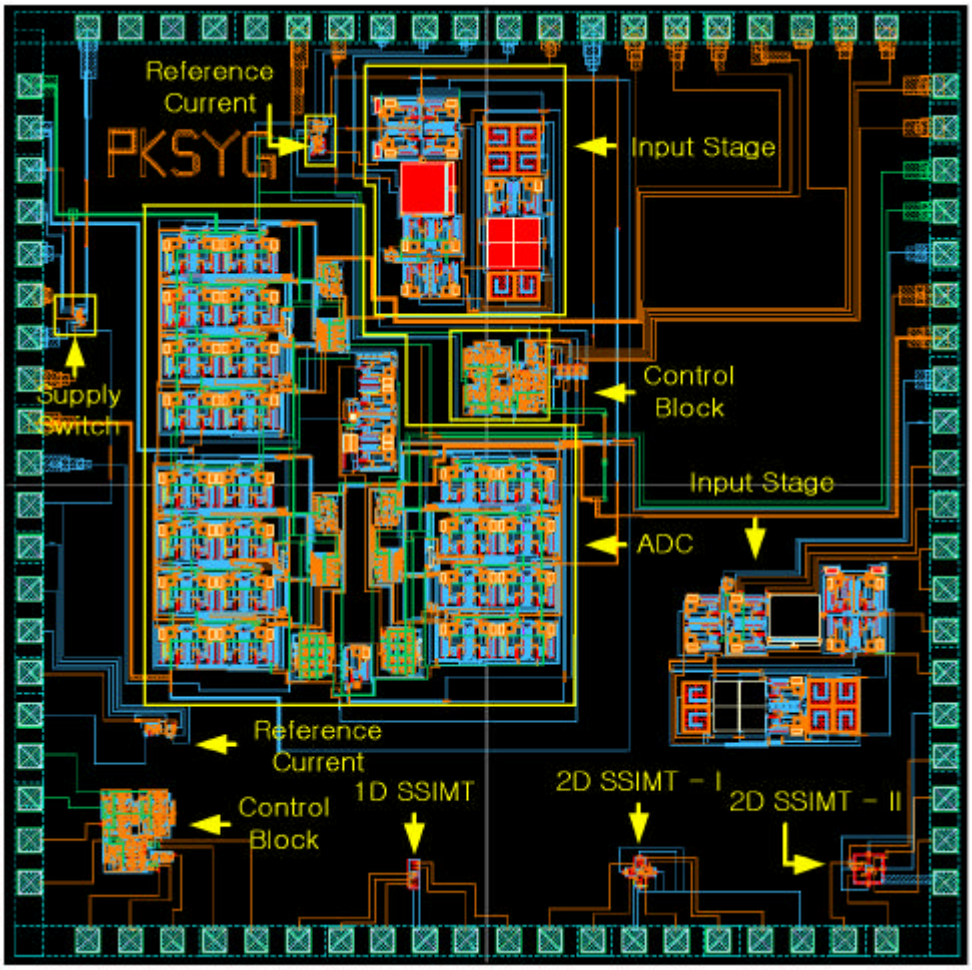


그림 3.21 전체 레이아웃

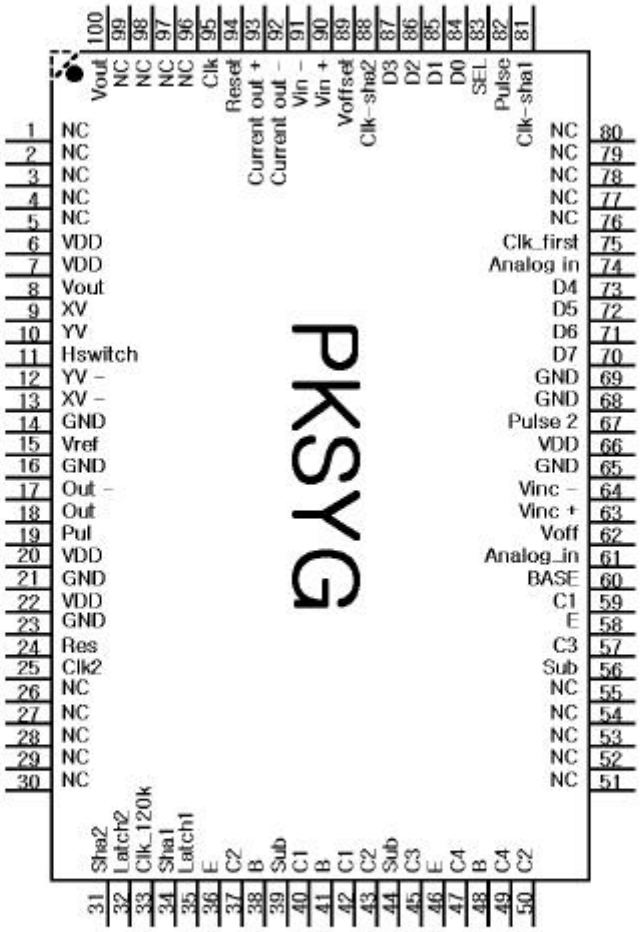

PKSYG
1 NC
2 NC
3 NC
4 NC
5 NC
6 VDD
7 VDD
8 Vout
9 XV
10 YV
11 Hswitch
12 YV -
13 XV -
14 GND
15 Vref
16 GND
17 Out -
18 Out
19 Pul
20 VDD
21 GND
22 VDD
23 GND
24 Res
25 Clk2
26 NC
27 NC
28 NC
29 NC
30 NC
31 Sha2
32 Latch2
33 Clk_120k
34 Sha1
35 Latch1
36 E
37 C2
38 B
39 Sub
40 C1
41 B
42 C1
43 C2
44 Sub
45 C3
46 E
47 C4
48 B
49 C4
50 C2
51 NC
52 NC
53 NC
54 NC
55 NC
56 Sub
57 C3
58 E
59 C1
60 BASE
61 Analog_in
62 Voff
63 Vinc +
64 Vinc -
65 GND
66 VDD
67 Pulse 2
68 GND
69 GND
70 D7
71 D6
72 D5
73 D4
74 Analog in
75 Clk_first
76 NC
77 NC
78 NC
79 NC
80 NC
81 Clk-sha1
82 Pulse
83 SEL
84 D0
85 D1
86 D2
87 D3
88 Clk-sha2
89 Voffset
90 Vin +
91 Vin -
92 Current out -
93 Current out +
94 Reset
95 Clk
96 NC
97 NC
98 NC
99 NC
100 Vout

그림 3.22 **핀 배치도**

4. 결론

본 연구에서는 CMOS 공정에 의해 SSIMT, SSIMT의 구동을 위한 레퍼런스 전류 회로, 증폭기 및 MCU와 같은 외부기기와의 접속을 위한 A/D 변환기를 하나의 칩에 집적화하여 SSIMT 스마트 센서를 설계, 제작하여 그 특성을 조사하였다.

제작된 SSIMT는 ±200mT의 자속 변화에 대해 선형적으로 증감하며, 120%/T 이상의 비감도를 나타내었다. 자기 환산 오프셋은 약 79mT로, 이때의 비감도는 약 30.5%/T로 나타났다. 온도의 증가에 따라서 콜렉터 전류와 오프셋 전류는 증가하였으며, 비감도는 감소하였다. 제어 전류 I_B가 증가할 때 오프셋 전류는 증가하고, 비감도는 감소였다.

I/V 변환기를 사용하여 전압 형태로 약 100배 증폭하여 측정된 최종 결과는 자속의 변화에 대하여 선형적으로 증감하였으며, 비선형도는 약 1.4%로 나타났다.

신호처리 회로의 측정에 있어서 초단증폭부는 10mV의 입력에 대해 1V를 출력함으로서 초단증폭부의 100배 증폭을 확인하였다. 저역필터(LPF)의 측정결과 3.4㎑이상의 주파수에서 이득의 감소를 확인할 수 있었으며, 출력증폭부는 100mV의 입력에 대하여 3V를 출력함으로서 30배 증폭을 확인할 수 있었다. 이는 모의실험 결과에 일치한다. 또한, A/D 변환기도 정상적으로 동작, 좋은 출력을 보였다.

본 연구에서 설계, 제작된 SSIMT 소자는 매우 안정적인 선형 출력을 나타내기 때문에 가우스 메터, 근접 스위치 및 무접점 볼륨과 같은 자기 센서의 응용분야에 사용될 수 있으며, A/D 변환기를 이용해서 MCU와 같은 디지털 신호처리가 가능한 외부기기와 접속하여 보다 우수한 선형성과 응용범위가 확대될 수 있을 것으로 생각된다.

참 고 문 헌

[1] W. Gopel, J. Hesse, J. N. Zemel, "Sensors", Vol. 5, VCH, pp. 45-52, 1989.

[2] S.M. Sze, "Semiconductor Sensors", Wiley-Interscience, New York, pp. 473-475, 250 1994.

[3] L. Ristics, H. Baltes, T. Smy, and I. Filanovsky, "Suppressed sidewall injection Magnetotransistor with Focused Emitter Injection and Carrier Doubledeflection", IEEE Electron device Lett. ,EDL-8 pp. 395-397, 1987.

[4] Lj. Ristic "Magnetic Field Sensors Based on Lateral Magnetotra nsitors " pp. 239, 253, 257.

[5] Min-Gyu Kim, Seung-Hoon Lee, Shin-Il Lim, "A CMOS On-Chip Current Reference Circuit ", **電子工學會論文誌 第** 33 **券** A**編 第** 4**號** pp. 702-707, 4**月**. 1996.

[6] Philip E. Allen, Douglas R. Holberg, "CMOS Analog Circuit Design", Saunders college publishing, pp. 490-495, 1987.

[7] K. Hsieh et al., "A low-noise chopper stabilized differential switched capacitor filtering technique", IEEE J. Solid-State Circuits, vol. SC-16, no. 6, pp. 708-715, DEC.

[8] C. C. Enz and G. C. Temes, "Circuit techniques for reducing the effects of op-amp imperfections: Autozeroing correlated double sampling and chopper stabilization." proc. IEEE, vol. 84, pp. 1584-1613, Nov. 1996.

[9] C. C. Emz et al., "A CMOS chopper amplifier", IEEE J. Solid-State Circuit, vol. sc-22, pp. 335-341, June. 1987.

[10] A. S. Sedra, K. C. Smith, "Microelectronic Circuit", Third Edition, Saunders College Publishing, pp. 68-73, 1993A. S. Sedra, K. C. Smith, "Microelectronic Circuit", Third Edition, Saunders College Publishing, pp. 68-73, 1993.

[11] **이승훈, 김범섭, 송민규, 최중호,** "CMOS **아날로그/혼성모드 집적 시스템 설계**", pp. 120-148, 1999.

[12] Micheal K, Magers, Sing W. Chin, "A 200mW, 1Msample/s, 16-b Pipelined A/D Converter with On-Chip 32-b Microcontroller", IEEE J, Solid-State Circuits, vol. 31, no. 12, pp. 1862-1872, Dec. 1988.

[13] Clemenz L. Portmann, Teresa H. Y. Meng, "Power-Efficient Metastability Error Reduction in CMOS Flash A/D Converters", IEEE J, Solid-State Circuits, vol. 31, no. 8, pp. 1132-1140, Aug. 1996.

[14] Behzad Razavi, "Principles of Data Conversion System Design", IEEE Press, 1995.

[15] Stepen H. Lewis, "Video-Rate Analog-to-Digital Conversion using Pipelined Architectures", Ph.D, Thesis, University of California at Berkeley, Nov. 18, 1987.