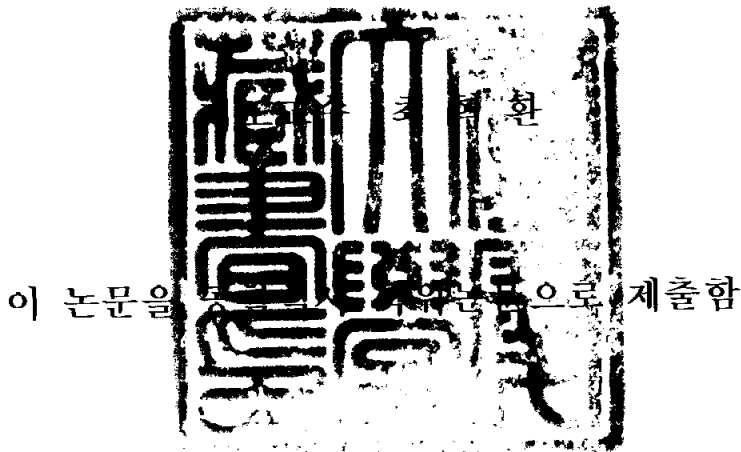


공학석사 학위논문

CMOS를 이용한 2.4GHz 대역의 저잡음증폭기 설계



2003년 2월

부경대학교 대학원

전 자 공 학 과

오 현 숙

오현숙의 공학석사 학위논문을 인준함

2002년 12월 26일

주 심 공학박사 이 명 교



위 원 공학박사 권 태 하



위 원 공학박사 최 혁 환



목 차

Abstract

I. 서론	1
II. 저잡음증폭기 개념 및 구조	3
2.1 저잡음증폭기 개념	3
2.2 저잡음증폭기 주요 고려사항	4
2.3 캐스코드 저잡음증폭기	10
III. 저잡음증폭기 설계	13
3.1 제안된 저잡음증폭기	13
3.2 증폭단 및 바이어스 설계	15
3.3 최적화 과정	20
IV. 시뮬레이션 및 결과	25
4.1 시뮬레이션	25
V. 결론	32
참고문헌	33

Design of 2.4GHz CMOS Low Noise Amplifier

Hyun-Suk Oh

Department of Electronic Engineering, Graduate School,

Pukyong National University

Abstract

In this thesis, we propose low noise amplifier for 2.4GHz ISM band with CMOS technology. The proposed circuit consists of cascode and cascade architecture. A cascode architecture not only reduces noise which comes from miller effect but also heightens gain property. And a cascade architecture is made of adding a MOSFET which connects to the common source amplifier's output of cascode architecture. The current which flows each architecture has different polarity of the third-order intermodulation and is summed at output of the proposed circuit. The components of the third-order intermodulation can be removed by summing each current, this result figures high IIP3 which means improvement of proposed circuit's linearity.

The proposed low noise amplifier had been designed of 0.35 μm 2-poly 4-metal CMOS processor with a 3.3V supply voltage. Simulation results of this circuit show that gain of 13dB, noise figure of 1.7dB, IIP3 of 8dBm, input/output matching of -30dB/-28dB, reverse isolation of -25dB, and power dissipation of 4.7mW with HSPICE simulator. Layout is implemented with Mentor IC Station, whose size is smaller than 2mm².

I. 서 론

차세대 반도체 제품 중 GPS(global positioning system), 블루투스(bluetooth), 무선 근거리 네트워크 시스템(wireless-LAN system) 및 homeRF와 같은 무선 이동통신 시스템이 가장 큰 비중을 차지할 것이라는 전망으로 RF에 대한 관심이 증가하고 있다. RF는 300MHz 이상의 주파수 대역뿐만 아니라, 이 주파수 대역을 사용하는 장비를 통칭한다. RF제품들은 저가, 저전력 및 소형의 단말기 형태를 요구한다. 이를 충족시키기 위해서 실리콘 CMOS SOC(system on a chip) RF 집적회로의 연구가 필수적이다. 무선 이동통신 수신단의 전체 잡음은 전단에 위치한 저잡음증폭기에 의해 결정되므로, 저잡음증폭기에서 잡음을 충분히 억제함으로써 고감도의 수신단을 구성할 수 있다.^{[1] [4]}

무선 통신 장비의 수신단에 사용되는 주파수 대역은 주로 셀룰러폰에 적용되는 900MHz 대역, GPS 시스템에 사용되는 1.5GHz 대역, 블루투스 및 근거리 네트워크 시스템에 사용되는 2.4GHz 대역으로, 사용 주파수는 더욱 높아지고 있는 추세이다. 이 중 2.4GHz의 ISM(industrial scientific medical) 밴드는 비라이센스료의 장점 때문에 응용분야에 가장 많이 이용되고 있다. Bipolar, GaAs MOSFET 및 SiGe HBT로 선행된 RF소자는 CMOS 소자에 비해 개별 성능이 우수하지만, 보고된 저잡음증폭기의 결과값을 살펴보면 같은 소자를 이용한 경우에도 잡음지수, 이득 및 전력 등과 같은 특성지표 결과값의 범위가 넓은 단점이 있다. 그리고 소자를 논리적으로 접근하여 설명할 수 있는 이론이 정립되지 않았다. 이에 반해 CMOS 소자는 개별 소자로서의 특성은 좋지 않지만 IF(중간주파수단) 모듈과 RF 모듈을 함께 집적시킬 수 있기 때문에 SOC RF 집적회로에 적합하다. CMOS 소자를 꾸준히 scale-down시킴으로

서 GHz 대역의 주파수 사용이 가능해졌으며 수율도 높아서 저가, 소형의 RF 집적회로 무선 통신 장비의 수신단에 적합하다고 발표되고 있다.^{[2],[5] [8]} SOC 구현을 위하여 CMOS 소자가 필수적이지만, 아직까지 CMOS 소자는 잡음에 대한 모델 특성이 충분하지 않을 뿐 아니라, 선형성을 향상시키는데 많은 어려움이 있다. 그리고 CMOS의 게이트 전류로 인한 잡음발생은 저잡음증폭기의 잡음특성을 저해, 이득과 전력의 trade-off 특성 문제, 잡음과 전력 정합점이 많이 떨어져 있는 것들이 문제점으로 남아 있다. 이 문제점들을 해결하기 위하여 다양한 형태의 CMOS 저잡음증폭기가 발표되고 있다.^{[1],[9] [10]}

다중밴드 및 복합기능을 갖춘 차세대 무선 이동통신 단말기의 고감도 수신을 유지하기 위해서는 저잡음증폭기의 저잡음 특성 및 높은 선형성이 요구되므로, 본 논문에서는 위와 같은 문제점 중에서 선형성을 향상시키는데 초점을 둔 저잡음증폭기를 제안하였다. 제안된 구조는, 이득이 높고 밀러 효과에 의한 잡음을 감소시킬 수 있는 특성을 가진 캐스코드 구조에, 출력전류의 3차 혼변조 성분을 제거할 수 있도록 캐스코드 구조와 공통 소스 증폭기를 공유하는 2단 캐스캐이드 구조를 추가한 것이다. 각각의 구조를 통해 흐른 전류 신호의 3차항 혼변조 성분은 180° 의 위상차를 가지므로, 출력 단에서 전류가 합해 질 때 3차항 혼변조 성분을 제거할 수 있다. 3차항 혼변조 성분을 제거함으로써 선형성을 높이고, 제안된 구조에 MOS의 잡음을 줄이면서 전력소모를 낮추기 위해 채널 폭을 최적화시키면서, 칩 제작 후 바이어스에 의한 잡음을 감소시킬 수 있도록 전류거울을 추가하여 잡음지수 및 선형성을 향상시킨 2.4GHz대역의 CMOS 저잡음증폭기를 설계하였다.

II. 저잡음증폭기 개념 및 구조

2.1 저잡음증폭기 개념^{[11] [12]}

일반적으로 저잡음증폭기가 사용되는 휴대용 무선 통신 장비의 수신단은 그림 1과 같은 구조로 구성되어 있다.

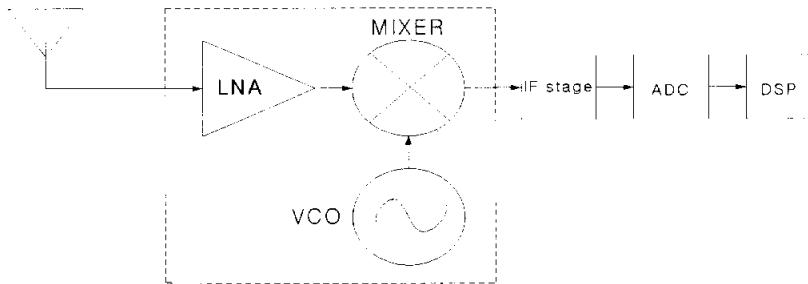


그림 1. 무선 통신 장비의 수신단 블록 다이어그램

그림 1의 수신단 잡음 영향은 식(1)으로 나타낼 수 있다.

$$F = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots + \frac{F_N - 1}{\prod_{n=1}^{N-1} G_n} \quad (1)$$

식(1)을 살펴보면 수신단 전체의 잡음은 각 블록의 잡음값을 전단들의 이득 곱으로 나눈 값의 합이 되는 것을 알 수 있다. 첫 단의 이득인 G_1 이 충분히 크다면 두번째 항부터는 값이 작아지므로 무시할 수 있다. 그러면 식(1)을 $F \approx F_1$ 로 표현할 수 있으므로, 전체 시스템의 잡음 F 는 첫 번째 블록의 잡음인 F_1 의 값에 의해 좌우된다고 할 수 있다. 첫 단의 이득을 충분히 크게 하고 잡음을 줄이면 회로 전체 시스템의 잡음이 감소하게 되므로, 이득과 잡음

값을 최적화시키는 저잡음증폭기를 첫 단으로 구성하면 고감도 수신기를 설계할 수 있다.

수신단의 첫 단계에 위치한 저잡음증폭기는 큰 잡음원에 노출된 아주 미소한 신호($0.031\mu \sim 60mV$)를 안테나 및 듀플렉서를 통해서 받아들여 잡음을 최대한 줄이면서 원하는 주파수 대역만을 선별하여 증폭시켜 후단의 주파수 혼합기로 공급한다.^{[11] [12]}

2.2 저잡음증폭기 주요 고려사항^{[2],[12]-[14]}

저잡음증폭기의 일반적인 특성을 표 1에 나타내었다.

표 1. 저잡음증폭기의 일반적인 특성^[12]

파라미터	값
Impedance matching of input/output	50Ω
Gain	10~20 dB
NF	1~3dB
IP3	-10dBm
Reverse Isolation	≈ -20dB
Power Consumption	≈ 10mW

2.2.1 S파라미터(Scattering parameter)

S파라미터는 주파수분포상에서 입력전압 대 출력전압의 비로써, 그림 2와 같은 2포트 회로의 경우는 식(2)~(3)과 같이 나타낼 수 있다. 대부분의 RF 장비 및 설계 기준은 S파라미터를 기준으로 만들어져 있으며 dB 스케일로 나타낸다.

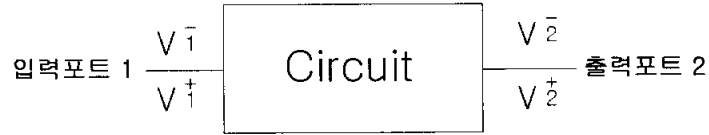


그림 2. S 파라미터¹¹⁰⁾

$$S_{ab} = \frac{V_a^-}{V_b^+} \quad (2)$$

$$S_{matrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \quad (3)$$

S파라미터의 각 요소들은 크게 전송(transmission), 반사(reflection), 격리(isolation)로 분류할 수 있다. ‘전송’은 입력신호 대 출력신호의 비로써 입력신호가 전송하고자하는 포트까지 도달하는 값을 평가한다. 2포트 소자의 경우 S_{21} 에 해당된다. ‘반사’는 각각의 입·출력포트의 자체 반사값을 의미하므로 2포트 경우 S_{11} , S_{22} 에 해당된다. 마지막으로 ‘격리’는 전력을 종단시키는 포트로부터 유출된 전력값으로 2포트의 경우 S_{12} 에 해당된다.

2.2.2 잡음지수 (NF)

잡음은 생성원인에 따라 열잡음(thermal noise), flicker noise, shot noise, burst noise, avalanche noise등이 있다. 고주파에서는 열잡음이 가장 지배적이며 잡음지수(noise figure, NF)의 정의는 수식(4)~(6)과 같다.

$$F = \frac{\text{총출력단잡음}}{\text{소스저항}(50\Omega)\text{에 의한 출력단잡음}} \quad (4)$$

$$F = 1 + \frac{\text{회로자체에 의해 발생하는 출력잡음 전력}}{\text{소스저항}(50\Omega)\text{에 의한 출력단잡음}} \quad (5)$$

$$NF = 10 \log F \quad (6)$$

$$NF = 10 \log \frac{[\frac{S}{N}]_{IN}}{[\frac{S}{N}]_{OUT}} \quad (7)$$

잡음지수는 입력단과 출력단의 잡음비를 나타낸 noise factor(F)를 데시벨(dB)로 표현한 값으로, 전체 시스템의 신호 대 잡음비(SNR:signal-to-noise ratio)가 외부에서 생긴 잡음 요소에 의해 얼마만큼 감소했는지를 나타낸다.

2.2.3 IIP3

IIP3 (3rd intercept point)는 시스템의 선형성(linearity)을 나타내는 지표로, 기본파 성분이 포화되지 않고 계속 증가할 경우, 3차 혼 변조 성분(third-order intermodulation, IM3)의 출력 전력점과 같아지는 지점의 입력전력으로 정의된다. 3차 혼 변조 성분이 기본파 성분보다 커지면 왜곡 신호가 더 커지게 되므로 원하는 주파수 대역에서의 사용은 더 이상 의미가 없어진다. 그림 3에 IIP3를 나타내었다.

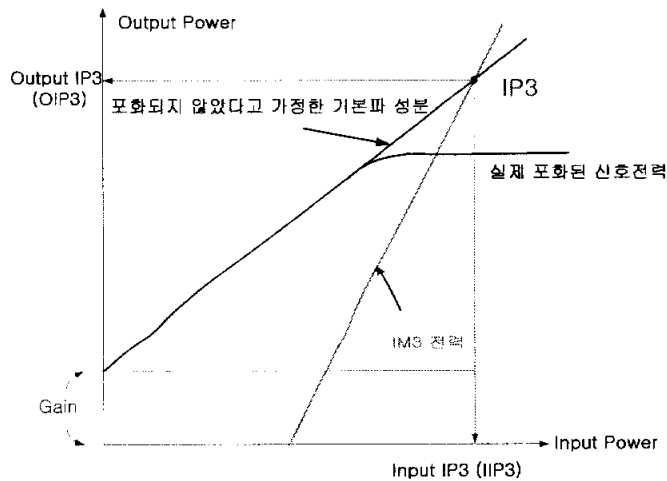


그림 3. IIP3 결정^[10]

식(8)과 같이 서로 다른 주파수를 가지는 인접한 두개의 신호가 증폭기 입력으로 인가될 경우, 비선형성 증폭기의 출력을 살펴보면 식(9)와 같다. 여기서 두 신호의 크기성분 $A=A_1=A_2$ 라고 두기로 한다.

$$x(t) = A_1 \cos \omega_1 t + A_2 \cos \omega_2 t \quad (8)$$

$$y(t) = a_1 x(t) + a_2 x(t)^2 + a_3 x(t)^3 + \dots \quad (9)$$

$$\begin{aligned} &= (a_1 + \frac{9}{4} a_3 A^2) A \cos \omega_1 t + (a_1 + \frac{9}{4} a_3 A^2) A \cos \omega_2 t \\ &\quad + \frac{3}{4} a_3 A^3 \cos(2\omega_1 - \omega_2)t + \frac{3}{4} a_3 A^3 \cos(2\omega_2 - \omega_1)t + \dots \end{aligned}$$

만약 $a_1 \gg \frac{9}{4} a_3 A^2$ 라고 가정하면 기본파 성분과 3차 혼 변조 성분은 식(10) ~ (11)과 같다.

$$\text{기본파 성분}(\omega_1, \omega_2) : a_1 A \quad (10)$$

$$\text{3차 혼 변조 성분}(2\omega_1 - \omega_2, 2\omega_2 - \omega_1) : \frac{3}{4} a_3 A^3 \quad (11)$$

IIP3의 정의에 따라 식(12)와 같이 식(10)과 식(11)을 같다고 두면 식(13)으로 표현할 수 있다.

$$|a_1| A_{IP3} = \frac{3}{4} |a_3| A_{IP3}^3 \quad (12)$$

$$(IIP3) \quad A_{IP3} = \sqrt{\frac{4}{3} \left| \frac{a_1}{a_3} \right|} \quad (13)$$

2.2.4 임피던스 매칭(impedance matching, S_{11} , S_{22})

임피던스가 다른 블록과의 연결단에서 매칭되지 않으면 반사계수가 높아져 신호의 왜곡을 야기하게 되므로, 임피던스를 매칭시켜 반사파를 최소로 줄여야 한다. 초고주파에서 전자파 에너지의 전력전송(power transfer)이 가장 좋은 임피던스는 33Ω, 신호 파형의 왜곡(distortion)이 가장 낮은 임피던스는 75Ω이다. 일반적으로 RF회로에서는 전력전송과 왜곡을 고려하여 중간값인 50Ω을 임피던스 매칭 기준값으로 잡는다. 모든 회로의 입력단과 출력단을 50Ω으로 만들어 주면 회로를 연결할 때마다 임피던스 매칭을 하지 않아도 된다. 입력단과 출력단의 임피던스 매칭은 S_{11} 과 S_{22} 의 값으로 확인할 수 있다.

2.2.5 이득 (S_{21})

식(1)에서 보았듯이 첫 단 이후에 위치하는 블록의 잡음값을 제거하고, IIP3 값을 증가시키기 위해서 높은 이득값이 필요하다. 일반적으로 저잡음증폭기의 이득은 10~20dB의 값을 만족해야 한다.

2.2.6 격리 (isolation, S_{12})

저잡음증폭기 후단에 위치한 주파수 혼합기에서 누설되는 LO 신호가 저잡음증폭기로 흘러 들어오는 양을 의미하는 것으로 기판 커플링이나 본딩 와이어 커플링에 의해서 발생된다. 증폭기의 구조적 설계로 누설신호를 줄일 수 있다.

2.2.7 안정계수(stability factor)

출력에서 입력으로 피드백이 존재할 때 소스와 부하 임피던스의 영향으로

회로가 불안정하면 발진할 가능성이 있다. 발진 없이 회로가 안정하게 동작하기 위해서는 식(14)의 조건을 만족시켜야 한다.

$$K = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{21}||S_{12}|} \quad (14)$$

식(14)에서 $\Delta = S_{11}S_{22} - S_{12}S_{21}$ 이다. $K > 1$ 이고 $\Delta < 1$ 인 경우 회로는 발진없이 항상 안정하게 동작한다. 식(14)에서 회로의 역방향 격리를 나타내는 S_{21} 값이 증가할수록 회로가 안정계수 K 가 향상되는 것을 알 수 있다. ^[12]

안정한 입력 임피던스를 위해 일반적으로 그림 4와 같은 구조를 쓰이고 있다.

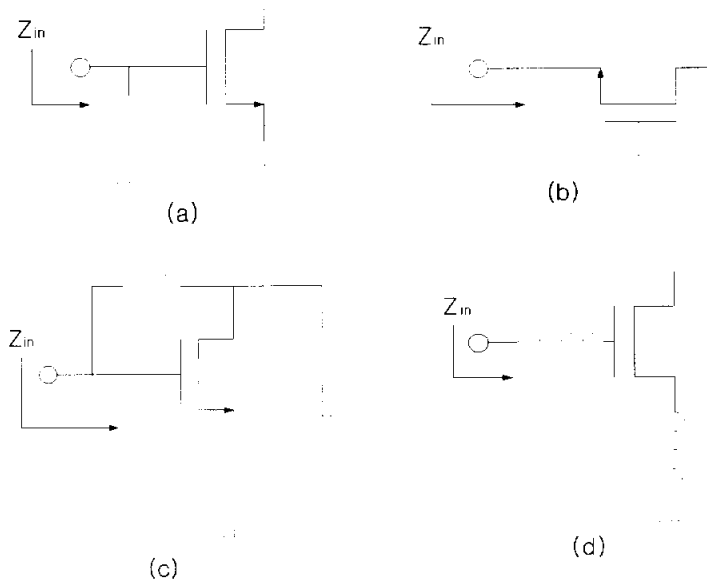


그림 4. 일반적인 저잡음증폭기의 입력 임피던스 구조^[21]

- (a) 저항성 종단 (b) $1/g_m$ 종단
(c) 전압-전류 변환 (d) 유도성 종단

그림 4의 (a)구조는 저항의 열잡음 특성으로 인해 잡음지수가 좋지 않을 뿐

아니라 저항에 의해 감쇠가 발생한다. (b)구조는 공통 게이트 구조라고도 불리는 구조로 입력매칭이 간단하고 IIP3 특성도 좋지만 잡음지수가 좋지 않다. (c)구조는 광대역 저전압증폭기에 주로 쓰이는 구조로 전력소모가 크고 CMOS를 이용하여 온칩화하기에 부적합하다. 마지막으로 (d)구조는 실제 가장 많이 쓰이는 구조로 증폭기의 입력단에서 튜닝하여 협대역을 가능하게 하지만 GPS 시스템에서는 사용할 수 없는 단점이 있다. 하지만 잡음지수 특성이 가장 뛰어나 가장 적합한 구조라고 할 수 있다.^[2]

2.3 캐스코드 저잡음증폭기^{[2]-[3],[12]-[14]}

그림 5는 저잡음증폭기에 가장 널리 쓰이고 있는 기본적인 캐스코드 구조이다.

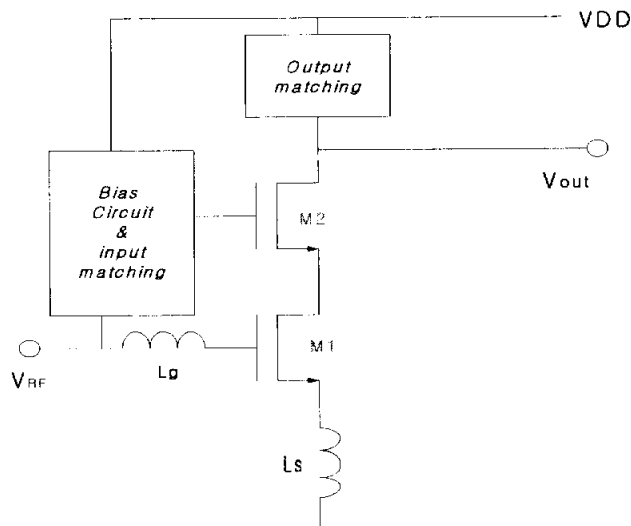


그림 5. 저잡음증폭기의 기본적인 캐스코드 구조

캐스코드 구조는 공통소스 M1과 공통게이트 M2를 직렬로 연결한 구조이다. 공통게이트 M2는 전압이득이 발생하는 소스와 드레인 사이에 커패시터가 없어서 밀러 효과가 발생하지 않아 역방향 격리값을 향상시켜주는 장점이 있다. 저잡음증폭기 후단에 위치하는 주파수 혼합기에서 발생하는 LO 누설성분에 의한 영향을 최소화하고, 출력에서 입력으로의 피드백을 최소화하여 회로의 안정성을 향상시키므로 캐스코드 구조를 사용하면 발진 가능성이 줄어들게 된다.

M1으로만 이루어진 일반적인 공통 소스 증폭기의 전달컨덕턴스 및 소신호 이득은 식(15)~(16)과 같다.

$$g_m = \frac{I_{BIAS}}{(V_{GS} - V_T)/2} \quad (15)$$

$$A_v = -g_m R_L \quad (16)$$

이에 반해 캐스코드 구조의 공통소스 증폭기 M1의 전달컨덕턴스와 이득은 식(17)~(18)과 같다.

$$G_m = \frac{1}{j\omega L_s} \quad (17)$$

$$A_v = -G_m R_L \quad (18)$$

식(15)~(18)에서 나타난 것과 같이 캐스코드 구조의 전달컨덕턴스는 바이어스에는 독립적이고 소스 인덕터에만 의존한다.

그림 5의 RF 입력단에서 본 입력 임피던스를 그림 6과 같이 등가회로로 구성하여 입력 매칭 및 주파수 매칭값을 구할 수 있다. 식(19)의 입력 임피던스의 정의에 등가회로를 통하여 얻은 식(20)의 입력 전압을 대입하면 식(21)과 같은 RF 입력단에서의 입력 임피던스를 구할 수 있다.

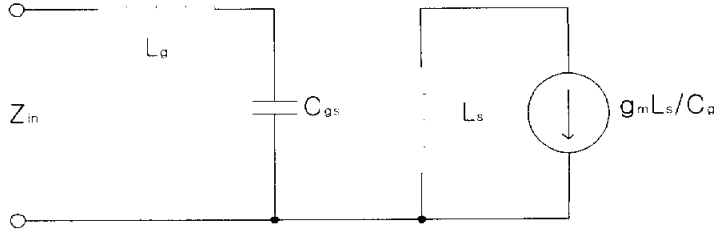


그림 6. RF입력단에서 본 입력 임피던스 등가회로^[2]

$$Z_i = \frac{V_i}{i} \quad (19)$$

$$V_i = (j\omega L_g)i + j\omega L_s(i + g_m \frac{i}{j\omega C_{gs}}) + (\frac{1}{j\omega C_{gs}})i \quad (20)$$

$$Z_i = j\omega(L_g + L_s) + \frac{1}{j\omega C_{gs}} + g_m \frac{L_s}{C_{gs}} \quad (21)$$

식(21)에서 주파수가 식(22)를 만족하여 허수성분을 제거하게 되면, 실수성분인 식(23)만 남는다.

$$\omega_c = \frac{1}{\sqrt{(L_g + L_s)C_{gs}}} \quad (22)$$

$$R_s = g_m \frac{L_s}{C_{gs}} \approx \omega_c L_s \quad (23)$$

여기서 L_g 를 이용하여 원하는 주파수 매칭을 시켜주고 L_s 를 튜닝시켜 50 Ω 으로 임피던스를 매칭시켜 신호 전달을 최대화시킨다.^{[11],[11] [15]}

M3를 추가하면 식(24)~(25)와 같이 전류가 흐르게 된다. M1과 M2로 구성된 캐스코드 구조를 통해 흐르는 전류와 M1과 M3으로 구성된 캐스캐이드 구조를 통해 흐르는 전류는 출력단에서 더해지므로 식(26)과 같이 나타낼 수 있다. 3차항을 나타내는 식(26)의 세번째 항을 살펴보면 비선형성에 의한 증폭값의 합이 0으로 맞추어질 수 있음을 알 수 있다. M2와 M3의 값을 조절하여 3차항 성분을 제거함으로써 IIP3를 개선시킬 수 있다.

$$i_{M1-M2}(v_i) = a_1 v_i + \frac{a_2}{2!} v_i^2 + \frac{a_3}{3!} v_i^3 \quad (24)$$

$$i_{M1-M3}(v_i) \approx i_{M3}(-v_i) = -g_{m3} v_i + \frac{g'_{m3}}{2!} - \frac{g''_{m3}}{3!} v_i^3 \quad (25)$$

$$i_o(v_{in}) = (a_1 - g_{m3}) v_{in} + (a_2 + \frac{g'_{m3}}{2!}) v_{in}^2 + (a_3 - \frac{g''_{m3}}{3!}) v_{in}^3 \quad (26)$$

회로의 입·출력단 2단 구조의 연결에 사용된 C_{in} , C_c , C_{out} 은 DC blocking 커패시터이면서 C_{in} 과 C_{out} 은 입·출력 매칭에도 이용된다. 부하임피던스로 인덕터 L_d 를 사용하였으며, M4로 전류거울을 구성하여 M1, M2, M3 MOS의 바이어스를 조절하였다. 전원전압 공급전압의 변화에 따라 S파라미터 및 잡음지수의 특성을 시뮬레이션을 통해 살펴보았다.^[15]

공정에서 제공하는 3.3V의 공급전압을 인가하였을 경우, 제안된 저잡음증폭기의 S_{11} 은 -31dB, S_{21} 은 13dB, S_{12} 는 -25dB, S_{22} 는 -28dB였다. 잡음지수는 2dB 이하로 나타났으며, IIP3은 8dBm의 결과를 얻을 수 있었다. 전류소모는 1.42mA이고 전력소모는 4.2887mW를 나타내었다.

3.2 증폭단 및 바이어스 설계^{[2],[11],[16]}

각 MOS의 채널 폭에 의해 소자의 특성이 결정되므로 적절한 채널 폭을 선택해야 한다. 전력소모를 줄이고 Q값을 보장해 주는 채널 폭을 수식(27)과 같이 나타낼 수 있다.^[11]

$$W_{opt} = \frac{1}{\frac{2}{3} \omega_o L_{eff} C_{ox} R_s Q_{L,opt}} \quad (27)$$

유도수식^[2]

$$Q = \frac{1}{\omega_0 R_s C_{gs}}$$

$$C_{gs} = \frac{2}{3} W L C_{ox}$$

$$P_D = V_{dd} I_d = V_{dd} W C_{ox} v_{sat} \frac{v_{od}^2}{V_{od} + L \epsilon_{sat}}$$

P_D : 증폭기의 전력소모

v_{sat} : 포화속도

ϵ_{sat} : 속도 포화 장 크기

C_{ox} : 단위 면적 게이트 산화 커패시터

식(27)에서 $\omega_o = 2\pi f = 2\pi \times 2.4 \text{GHz}$, L_{eff} 와 C_{ox} 는 $0.35\mu\text{m}$ 공정 파라미터 값을

이용하였으며, R_s 는 입력매칭값 50Ω , $Q_{L,opt}$ 는 4.5를 대입하였다. 수식

(27)을 이용하여 채널 폭을 계산하고 시뮬레이션으로 최적화시키는 값을 선택하였다. 계산에 의한 M1의 채널 폭을 시뮬레이션을 통해 $460\mu\text{m}$ 로 근사화시켜도 출력값의 변화는 거의 없으므로 채널 폭을 $460\mu\text{m}$ 로 정하였다. M1의 채널 폭을 일정값 이상으로 높이면 출력단의 매칭은 향상되지만, 입력단의 매칭은 감소하게 되므로 입·출력을 만족시킬 수 있는 $460\mu\text{m}$ 이 가장 적절하다. M2는 M1과 함께 캐스코드 구조를 형성하므로 M1과 같은 크기의 채널 폭을 갖는다. 식(28)과 같이 나타낼 수 있다.

$$W_{op2} = W_{op1} \quad (28)$$

M4는 M2와 함께 전류거울 회로를 구성하여 바이어스단을 구성하므로 전류거울의 조건을 만족시킬 수 있는 채널 폭을 가져야 한다.

그림 8에 간단한 MOS 전류거울을 나타내었다. M_A 에 흐르는 전류가 M_B 에 흐르는 전류를 제어하게 된다. 수식(29)에서 알 수 있듯이 W_{M_A} 와 W_{M_B} 의 비에 의해 전류가 조절된다.

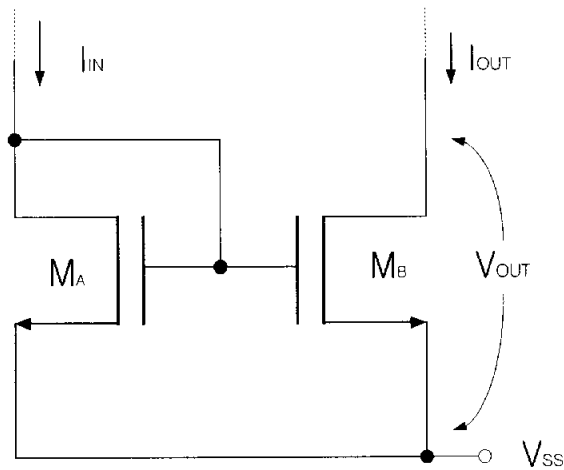


그림 8. 간단한 MOS 전류거울

$$\frac{I_{OUT}}{I_{IN}} = \frac{I_{DB}}{I_{DA}} = \frac{K'_{NA} W_A L_B (1 + \lambda_B V_{DSB})}{K'_{NB} W_A L_A (1 + \lambda_A V_{DSB})} \quad (29)$$

$$(\therefore) \quad \frac{I_{OUT}}{I_{IN}} \propto \frac{W_B}{W_A}$$

채널 폭을 변화시킨 전류거울의 전류값을 그림 9와 그림 10에 나타내었다. 전체 회로의 소모를 줄이고 M1, M2, M3의 각 MOS에 바이어스를 걸어주기 위해 채널 폭을 $W_{M_A} = \frac{1}{2} W_{M_n}$ 이 되도록 설계하였다.

공급전압이 증가하면 전달 컨덕턴스(g_m)가 증가하고, 전달 컨덕턴스가 증가하면 잡음지수가 향상된다.

$$NF = 1 + \frac{2}{3} \frac{1}{g_m} + \frac{2}{3} \frac{\omega^2 C_{gs}^2 R_s}{g_m} \quad (30)$$

이에 전달 컨덕턴스에 영향을 미치는 공급전압에 의한 전류변화를 고려하여 공급전압을 변화시킨 경우도 함께 나타내었다. 공급전압이 1V일 때와 사용한 공정에 제공되는 3.3V를 공급한 경우를 각각 비교하였다.

M3의 경우 수식(25)를 만족시키기 위해 채널 폭을 M1에 비해 매우 작은 값을 갖도록 하였으며 튜닝 과정을 통해 최적값을 추출하였다.

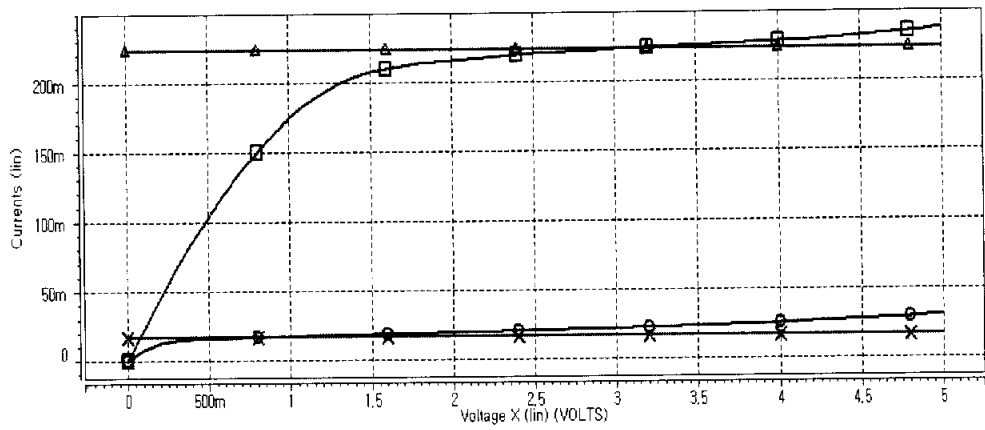


그림 9. 전류거울 ($W_{M_A} = W_{M_H}$)

공급전압=1V : i_{M_A} (×) i_{M_H} (○)

공급전압=3V : i_{M_A} (△) i_{M_H} (□)

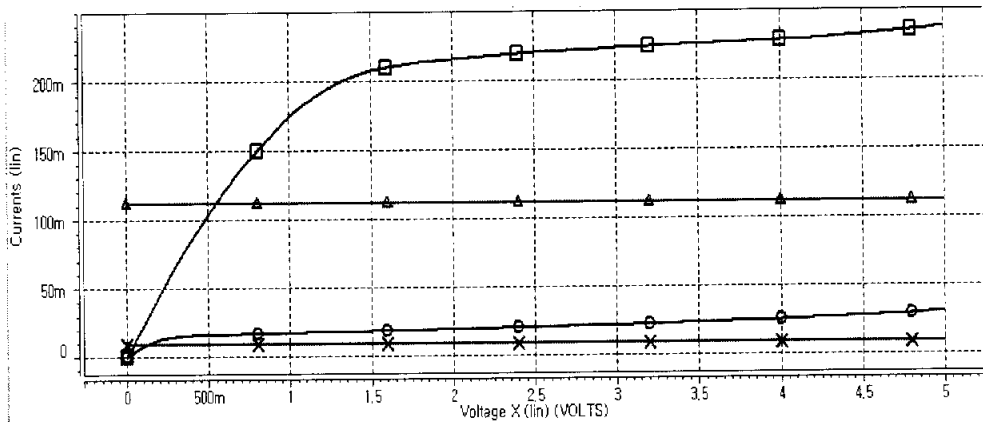


그림 10. 전류거울 ($W_{M_A} = \frac{1}{2} W_{M_H}$)

공급전압=1V : i_{M_A} (×) i_{M_H} (○)

공급전압=3V : i_{M_A} (△) i_{M_H} (□)

MOS를 이용하여 회로를 구현하는 경우, 채널 폭이 $460\mu\text{m}$ 의 큰 값을 가지므로 레이아웃 시 회로의 크기에 제한을 받게 된다. 단일 MOS의 경우, 채널 폭이 작은 MOS를 병렬로 연결(multi-finger)하여 구현하면 소자의 크기를 줄이면서 면적 감소로 인해 기판과의 기생커패시턴스 성분을 줄일 수 있는 장점이 있으므로 레이아웃 시 병렬로 MOS를 구현한다. 그림 11은 $230\mu\text{m}$ 의 채널 폭을 갖는 MOS에 흐르는 전류는 $115\mu\text{m}$ 의 채널 폭을 갖는 MOS 2개를 병렬로 연결한 구조에 흐르는 전류의 합과 같음을 보여주고 있다.

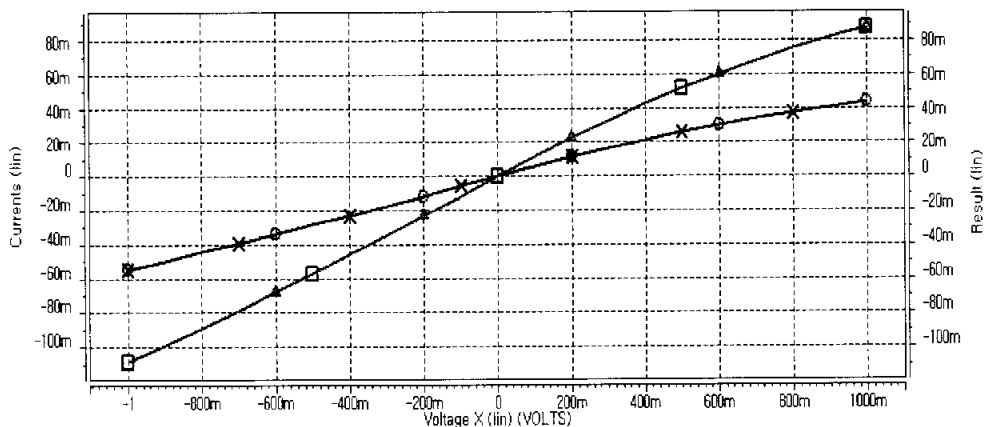


그림 11. 단일 MOS의 전류와 병렬 MOS의 전류

□ : 단일 MOS에 흐르는 전류 ($W=230\mu\text{m}$)

○ : 병렬 MOS1에 흐르는 전류 ($W=115\mu\text{m}$)

× : 병렬 MOS2에 흐르는 전류 ($W=115\mu\text{m}$)

△ : 병렬 MOS1과 병렬 MOS2에 흐르는 전류의 합

입력단 매칭은 식(22)~(23)에 파라미터 값을 대입하여 계산한 후 튜닝 작업으로 최적화 값을 추출하였다.

IIP3값은 푸리에 변환하여 원하는 주파수에서의 신호 크기를 추출, 식(31)~(33)을 이용하여 입·출력 및 3차 혼 변조 성분의 전력을 구한 값을 그래프로 구하였다.

$$P_{in} = \left[\frac{2 \times \text{fft}_{mag}(vin)}{\sqrt{2}} \right]^2 \quad @f = 2.4GHz \quad (31)$$

$$P_{out} = \left[\frac{2 \times \text{fft}_{mag}(vout)}{\sqrt{2}} \right]^2 \quad @f = f_1 = 2.4GHz \quad (32)$$

$$P_{im3} = \left[\frac{2 \times \text{fft}_{mag}(vout)}{\sqrt{2}} \right]^2 \quad @f = 2 \times f_1 - f_2 = 2.39GHz \quad (33)$$

출력단의 부하임피던스는 인덕터를 이용하여 50Ω 임피던스 매칭을 최적화하였다. 인덕터를 이용하면 기생 커패시턴스와 원하는 주파수에서 공진하여 신호를 최대로 전달할 수 있다. 또한, 부하 저항을 사용하는 경우에 비하여 튜닝되는 주파수에서의 이득을 증가시키며 다른 주파수에서의 잡음을 억제하는 효과가 있다. 출력단 매칭은 증폭기를 통해 나온 신호를 스미스 차트에 적용하여 역으로 50Ω으로 매칭시키는 방법을 이용하였다.

3.3 최적화 과정

그림 12는 수식에 의한 M1의 채널 폭에 흐르는 전류와 근사화 시킨 채널

폭 $460\mu\text{m}$ 에 흐르는 전류를 나타내고 있다. 이 때 채널 폭의 차이가 거의 나지 않아 전류의 차이는 거의 없다. 그리고 $460\mu\text{m}$ 을 기준으로 채널 폭의 변화에 따라 전류의 흐름과 매칭이 어떻게 달라지는지 확인하였다. M_1 을 $460\mu\text{m}$ 보다 조금 길고, 짧은 각각의 채널 폭을 갖는 MOS로 시뮬레이션한 결과, 채널 폭이 짧을수록 전류가 적게 흐른다는 것을 알 수 있다. 낮은 전류로 전력소모가 줄기는 하지만 그림 13과 그림 14에서 입·출력매칭을 살펴보면 $460\mu\text{m}$ 일 때 2.4GHz 주파수에서 매칭값이 가장 뛰어난 것을 알 수 있다.

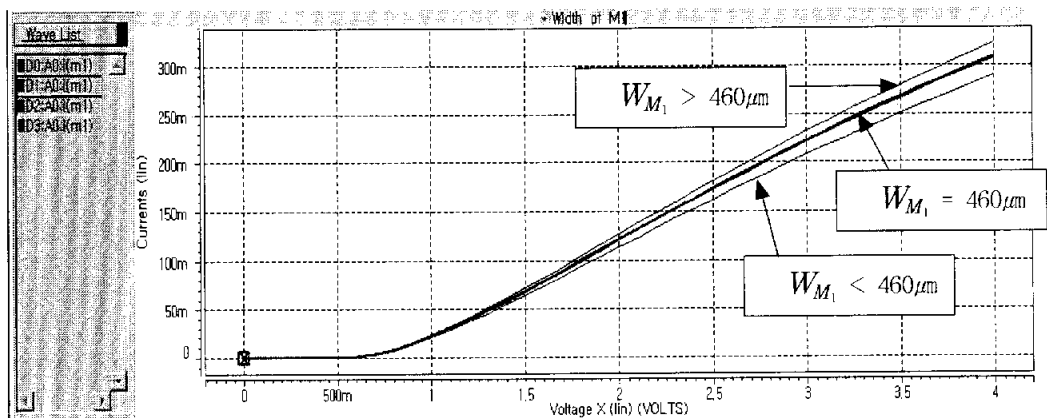


그림 12. M_1 의 채널 폭 근사화 및 채널 폭 변화에 따른 전류 변화

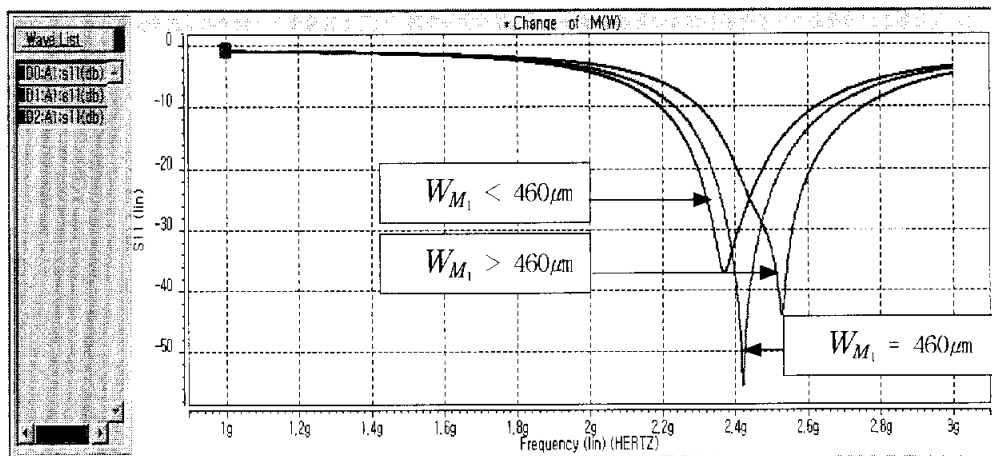


그림 13. 채널 폭 변화에 따른 입력단 매칭

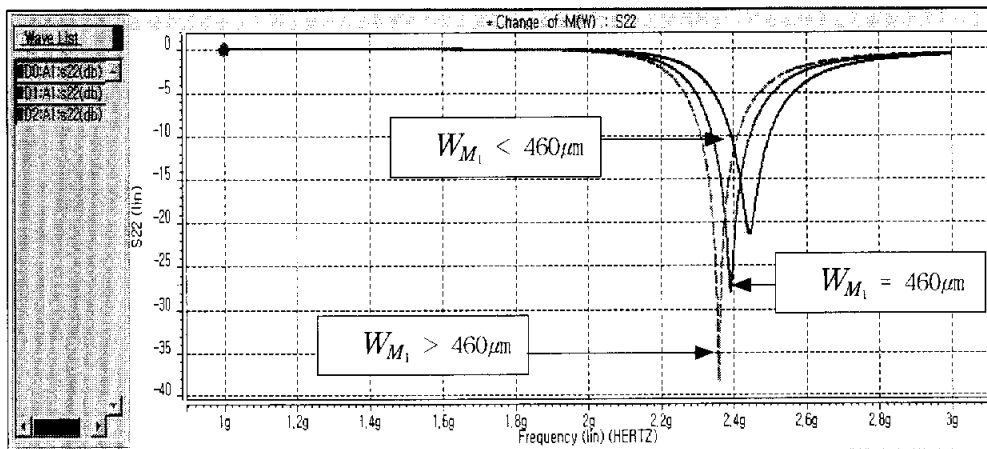


그림 14. 채널 폭 변화에 따른 출력단 매칭

그림 15에서 수식에 의해 계산되어진 L_g 인덕터 값을 변화시켜 주파수 매칭을 살펴보았다. 그림 16은 L_s 인덕터 값을 변화시켰을 때 임피던스 매칭의 변화를 나타내고 있다. L_g 와 L_s 모두 계산에 의한 값과 시뮬레이션 값과 차이를 보였다.

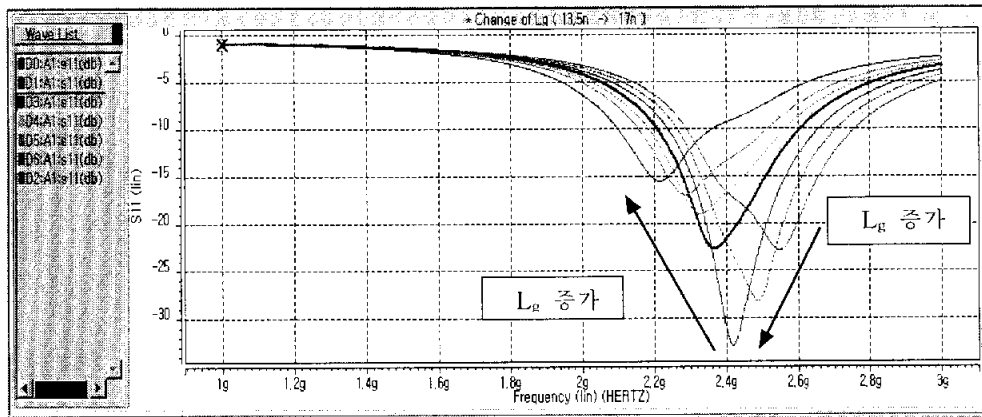


그림 15. L_g 의 변화에 따른 2.4GHz 주파수 매칭

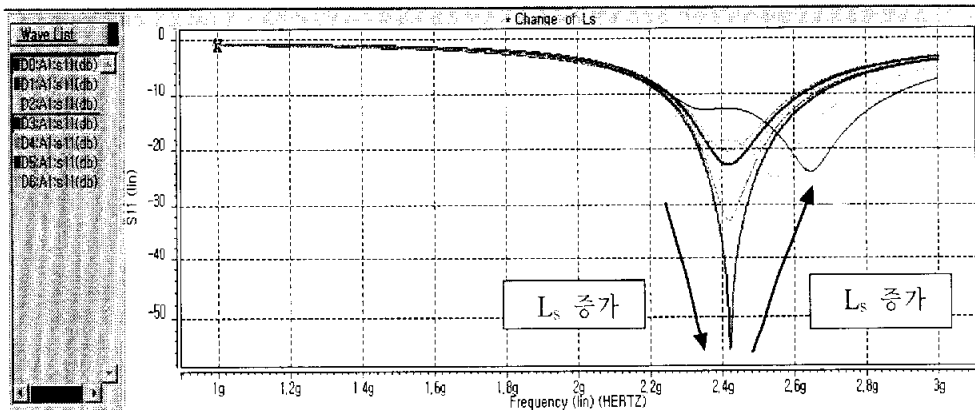


그림 16. L_s 의 변화에 따른 임피던스 매칭

그림 17은 스미스 차트를 통해 입력단 매칭을 살펴본 것으로, 이론보다 Q 값이 약간 감소하였다.

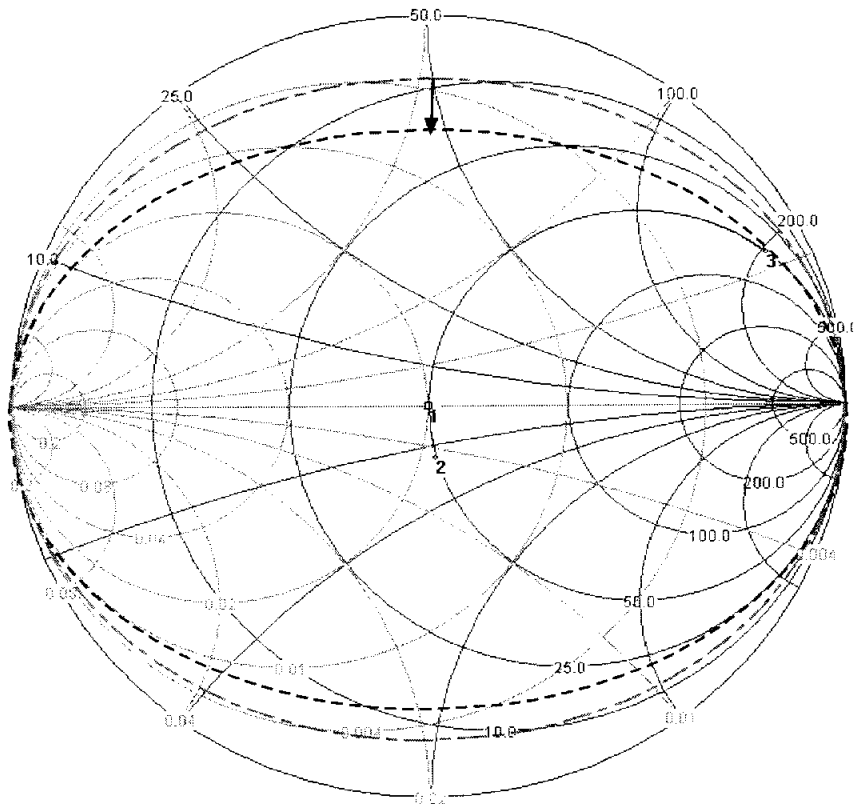


그림 17. 스미스 차트로 살펴본 입력단 매칭 및 Q 값의 변화

----- 이론에 의한 Q
 ----- 시뮬레이션에 의한 Q

IV. 시뮬레이션 및 결과

4.1 시뮬레이션

본 논문에서는 0.35 μ m 2-poly 4-metal CMOS 공정을 이용하여 회로 설계 및 시뮬레이션하였다. 잡음지수를 최소로 낮추면서 IIP3값을 줄이는 저잡음증폭기를 시뮬레이션을 통해 튜닝하여 다음과 같은 최적값을 추출하였다.

그림 18은 각 MOS의 출력에서의 진폭크기를 측정된 것으로 출력단의 증폭의 크기가 가장 큰 것 보여주고 있다. 2.6GHz의 주파수에서 진폭의 크기가 더욱 높게 나타나지만 이 주파수에서는 입·출력이 매칭되지 않는다. 원하는 2.4GHz 주파수 대역에서 진폭이 10배 정도 증가했음을 확인할 수 있다.

그림 19는 입·출력 transient 해석값을 나타낸다. 10mV의 입력신호를 가했을 때 80mV 이상의 출력신호를 나타내고 있다. 네트리스트로 확인 결과, 100mV 정도의 값이 나오므로 10배 정도 증폭되었다는 것을 알 수 있다.

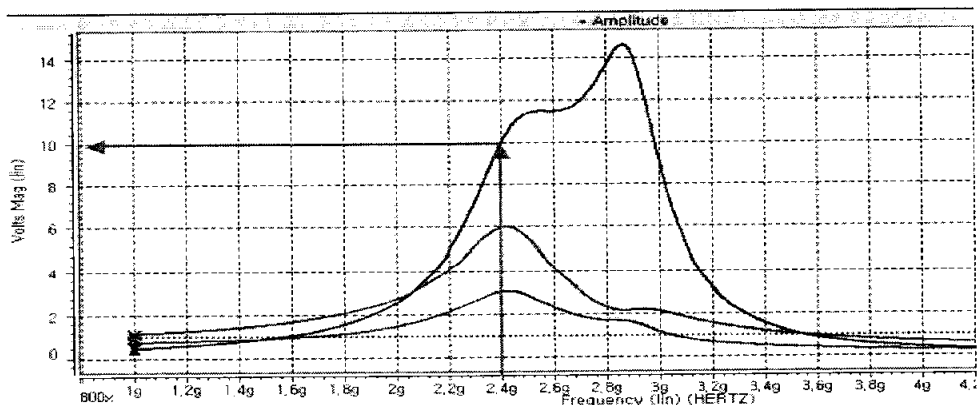


그림 18. 각 단계에서의 진폭크기 측정

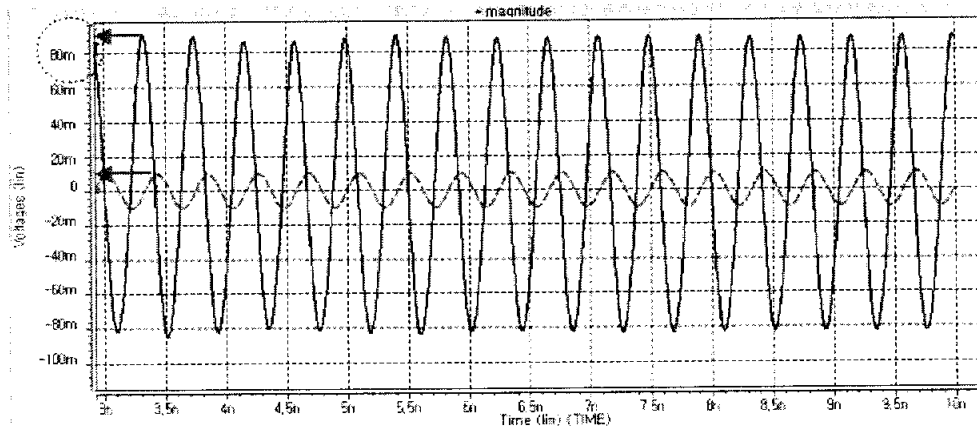


그림 19. Transient 해석에서의 신호 크기

그림 20은 공급전압 변화에 따른 2.4GHz 대역에서의 입력매칭을 보여준다. 잡음영향을 고려하여 공급전압을 변화시켜주면 입력 매칭값이 변화하므로 공급전압에 따른 입력매칭의 값을 고려하였다. 공급전압을 1.5V에서 공정에서 제공하는 3.3V까지 변화시켰을 때, 2.4GHz에서 입력이 매칭되고 있으며 공급전압이 높아질수록 입력매칭 특성이 좋아짐을 알 수 있다. 공급전압이 3.3V일 때 입력 매칭값은 -30dB이다.

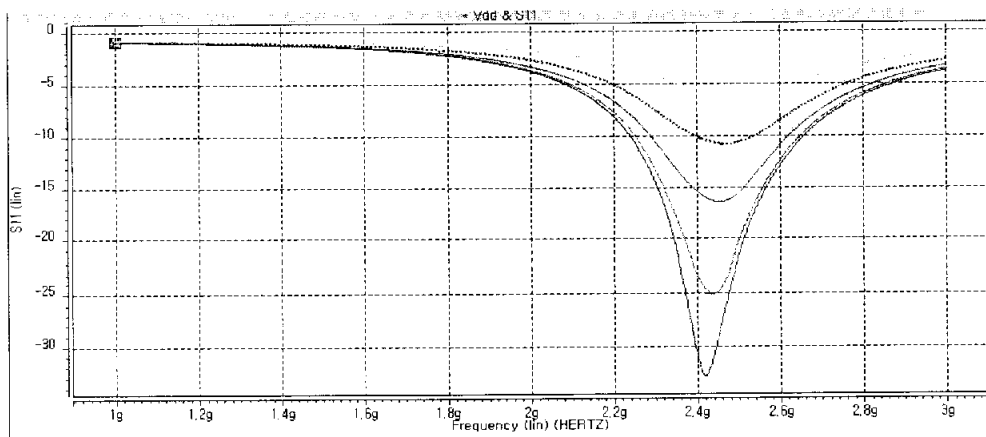


그림 20. 공급전압 변화에 따른 2.4GHz 대역에서의 입력매칭(S11)

그림 21은 공급전압 변화에 따른 2.4GHz 대역에서의 역방향 격리를 나타낸다. 공급전압 변화에 따른 차이는 크지 않았지만, 2.4GHz에서 공급전압이 3.3V일 때 -25dB의 가장 좋은 격리값을 갖는다.

그림 22는 이득값을 나타낸다. 공급전압이 높을수록 이득값은 높으며 2.4GHz에서 매칭이 이루어져 이득값이 가장 높음을 알 수 있다. 공급전압이 3.3V일 때 2.4GHz에서의 이득값은 13dB이다.

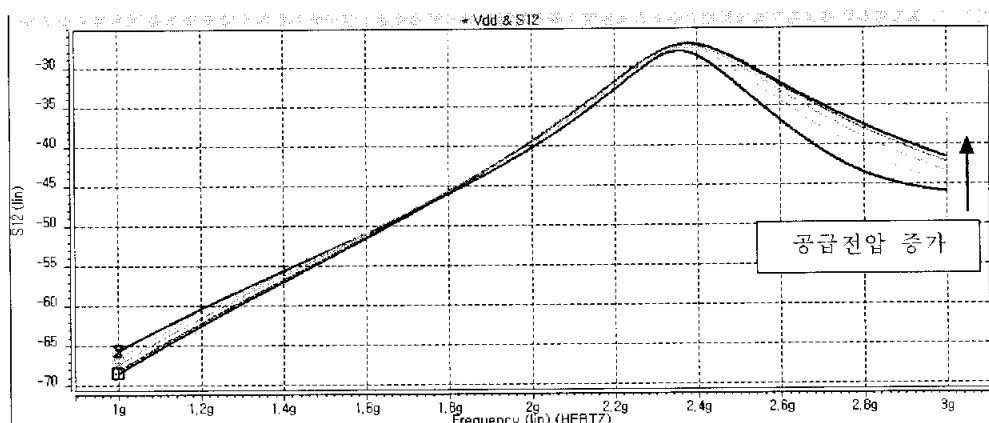


그림 21. 공급전압 변화에 따른 2.4GHz 대역에서의 격리(S_{12})

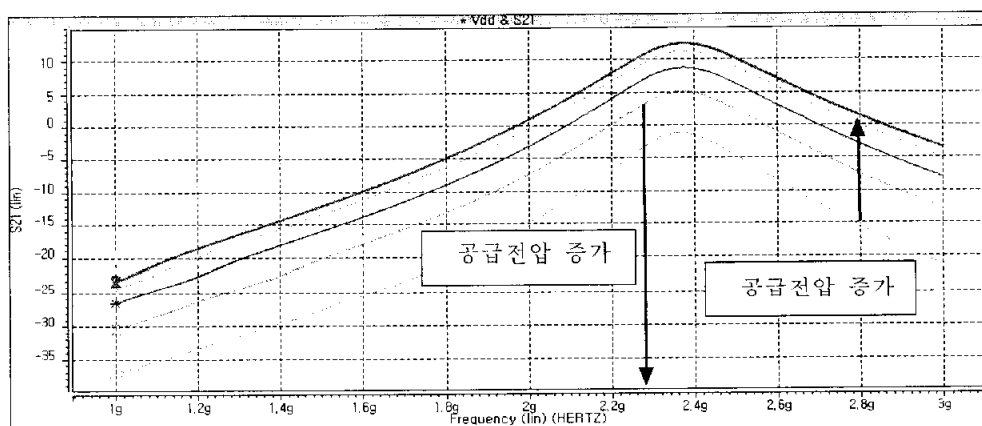


그림 22. 공급전압 변화에 따른 2.4GHz 대역에서의 이득(S_{21})

그림 23은 2.4GHz 대역에서 출력이 매칭되고 있음을 보여준다. 공급전압이 높을수록 출력매칭이 뛰어나다. 공급전압이 3.3V일 때 출력 매칭값은 -28dB이다.

그림 24는 공급전압 변화에 따른 출력잡음이다. 공급전압이 높을수록 출력잡음 특성이 뛰어나다.

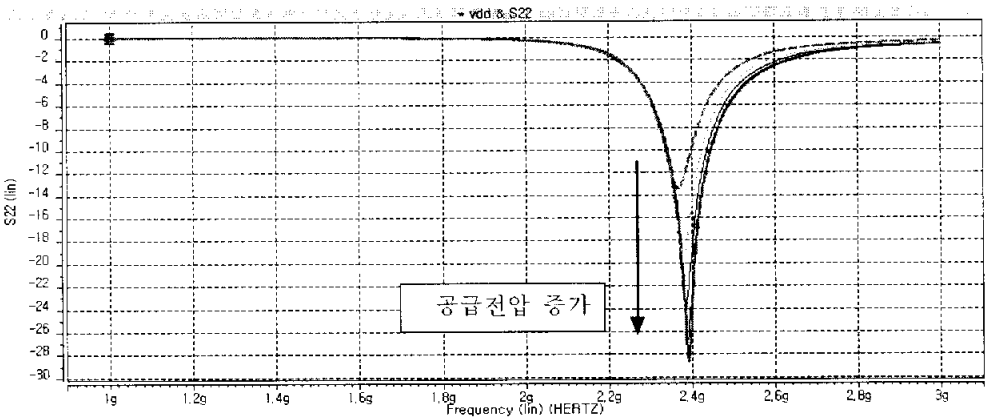


그림 23. 공급전압 변화에 따른 2.4GHz 대역에서의 출력매칭(S22)

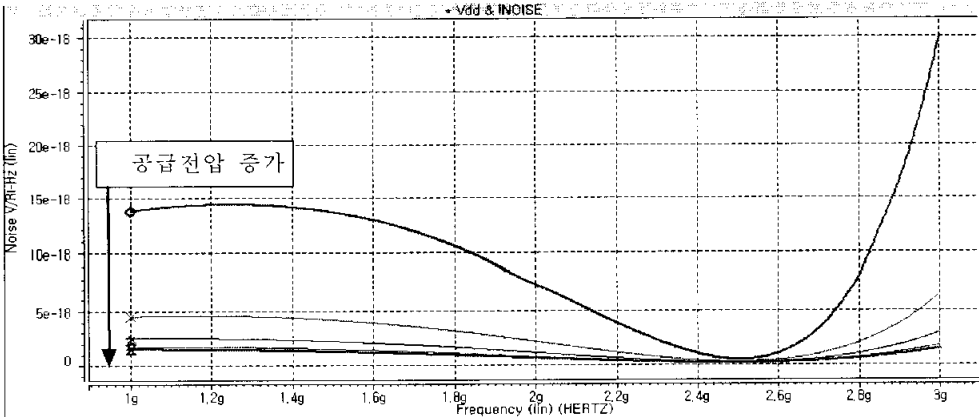


그림 24. 시뮬레이션에 의한 출력잡음

그림 25는 공급전압을 3.3V로 가해주었을 때의 잡음지수를 나타내고 있다. 2.5GHz 정도에서 1.7dB까지 떨어지고 있다. 2.4GHz 대역의 응용 시스템의 주파수 허용범위 범위 2.4835GHz에서 잡음지수는 2dB 이하이다.

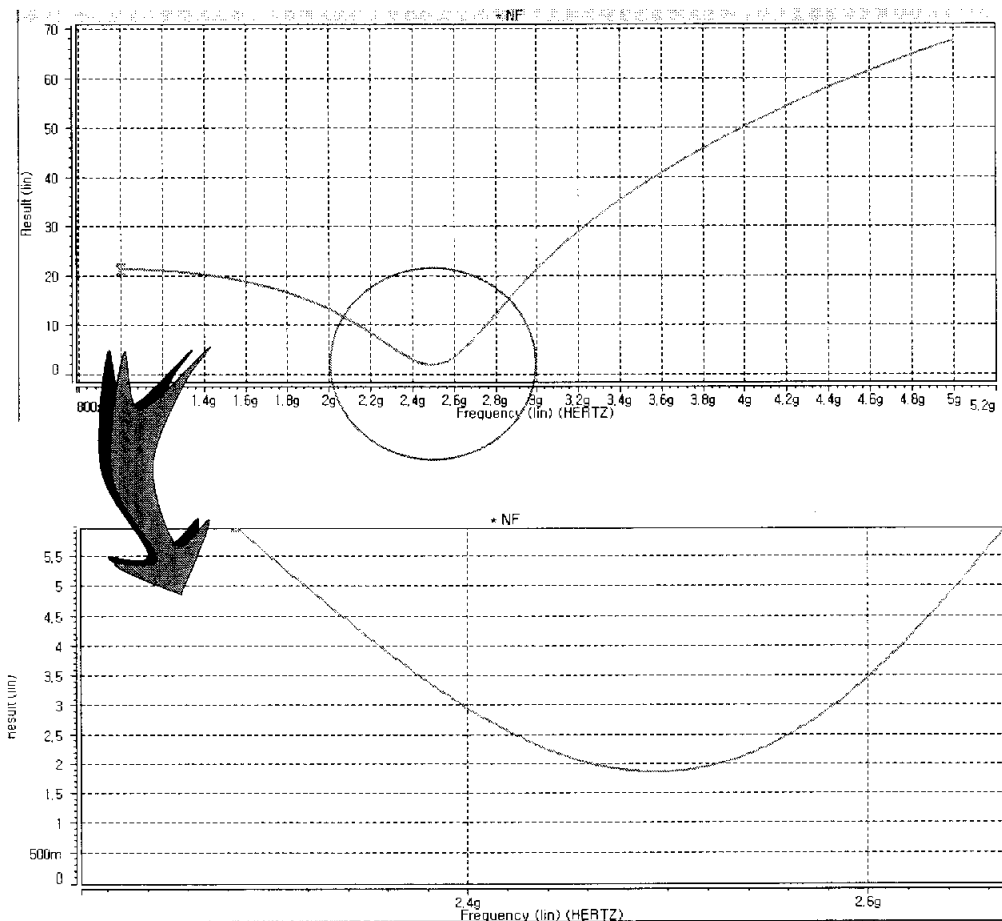


그림 25. 잡음지수(NF) (공급전압=3.3V)

그림 26은 IIP3값을 나타낸다. 푸리에 변환을 통해 2.4GHz에서의 입·출력 전압크기를 통해 기본파 전력성분 및 3차 혼 변조 성분을 구하여 그래프로 도시하였다. 약 8dBm의 IIP3값을 갖는다.

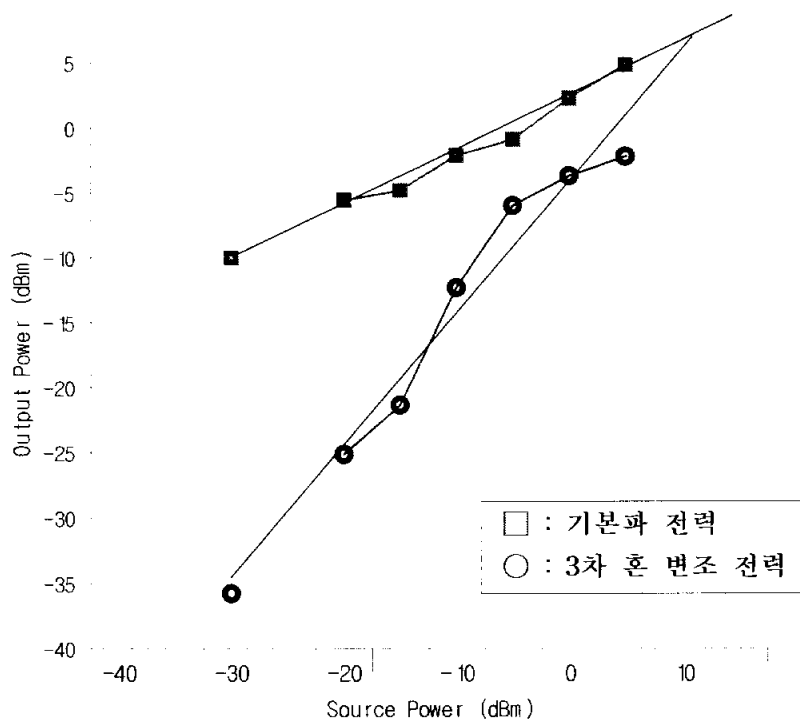


그림 26. IIP3의 추출값

그림 27에 제안한 저잡음증폭기의 레이아웃을 나타내었다. 각 MOS는 multi-finger 형태로 구현하였고, 커패시터는 선형성이 우수한 폴리-폴리 (poly-poly) 구조를 사용하였다. Hollow spiral 방식으로 인덕터를 레이아웃, 반패키징 방법 구현하였다. 저잡음증폭기의 사이즈는 $2mm^2$ 이하이며, 전체 사이즈의 크기는 $4mm^2$ 이다.

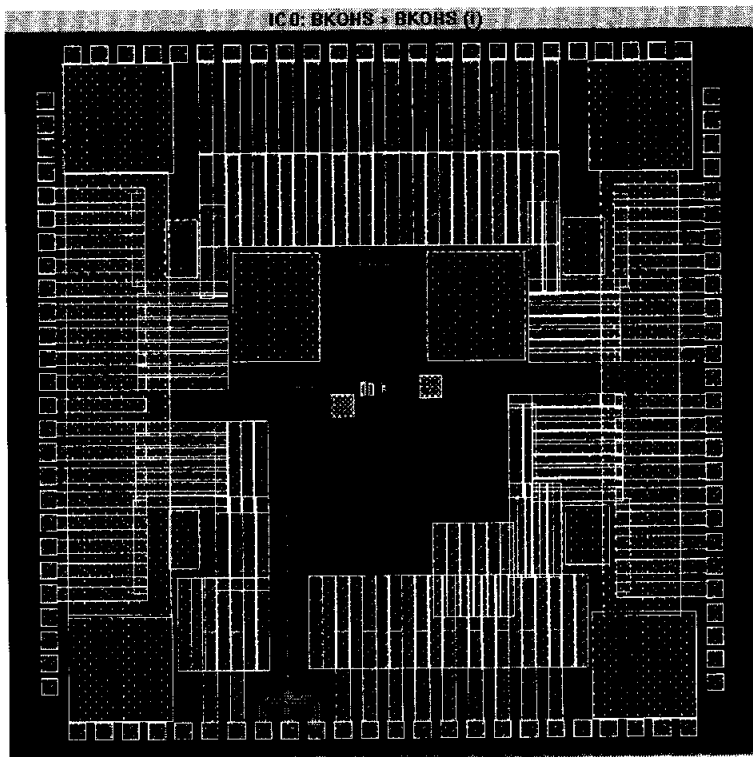


그림 27. 제안한 저잡음증폭기의 레이아웃

V. 결 론

본 논문에서는 공통 소스 증폭기를 공유하는 캐스코드 구조와 캐스캐이드 구조를 이용하여 출력 전류성분에서 발생하는 3차 혼변조 성분을 제거함으로써, 기존의 저잡음증폭기에 비해서 선형성을 향상시킨 2.4GHz 대역의 CMOS 저잡음증폭기를 제안하였다. 0.35 μm 2-poly 4-metal CMOS 공정을 이용하였으며, HSPICE를 이용하여 설계하였고, Mentor사의 IC Station을 이용하여 레이아웃하였다.

공급전압을 증가시킬수록 낮은 전원을 공급한 경우보다 뛰어난 S파라메타 값과 잡음지수를 갖는다는 것을 시뮬레이션을 통해 확인하였다. 이 때의 S_{11} 은 -30dB, S_{12} 는 -25dB, S_{21} 은 13dB 그리고 S_{22} 는 -28dB로 뛰어난 입·출력 매칭, 역방향 격리값 및 이득을 나타내었다. 그리고 잡음지수는 2dB 이하로 나타났으며, 8dBm의 IIP3값으로 선형성이 향상된 것을 확인하였다.

인덕터 레이아웃은 Hollow Spiral 방식을 이용하여 최적화하였지만, 기판 손실과 유기전류 등으로 인해 칩 제작 후, Q값 구현 및 주파수 특성의 정확성에 대한 개선이 요구된다.

참 고 문 헌

- [1] 김천수, 유현규, "RF CMOS 기술의 현재와 미래," 대한전자공학회지, 제29권 제9호, 18-30, September 2002.
- [2] Shaeffer, Derek. K, and Lee T.H, "A 1.5-V, 1.5-GHz CMOS low noise amplifier," Solid-State Circuits, IEEE Journal of, PP. 745-759 Vol. 32, Issue. 5, May 1997.
- [3] Cheon Soo Kim; Min Park; Chung-Hwan Kim; Yeong Cheol Hyeon; Hyun Kyu Yu; Kwyro Lee; Kee Soo Nam , "A fully integrated 1.9-GHz CMOS low-noise amplifier," IEEE Microwave and Guided Wave Letters [see also IEEE Microwave and Wireless Components Letters], Volume: 8 Issue: 8 , Aug. 1998, Page(s): 293-295.
- [4] J.C. Huang, Ro-Min Weng, Cheng-Chih Chang, Kang Hsu, and Kun-Yi Lin "A 2V 2.4GHz fully integrated CMOS LNA," Circuits and Systems, 2001. ISCAS 2001. The 2001 IEEE International Symposium on , PP. 466-469, Vol. 4, May 2001.
- [5] Microsoftware 2000.10. p233~247.
- [6] 김성우, "0.6 μ m CMOS 를 이용한 Class E 저전압 2단 전력증폭기에 관한 연구," 부경대학교 대학원, 공학석사논문, pp. 1-5, 2002.
- [7] A. Rofougaran, G. chang, J. J. Rael, J. Y.-C. Chang, M. Rofougaran, P. J.Chang, M. Djafari, M.-K. Ku, E. W. Roth, A. A. Abidi, and H. Samueli," A single-chip 900-MHz spread-spectrum wireless transceiver in 1-mm CMOS-Part I: Architecture and transmitter design," IEEE J. Solid-State Circuits, vol. 33, pp. 513-534, Apr. 1998.
- [8] Choong-Yul Cha, Sang-Gug Lee, "A low power, high gain LNA topology," Microwave and Millimeter Wave Technology, 2000, 2nd International Conference on. ICMMT 2000, PP. 420-423, 2000.
- [9] Piljae Park; Cheon Soo Kim; Hyun Kyu Yu "Linearity, noise optimization for two stage RF CMOS LNA," Electrical and Electronic Technology, 2001. TENCON. Proceedings of IEEE Region 10 International Conference on , Volume: 2 , 2001, Page(s): 756-758.
- [10] <http://www.rfdh.com>

- [11] 주관기관. 한국과학기술원, 연구기관. 충북대, 위탁기관. 전북대, “저전력 고주파 회로 설계 기술-최종보고서,” 산업자원부, 과학기술부, 정보통신부, 2000.
- [12] Behzad Razavi, “RF microelectronics”, Prentice Hall PTR 1998.
- [13] Thomas. H. Lee, “The Design of CMOS Radio-Frequency integrated Circuits,” New York:Cambridge University Press, 1998.
- [14] Razavi, B : CMOS technology characterization for analog and RF design : Solid-State Circuits, IEEE Journal of , Volume: 34 Issue: 3, March 1999 Page(s): 268-276.
- [15] 이상국, 유현규, 김충환, 이창석, 김창우, 박병하, RF IC 설계, 반도체 설계교육센터, pp. 217-249.
- [16] Randall L. Geiger, Phillip Allen, Noel R. Strader, " VLSI Design Techniques For Analog and Digital Circuits', McGraw-Hill, 1990. pp.318-372.