

공학 석사 학위 논문

MOS Switch를 이용한 Negative
Skewed Ring Oscillator

2002년 8월

부경대학교 대학원

전자공학과

임장진

공학석사 학위논문

MOS Switch를 이용한 Negative Skewed Ring Oscillator

지도교수 임 창 헌

이 논문을 공학석사 학위논문으로 제출함

2002년 8월

부경대학교 대학원

전자공학과

임 장 진

임장진의 공학석사 학위논문을 인준함

2002년 6월 29일

주 심 공학박사 최 혁 환 (인)

위 원 공학박사 임 창 헌 (인)

위 원 공학박사 최 영 식 (인)

목 차

Abstract	1
1. 서 론	2
2. 일반적인 VCO	5
2-1 PLL에서의 VCO	5
2-1-1 PLL의 기본구조	5
2-1-2 PLL에서의 VCO 해석	7
2-2 VCO의 종류	8
2-2-1 VCO의 기본구조	8
2-2-2 Ring Oscillator	9
2-2-3 Current Starved VCO	11
2-2-4 완전 차동 VCO	13
2-3 Negative Skewed Delay를 이용한 Ring Oscillator	15
2-3-1 Negative Skewed Delay	15
2-3-2 Negative Skewed Ring Oscillator	17
3. 제안된 Switched Negative Skewed Ring Oscillator	19
3-1 MOS Switch	19
3-1-1 Ideal Switch	19
3-1-2 MOS Switch의 구조 및 특성	22
3-1-3 MOS Switch가 갖는 일반적인 문제	24
3-2 Design	26
4. Simulation 결과 및 배치도	30

4-1 MOS 만 있을 경우의 Switched Negative Skewed Ring Oscillator	30
4-2 Resistor를 삽입한 Switched Negative Skewed Ring Oscillator	34
4-3 Negative Skewed Ring Oscillator와의 성능비교	40
5. 결 론	46
6. 참 고 문 헌	47

Negative Skewed Ring Oscillator Using a MOS Switch

Jang-Jin Lim

Department of Electronic Engineering, Graduate School.

Pukyong National University

Abstract

In this thesis, a new method of Negative Skewed Ring Oscillator by using a MOS Switch is described. Newly proposed Switched Negative Skewed Ring Oscillator composed of 7 stage inverter that has the wide frequency range of about 300 MHz from 1 GHz to 1.34 GHz and can get the control voltage that obtain 2 V from 1.2 V to 3.2 V. Phase Noise showed the differences of 33 dBc@10 MHz and 45 dBc@100 MHz by measuring as dB unit at $V_{con} = 2$ V. Also, the number of gate can be reduced a lot because current source to control current at the previous Negative Skewed Ring Oscillator replaced switch.

Proposed VCO used 3.3 V, 0.35 μm Standard CMOS process and did HSPICE as a analysis tool for simulation. Proposed Switched Negative Skewed Ring Oscillator measured frequency range and Phase Noise to compare the ability with previous Negative Skewed Ring Oscillator by equaling process rule and transistor size.

1. 서 론

오늘날 고속으로 동작하는 멀티미디어 및 컴퓨터, 통신시스템에 대한 요구가 한층 높아지고 있다. 이러한 요구에 부응하여 내부 클럭의 고속화, CPU 고속화 등을 위해 여러 분야에서 연구 개발의 투자와 노력을 아끼지 않고 있다. 반면, 칩 내부 시스템의 고속화에 비해 외부에서 입력되는 기준 클럭 주파수들은 저속으로 동작하게 되는데 이러한 시스템에서 외부와 내부의 주파수 차이를 인터페이스하는 PLL (Phase Locked Loop) 의 역할은 더욱 높아지고 있다. PLL이 이러한 시스템에서 중요하게 이용되는 데는 집적회로의 발달로 인한 가격의 저하로 저가격, 고성능에 대한 사용자의 요구를 충족시켜주기 때문이다.

PLL의 일반적인 기능은 위상이나 주파수에 대한 Negative Feedback Loop를 사용하여 출력신호와 입력신호의 위상차를 줄이거나 0이 되도록 하는 것이다. 이러한 PLL은 크게 세 가지 블록 - 위상검출기 (PD : Phase Detector), 루프필터, 전압 제어 발진기 (VCO: Voltage Controlled Oscillator) - 로 구성된다. PD는 출력과 입력의 위상을 비교하여 위상차에 비례한 신호를 출력한다. 루프 필터는 Low Pass Filter로 구현되며 PD의 출력에 포함된 고주파 성분을 제거, VCO의 입력에 제어전압을 인가한다. VCO는 입력신호에 비례하는 주파수를 발생시킨다.

특히, VCO (Voltage Controlled Oscillator) 는 PLL뿐만 아니라 발진현상을 필요로 하는 시스템에서 중요한 부분을 차지하기 때문에 VCO에 대한 연구 또한 활발히 행해지고 있다. PLL에서 사용되는 VCO에 대해 요구되는 특성은

- 1) 주파수의 가변 범위가 넓어야 한다.
- 2) Jitter와 Phase Noise가 적어야 한다.
- 3) 공급 전압원과 기판으로부터 잡음유입이 적어야 한다.
- 4) 입력 전압에 대한 선형성이 좋아야 한다는 점 등이다.

VCO는 보통 인덕터와 커패시터, 저항 등을 이용하여 만들어져 왔으며 GaAs 나 Bipolar 기술을 이용하여 훨씬 더 좋은 잡음 특성과 높은 동작주파수를 얻기 위해 폭넓은 연구가 진행되어져 왔다. 최근에는 저비용, 고집적화에 대한 요구

가 높아지면서 Bipolar나 GaAs의 특성과 비교될 만한 CMOS VCO에 대한 연구개발이 활발히 진행되고 있다. 그 결과 최대 동작주파수가 수 GHz에서 동작되는 연구 성과를 얻고 있다 [1]. 또한, VCO 신호의 질에 크게 의존하는 Phase-Noise 특성을 개선하려는 노력 또한 심도 있게 연구 진행되어져 오고 있다. 그 결과 Phase Noise 성능을 개선한 On-chip 인덕터를 갖는 CMOS LC-tank Oscillator가 연구 발표되었다 [2], [3]. 그러나 이 Oscillator는 좋은 잡음 특성을 보이고는 있지만 표준 CMOS 공정에서 좋은 특성을 갖는 인덕터를 집적하는데 있어 기생 효과에 대한 고려와 추가의 비표준 CMOS 공정단계를 요구한다 [2], [4]. 게다가 좁은 제어전압범위를 갖기 때문에 공정 변화에 민감하게 영향을 받게 된다.

반면, Ring Oscillator는 어떤 수동 소자를 갖고 있지 않기 때문에 추가의 공정 단계 없이 표준 CMOS 공정기술로도 적절히 집적화 될 수 있다. 또한 VCO로 쓰일 때 넓은 주파수 가변 범위를 얻을 수 있다. 이 외에도 연구 개발되고 있는 VCO로는 반전기에 흐르는 전류량을 조절하여 VCO의 발진 주파수가 결정되도록 하는 Current Starved VCO나, 공급 전압원과 기판으로부터 유기되는 VCO의 노이즈를 감소시키기 위한 완전 차동형 VCO, PMOS와 NMOS의 입력 신호의 입력 경로를 달리하여 NMOS보다 느린 PMOS의 동작속도를 보상한 Negative Skewed Ring Oscillator등이 있다 [15].

본 논문에서는 새로운 방식의 VCO를 제안하고자 한다. 전류거울 (Current Mirror) 과 Negative Skewed Delay를 이용한 기존의 Negative Skewed Ring Oscillator 방식에서 전류거울대신 MOS Switch를 이용하여 주파수를 제어하는 새로운 방식의 Ring Oscillator를 연구, 검토하였다. 제안된 회로에서는 기존의 바이어스용 전류거울을 사용하지 않고 MOS Switch를 Negative Skewed 되는 경로 상에 삽입함으로써 전류거울을 사용한 Negative Skewed Ring Oscillator보다 게이트 수를 크게 줄이고 주파수 제어전압으로 이용할 수 있는 입력 전압 범위를 2 V까지 넓힐 수 있었다. MOS Switch의 게이트에 인가되는 제어 전압에 따른 주파수 선형성 또한 양호한 특성을 얻을 수 있었으며 인가되는 제어 전압에 대해 300 MHz (1 GHz@Vcon=1.2 V, 1.34 GHz@Vcon=3.2 V) 의 주파

수 가변 범위를 얻을 수 있음을 HSPICE 시뮬레이션을 통해 확인할 수 있었다. 제안된 회로는 3.3 V의 공급 전압원을 가지며 0.35 μm 표준 CMOS 공정을 적용하였다.

본 논문의 구성은 1장의 서론에 이어 2장에서는 PLL에서 이용되는 VCO에 대해 간략한 기술과 함께 Ring 구조를 갖는 여러 종류의 VCO에 대한 개략적인 구조 및 동작원리를 설명하였다. 3장에서는 본 논문에서 이용되는 MOS Switch의 특성을 설명하고 제안하는 Switched Negative Skewed Ring Oscillator에 대한 설계 과정을 기술 하였다. 4장에서는 기존의 Negative Skewed Ring Oscillator와 비교하여 Simulation 결과를 검토하였다. 마지막으로 5장에서 결론을 맺었다.

2. 일반적인 VCO

2-1 PLL에서의 VCO

2-1-1 PLL의 기본구조

PLL은 통신시스템이나 디스크 구동회로, 모터제어 등 많은 분야에서 찾아볼 수 있는데 일반적으로 입력신호의 주파수와 동일한 주파수를 갖게 하는 발진기이다. 그림 1에 PLL에 대한 기본 구성을 보였다 [7], [9].

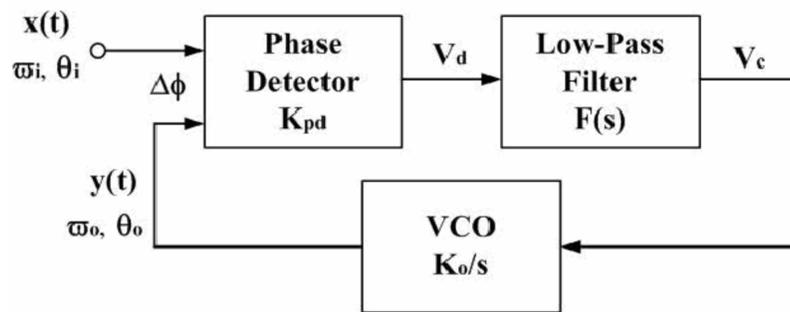


그림 1 Phase Locked Loop의 기본 블록

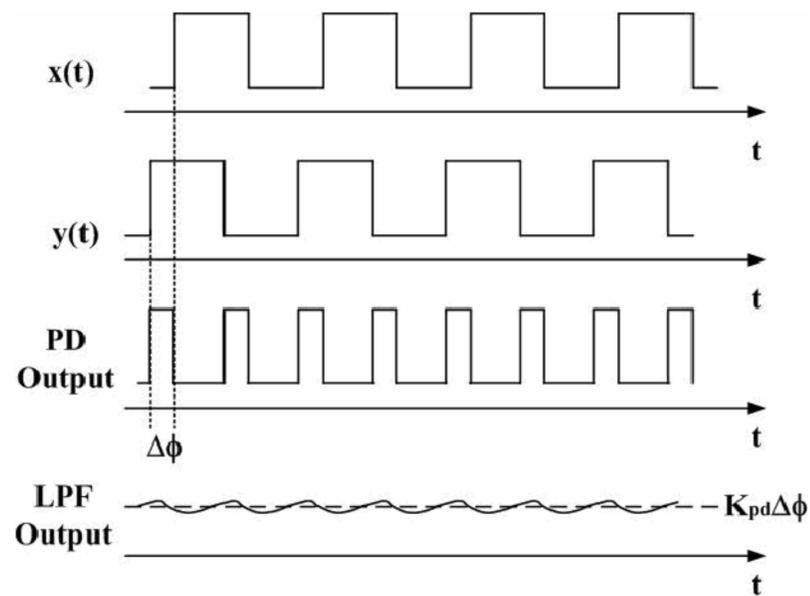


그림 2 PLL 각 블록의 동작 파형

입력 신호는 위상 θ_i 를, 출력 신호는 θ_o 를 갖는다. PD는 입력과 출력의 위상 θ_i 와 θ_o 를 비교하여 $x(t)$ 와 $y(t)$ 사이의 위상차 $\Delta\phi$ 에 비례한 V_d 를 LPF에 입력한다. LPF는 PD의 출력에 포함된 고주파 성분을 제거하여 안정된 V_C 값을 VCO에 공급하게 되고 이 입력 전압에 대해 VCO의 출력주파수 w_o 가 가변되어 위상차 $\Delta\phi = 0$ 이 되는 시점에서 입력 주파수에 동기된 출력주파수 w_o 가 출력된다. 이러한 Feedback 과정을 통해 입력과 출력 주파수 w_i 와 w_o 가 같게 되고 위상차 $\Delta\phi$ 가 0이 되거나 어떤 일정한 값을 갖게 되면 PLL 전체 루프가 "locked" 되었다고 하고, 이러한 이유로 해서 "Phase Locked Loop"라고 한다. 그림 2에는 위에서 설명한 PLL의 동작과정을 각 블록 출력 파형으로서 보였다. 여기서 PLL의 일반함수를 구해보면,

루프가 동기를 유지한다면 PD의 출력은

$$V_d = K_d(\theta_i - \theta_o) \quad (2-1)$$

여기서 V_d 는 PD의 출력 전압이고, K_d 는 PD의 이득으로 V/rad 의 단위를 갖는다. LPF는 일반적으로 1, 2차의 LPF가 이용되며 전달함수 $F(s)$ 를 갖는다.

VCO를 선형 소자로 가정한다면 제어전압 V_C 에 의해 결정되는 VCO의 주파수는

$$w_o = \frac{d\theta_o}{dt} = K_o \cdot V_C \quad (2-2)$$

$$\theta_o(s) = \frac{K_o \cdot V_C(s)}{s} \quad (2-3)$$

여기서 K_o 는 VCO의 이득으로 rad/sec · V의 단위를 갖는다. (2-1) ~ (2-3) 식에 의해 개방루프 전달함수는 다음과 같다.

$$G(s) = \frac{K_d \cdot K_o \cdot F(s)}{s} \quad (2-4)$$

폐루프 전달 함수는

$$\frac{\theta_o}{\theta_i} = H(s) = \frac{G(s)}{1 + G(s)} = \frac{K_d \cdot K_o \cdot F(s)}{s + K_d \cdot K_o \cdot F(s)} \quad (2-5)$$

2-1-2 PLL에서의 VCO 해석

이상적인 VCO는 주파수가 제어전압 V_C 에 대해 선형적인 관계를 갖는 주기 신호를 발생한다.

$$\omega_o = \omega_{FR} + K_o V_C(t) \quad (2-6)$$

여기서, ω_{FR} 은 자주 발진 주파수이고 K_o 는 VCO의 이득(단위는 rad/s/v)이다. 위상이 주파수의 시간에 대한 적분관계를 가지므로 VCO의 출력은 일반적으로

$$y(t) = A \cos(\omega_{FR} \cdot t + K_o \int_{-\infty}^t V_C(t) dt) \quad (2-7)$$

이다. 실제 VCO에 있어서 K_o 는 V_C 에 종속적인 관계를 보이며 $|V_C|$ 이 증가하면 0으로 떨어지게 된다.

만약 $V_C(t) = V_m \cos(\omega_m \cdot t)$ 라면

$$y(t) = A \cos(\omega_{FR} \cdot t + \frac{K_o}{\omega_m} V_m \cdot \sin(\omega_m \cdot t)) \quad (2-8)$$

이다. 이 식에서 K_o/ω_m 은 변조주파수 ω_m 이 증가할수록 감소하게 된다. 이는 곧 VCO가 VCO의 입력에 가해지는 고주파 성분을 제거하는 특성을 갖는다는 점이다.

또한 (2-6)식을 시간에 대해 적분하면

$$\phi_{out}(t) = K_o \int V_C(t) dt \quad (2-9)$$

가 된다. (2-9)식으로부터 PLL에서 VCO의 또 다른 특성은 출력의 위상을 변화시키기 위해 먼저 주파수를 변화시켜야 한다는 점이며, VCO의 출력위상은 가해지는 순간의 V_C 에만 의존하는 것이 아니라 그 동안 인가된 일련의 V_C 신호와 연관됨을 보이고 있다.

2-2 VCO의 종류

2-2-1 VCO의 기본구조

전압 제어 발진기(VCO)는 입력 전압에 의하여 어떤 범위 내에서 주파수를 조정하여 원하는 주파수를 갖는 출력신호(구형파나 사인파)를 발생하는 회로이다. 그림 3에 증폭기와 Feedback Network가 연결된 단일 루프 시스템의 블록도를 보였다 [10], [11].

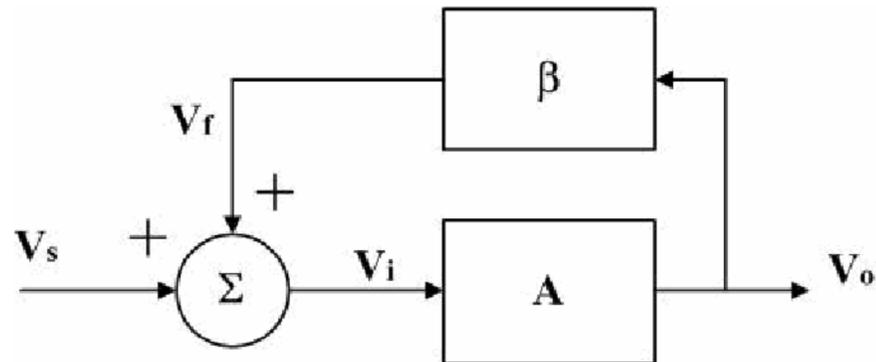


그림 3 발진의 개념도

이 시스템에서 루프 이득은

$$G = A\beta \quad (2-10)$$

폐루프 이득은

$$A_f = \frac{V_o}{V_s} = \frac{A}{1 - A\beta} = \frac{A}{1 - G} \quad (2-11)$$

식(2-11)에서 $V_s = 0$ 일 때라도 일정한 출력 V_o 를 가지려 한다면 출력 V_o 는 무한대가 되어야 하고 이것은 곧 $G=1$ 일 때만 일어난다.

이 조건을 Barkhausen의 발진 조건이라 하며 이를 만족하기 위해 발진기는 루프 이득이 1이 되는 주파수에서 360° 의 위상 변이를 얻을 수 있어야 한다.

2-2-2 Ring Oscillator VCO

전압 제어 발진기 (VCO) 는 입력전압에 따라 선형적으로 변하는 출력 주파수를 발생시키는 소자로, 크게 사인파 (sine wave) 를 출력시키는 발진기와 구형파 (square wave) 를 출력시키는 발진기로 구분된다. 사인파를 출력시키는 발진기는 어떤 시스템의 피드백 루프 내에 주파수에 대해 선택적으로 동작하는 R, C, L 등의 소자를 사용한다. 구형파를 출력시키는 발진기로는 Ring Oscillator와 Relaxation 발진기가 있다 [5].

VLSI 시스템에서 데이터 경로나 고속 응용분야를 위해 고속 동작과 간단한 회로 구조 때문에 CMOS Ring Oscillator가 Clock recovery, Data recovery, Frequency synthesis, Microprocessor의 Clock synchronization을 위한 PLL (Phase locked loops)과 Multi-Phase Sampling을 요하는 많은 응용분야에서 폭넓게 이용되어지고 있다 [1], [2].

그림 4에 Ring Oscillator에 대한 기본 구성을 보였다. 그림에 보인 대로 홀수 개의 반전 증폭기를 고리 형태로 연결한 회로이다.

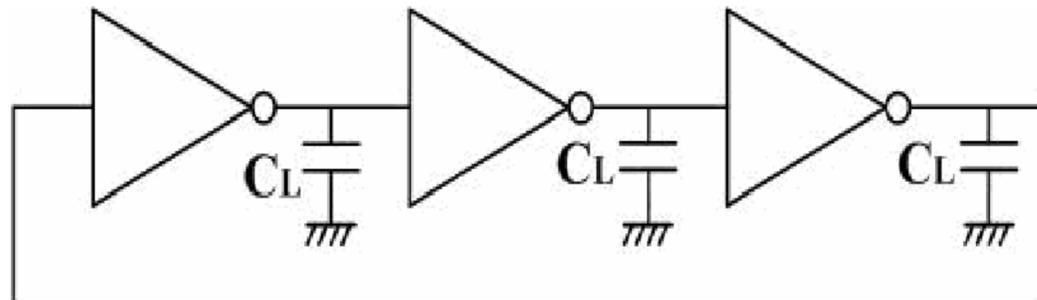


그림 4 Ring Oscillator의 기본구조

그림 4에 보인 회로에서 각 반전 증폭기의 부하 커패시터 C_L 로 인해 입력 신호와 출력 신호 사이에 위상차 (Phase difference) 가 발생하게 된다. 이 위상차는 신호 주파수에 따라 달라지는데, 루프를 한 바퀴 돌았을 때의 위상차가

180°가 되는 주파수에서 발진하게 된다. 또 발진이 이루어지려면 발진 주파수에서의 루프이득 (loop gain) 크기가 1 또는 그 이상의 값을 가져야만 한다. 위상차란 말은 아날로그 회로 해석에서 사용되는 용어인데 이는 디지털 회로에서의 게이트 지연시간에 비례하는 양이다. 게이트 지연시간과 주파수와의 관계를 식으로 유도해 보면, Ring Oscillator에서 한 개의 반전 증폭기의 지연시간을 t_D 라고 하고, 반전 증폭기의 개수를 N 이라고 하면, Ring Oscillator가 발진하려면 루프를 한바퀴 돌았을 때의 지연시간인 루프 지연시간 값 ($N \cdot t_D$) 이 발진 주기 (T) 의 절반 값과 같게 되어 다음 관계식이 성립한다 [12].

$$N \cdot t_D = \frac{T}{2} \quad (2-12)$$

발진 주파수 f_{osc} 는 발진 주기(T)의 역수와 같으므로 f_{osc} 는 다음 식으로 표시된다.

$$f_{osc} = \frac{1}{2Nt_D} \quad (2-13)$$

그리하여 반전 증폭기의 지연시간 t_D 를 어떤 제어 전압 값에 따라 변하게 하면 Ring Oscillator의 발진 주파수 f_{osc} 를 바꿀 수 있으므로, Ring Oscillator를 VCO로 사용할 수 있게 된다.

2-2-3 Current Starved VCO

그림 5에는 CMOS 반전기를 이용한 Ring Oscillator에 대한 전체 회로도 를 보였다. 입력 전압 V_{IN} 이 증가함에 따라 전류 거울에 의해 반전기를 통과하는 전류가 증가하게 되고 이로 인해 반전 증폭기의 소신호 출력저항이 감소하여 VCO의 발진 주파수 w_{osc} 값이 증가하게 된다. VCO 회로는 CMOS 반전기에 흐르는 전류량에 의해 VCO의 발진 주파수가 결정되고 특히 발진 주파수 w_{osc} 값을 감소시키기 위해서는 CMOS 반전기에 흐르는 전류량을 감소시키므로, 이 회로를 Current starved VCO 라고 부른다.

이 회로에서는 VDD와 VSS 쪽 전류원으로 간단한 전류 거울 회로를 사용하였다. VDD와 VSS 노이즈가 Ring Oscillator에 유기되는 것을 막기 위해서는 전류 거울의 Swing을 최대로 하기 위해 캐스코드 전류원 회로를 wide swing 캐스코드 구조로 하는 것이 좋다 [5].

저항 R에 흐르는 전류는 $(V_e - V_{GS})/R$ 로 주어지는데 V_{GS} 는 V_{IN} 값에 거의 무관하게 일정한 값을 가지므로, 저항 R에 흐르는 전류는 VCO 입력 전압 V_{IN} 에 대해 대체로 선형적으로 변하게 된다. 이 전류는 각각 NMOS 와 PMOS 전류거울 회로를 통하여 CMOS 반전기에 공급된다.

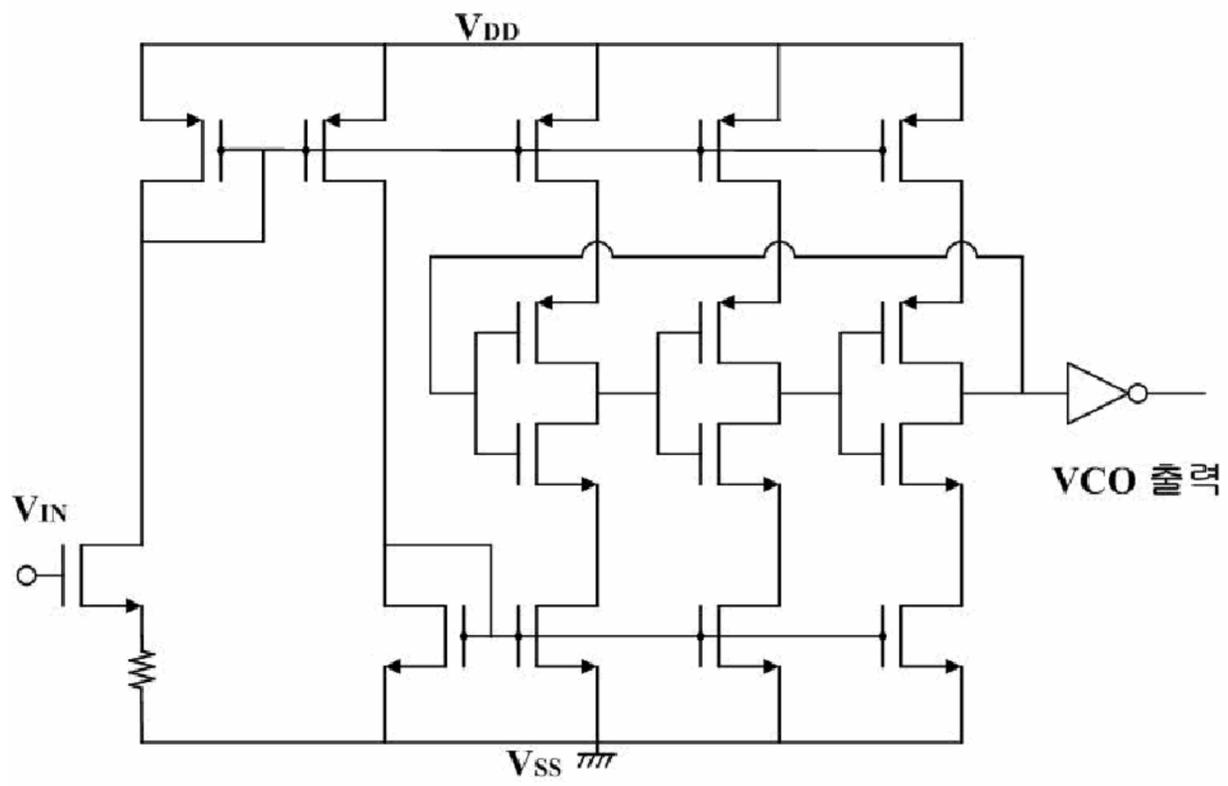


그림 5 Current Starved VCO

2-2-4 완전 차동 VCO

일반적으로 VCO의 잡음은 주로 공급전압 (V_{DD} , V_{SS}) 선으로부터 유입된다. 이러한 공급 전압선으로부터 유기되는 잡음을 감소시키기 위해, 완전 차동 방식을 사용하여 공급전압선으로부터 유기되는 공통모드 잡음의 영향을 제거한다. 단일 출력 반전 증폭기를 이용한 Ring Oscillator에서는 홀수 개의 증폭기를 필요로 하는데 비해, 완전 차동 방식에서는 보통 90° 의 위상차 신호를 얻기 위해 짝수 개의 증폭기를 이용하고 제일 마지막 단 증폭기의 두 개의 출력 단자를 제일 왼쪽에 있는 초단 증폭기의 입력에 연결할 때 서로 어긋나게 연결함으로써 홀수 개 증폭단과 같은 효과를 얻는다. 그림 6과 7에는 CMOS 반전기 대신 차동 증폭기를 이용한 Ring Oscillator에 대한 개념도 및 관련된 파형을 보였다. 완전 차동 VCO에서는 증폭단 개수가 짝수 개이므로 네 개의 차동 출력전압 V_{01} , V_{02} , V_{03} , V_{04} 와 차동 반전기를 거친 반전 출력전압 $-V_{01}$, $-V_{02}$, $-V_{03}$, $-V_{04}$ 를 이용하면 상승 지점이 $2\pi/(2N)$ radian 씩 서로 균일하게 떨어진 $2N$ 개의 신호를 얻을 수 있어서 PLL 응용회로에서 유용하게 사용할 수 있다. 완전 차동 방식에서 이 N 은 증폭단의 개수로 짝수인데 완전차동이 아닌 단일 출력 증폭기를 사용한 Ring Oscillator에서는 N 이 홀수이므로 정확한 90° 위상차를 갖는 신호를 얻기 어렵다.

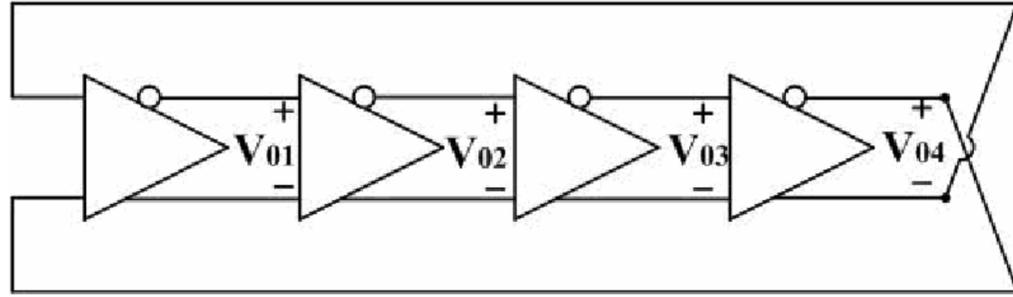


그림 6 완전 차동 VCO의 개념도

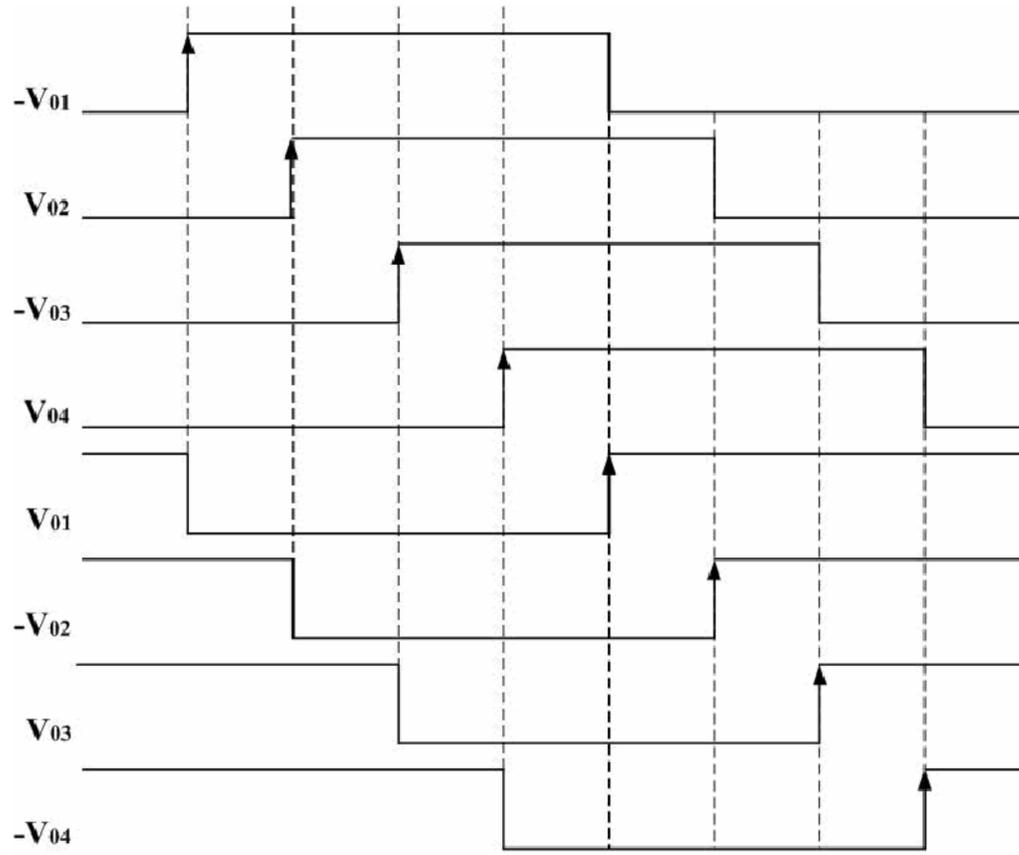


그림 7 완전 차동 VCO

2-3 Negative Skewed Delay를 이용한 Ring Oscillator

2-3-1 Negative Skewed Delay

그림 8에 Negative Skewed Delay Cell에 대한 개념도를 보였다. 기본적인 CMOS 반전기에 Negative Skewed Delay Cell을 CMOS 반전기의 두 입력 중 하나에 연결되도록 삽입한 그림이다. 이 경우에 PMOS의 입력이 Negative Skewed Delay Cell에 연결되어 PMOS로 들어가는 입력 신호가 NMOS로 들어가는 입력 신호보다도 먼저 입력 되게 된다. 일반적인 Delay Cell들은 입력 신호가 이전 단으로부터 동시에 입력되도록 구성 되어있다. 그림 9에 두 경우에 대한 PMOS와 NMOS에 공급되는 입력을 비교해 보였다. Negative Skewed Delay Cell을 갖는 반전기에서 출력 신호의 상승구간과 하강구간의 동작특성은 일반적인 반전기 동작과는 달리 Low에서 High로 출력의 천이가 일어날 때 CMOS 반전기의 PMOS를 먼저 동작시켜서 NMOS보다 느린 PMOS의 동작을 보상하게 된다. 반대로 High에서 Low로의 출력천이가 일어날 때 PMOS는 NMOS보다 먼저 동작을 정지시켜서 천이의 속도를 높이게 된다. Negative Skewed Delay Cell을 이용한 Oscillator의 구성은 기본적인 Ring Oscillator 보다 훨씬 더 높은 발진 주파수를 얻으며 또한 반전기 자체의 지연을 훨씬 줄이게 된다 [13].

Negative Skewed Delay Cell을 사용하는데 있어서 두 트랜지스터가 동시에 동작되는 time overlap 으로 인해 전력 소모가 커지게 되지만, Negative Skew Delay를 증가시키면, 동작 속도가 증가하게 된다. 그러나 Delay가 지나치면 전류가 전원으로부터 그라운드로 직접 흐르게 되어 오히려 속도가 줄게 된다. 고속 동작을 위해 Negative Skewed Delay는 신호의 전체주기와 비교해서 작아야 하고 전력 소모는 적절하게 유지하면 된다.

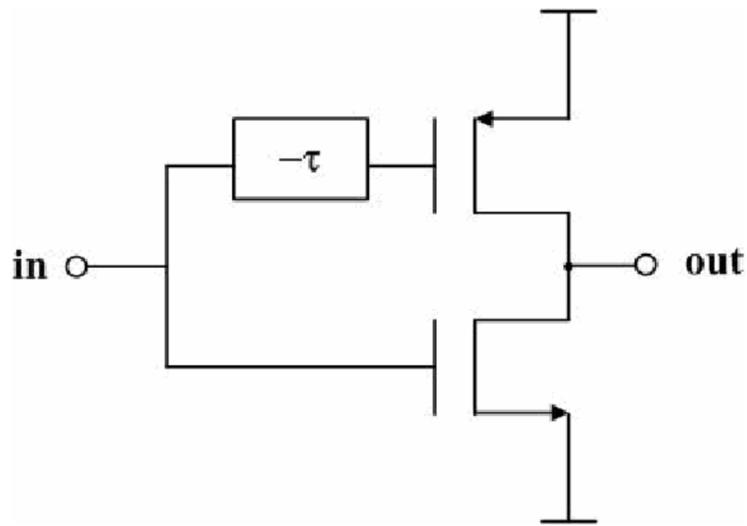


그림 8 Negative Skewed Delay Cell

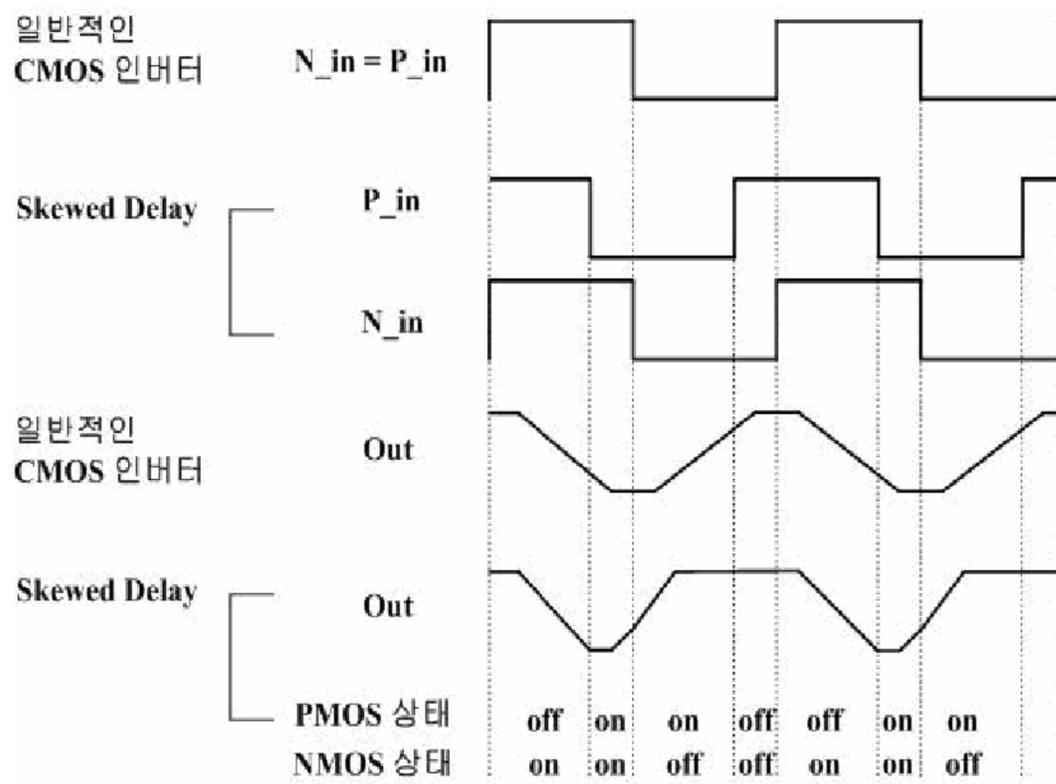


그림 9 같은 입력 주파수에 일반적인 CMOS 반전기와 Skewed Delay Cell과의 출력 응답 비교

2-3-2 Negative Skewed Ring Oscillator

그림 10에 Negative Skewed Delay Cell을 이용한 Ring Oscillator를 보였다 [14]. 이 회로는 Ring Oscillator를 기반으로 하여 전류 제어용 전류원과 함께 서로 다른 노드로부터 PMOS와 NMOS를 각각 구동하도록 한 7단의 Ring Oscillator이다. 입력 전류 I_{con} 을 조절함으로써 각 Delay Cell로 흐르는 전류가 변하게 되어, VCO의 전체 Delay가 변하게 된다.

Negative Skewed Delay Cell을 이용한 7단의 Ring Oscillator는 PMOS의 입력이 NMOS의 입력보다 한 위상 빠르게 설계되어졌다. 여기서 한 위상이 빠르다는 것은 NMOS의 입력이 1 번째 노드로부터 입력신호를 받는 반면 PMOS의 입력은 (I-2)의 노드로부터 입력신호를 받아 구동된다는 것을 의미한다. 만약 Skewed Delay가 한 위상보다 더 길다면 전류의 대부분이 전압원으로부터 그라운드로 직접 흘러 버리게 되어 속도가 일반적인 Ring Oscillator 보다 더 느리게 될 것이다.

본 논문에서는 제안된 Switched Negative Skewed Ring Oscillator를 본 절의 회로와 비교하였다. 높은 주파수를 얻을 수 있도록 입력으로 Feedback 되는 경로는 3번째 반전기에서 이루어지도록 하였으며 측정의 비교를 용이하게 하기 위해 7단의 Ring Oscillator 로 동일한 크기의 트랜지스터, 동일한 공정 규칙을 적용하여 특성을 분석 하였다.

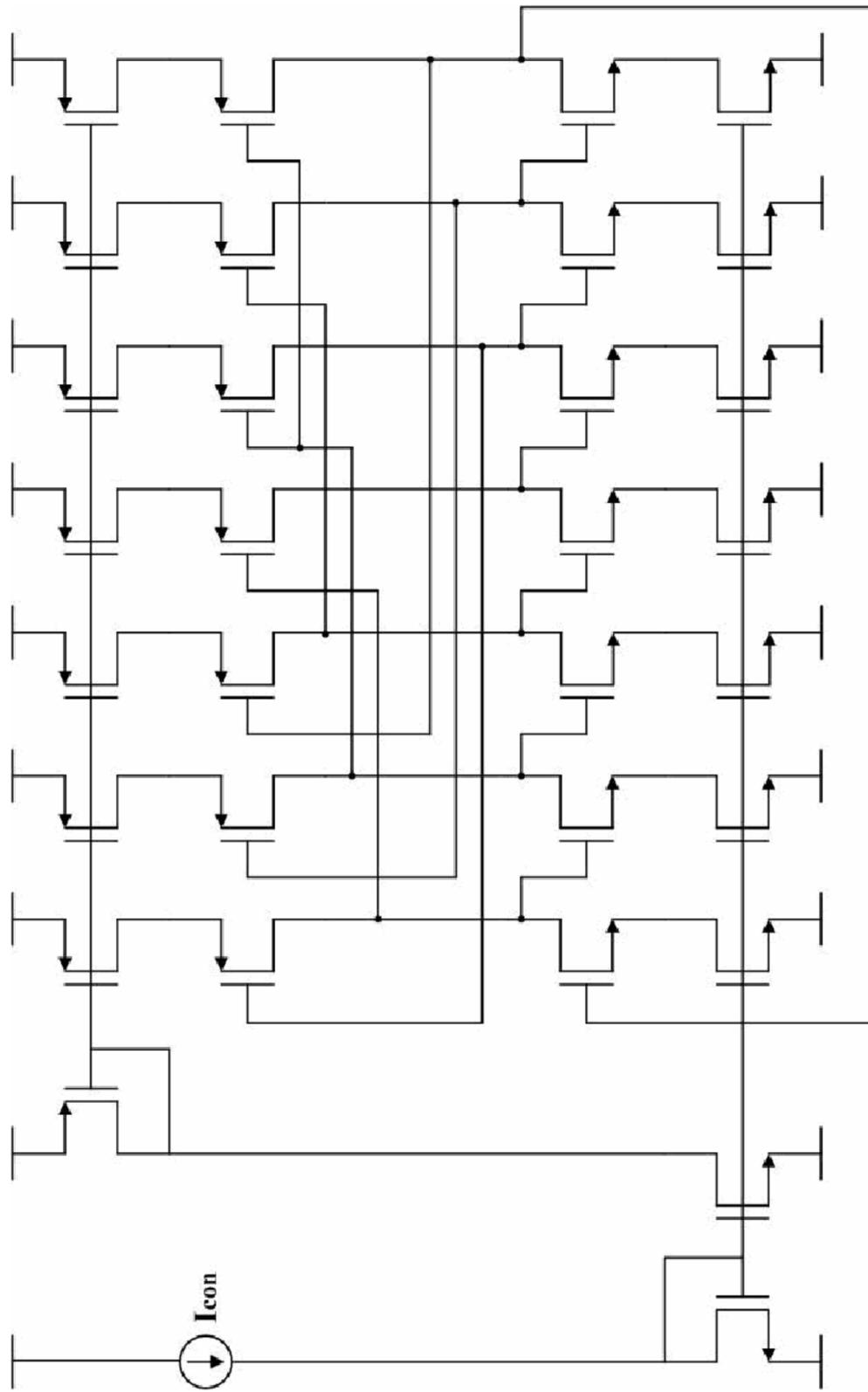


그림 10 Negative Skewed Ring Oscillator

3. 제안된 Switched Negative Skewed Ring Oscillator

3-1 MOS Switch

본 논문에서는 전류거울 (Current Mirror) 대신에 MOS Switch를 이용한 Negative Skewed Ring Oscillator를 제안한다. 제안된 회로에서는 MOS Switch의 특성과 Switch가 회로에 미치는 영향 등에 대한 이해가 중요한 관점이 되고 있다. 이에 Switch로 사용되는 MOS 소자의 특성을 간략히 언급하였다. 일반적으로 아날로그 회로에서 Switch는 multiplexing이나 modulation과 같은 많은 응용회로에서 유용하게 쓰이고 있다. 또한 디지털 회로에서는 신호전달 소자로써 이용되어지며, 논리회로에서 찾을 수 없는 융통성을 더해주기도 한다 [12].

3-1-1 Ideal Switch

그림 11과 12에 이상적인 전압제어 Switch와 실제적인 전압제어 Switch의 등가 모델을 보였다.

이상적인 Switch 동작은 on 상태에서 단락 회로, off 상태에서 개방 회로가 되지만 그림 12에서처럼 실제적인 Switch의 특성에서는 R_{on} 과 R_{off} 저항이 존재하게 된다. R_{on} 저항은 비록 작지만 Switch가 on 상태가 되더라도 단자 A, B 사이에 유한 저항이 있음을 나타낸다. R_{off} 저항은 비록 크지만 off 상태가 되더라도 단자 A, B 사이에서 무한대의 저항값을 갖지 않음을 나타낸다. Switch를 회로에 적용하기 위해 요구되는 특성은 R_{on} 저항은 가능한 작게 R_{off} 저항은 가능한 큰 값이 되도록 하는 것이다. 또한 Switch의 동작성능을 나타낼 때 중요하게 고려되는 기생파라미터로 C_{ac} 와 C_{bc} 가 있다. 이 기생 파라미터에 의해 선형성, 잡음, commutation time등 Switch의 성능을 저해하는 많은 비이상적인 특성이 나타나게 된다.

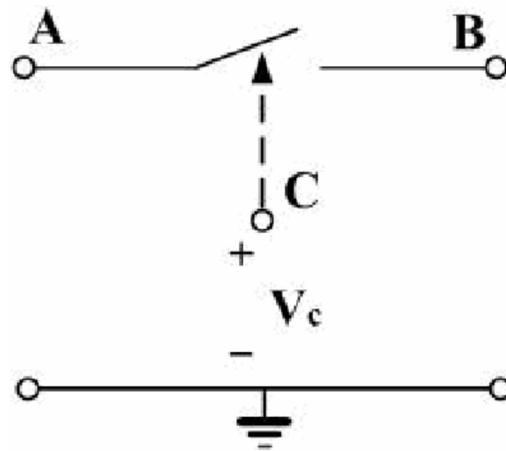


그림 11 Ideal Switch

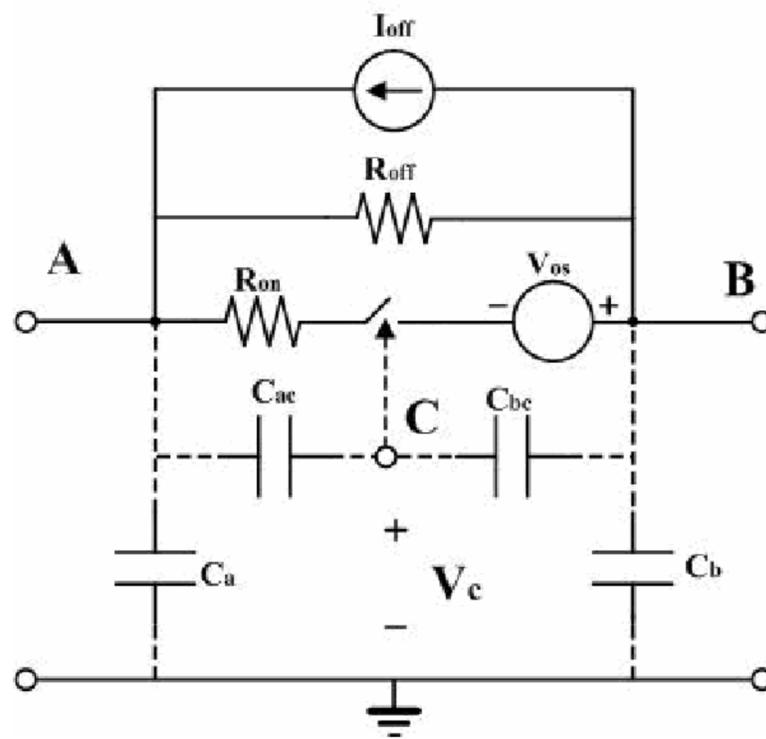


그림 12 Nonideal Switch

그림 13에는 이상적인 Switch의 전압 전류특성을 보였다. V_c 전압에 따라 Switch의 R_{on} 저항은 선형적인 값을 가지며 변하게 된다. 그러나 실제에 있어서는 R_{on} 저항은 비선형적인 특성을 갖게 되어 MOS Switch의 특성을 평가할 때 중요한 파라미터가 된다.

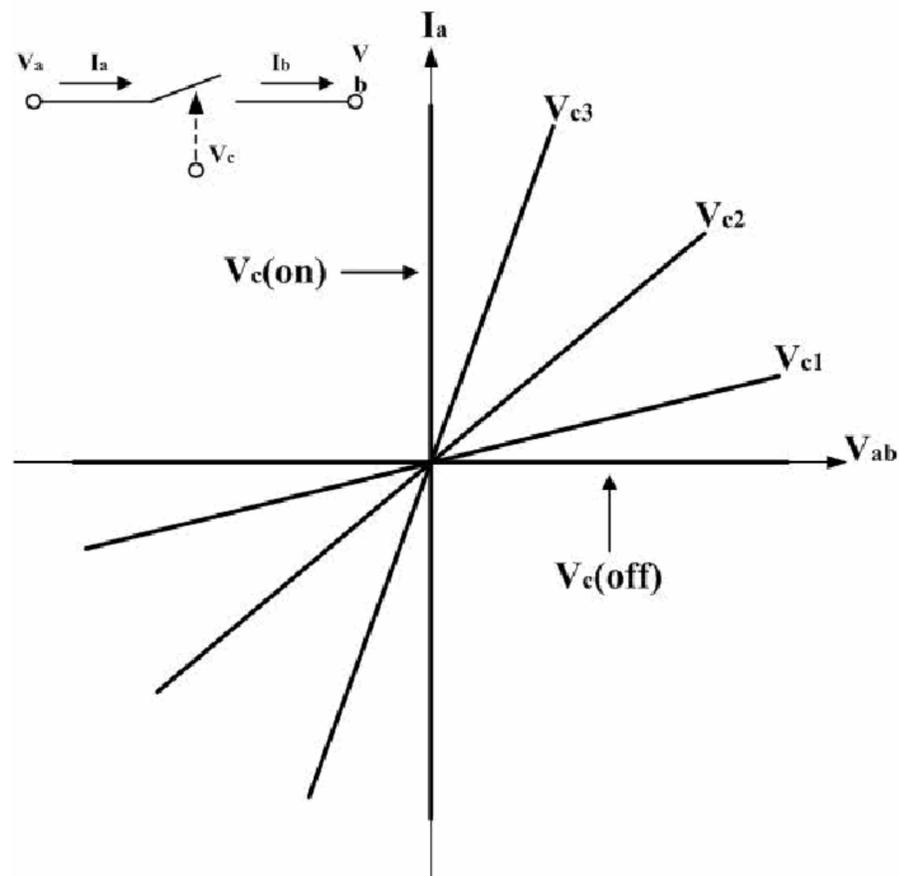


그림 13 Controlled Switch의 특성곡선

3-1-2 MOS Switch의 구조 및 특성

그림14 과 15에 MOS Switch 및 전류전압특성곡선을 보였다.

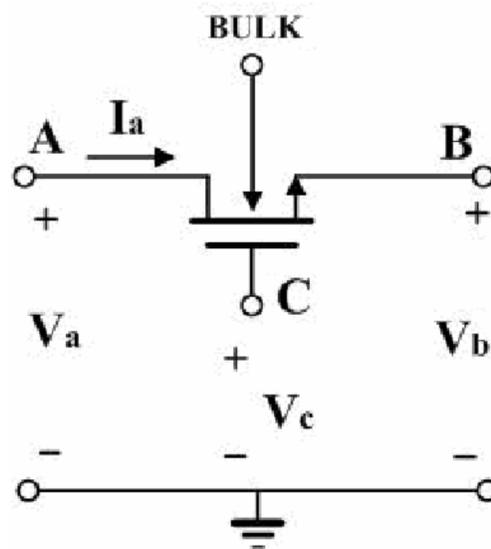


그림 14 MOS Switch

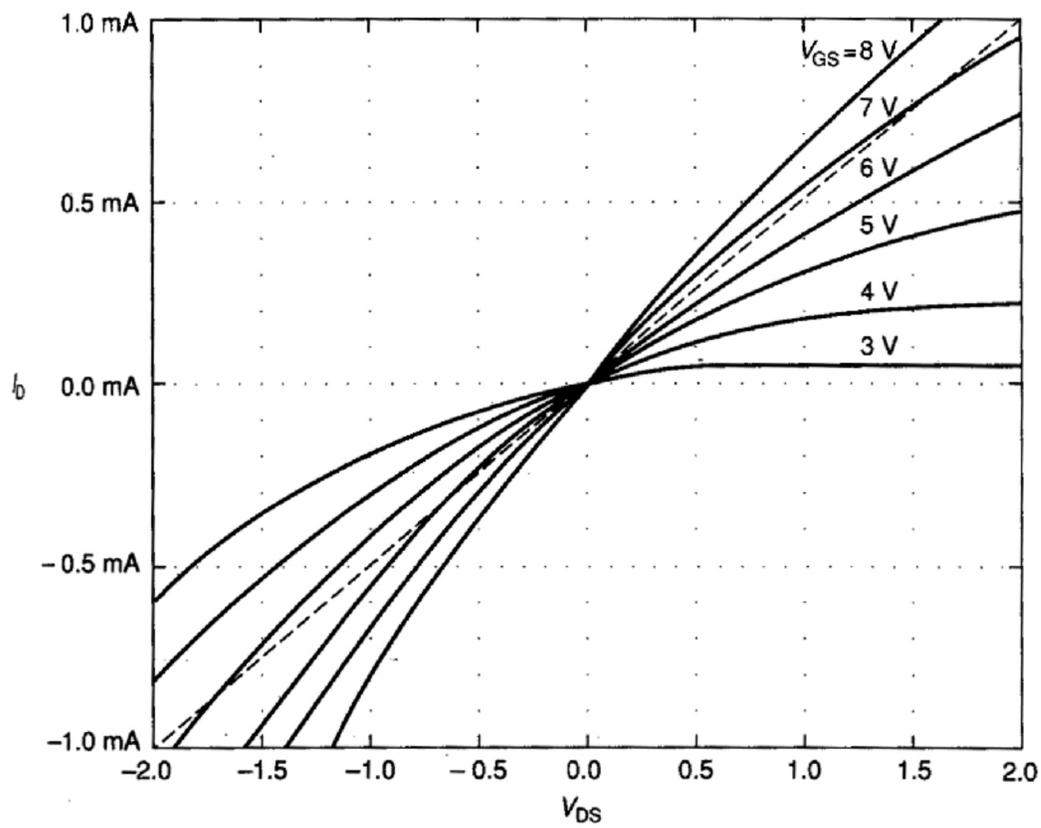


그림 15 $V_{bulk} = 0 V$ 에서의 전류전압특성곡선

Switch 특성을 평가할 때 중요하게 다루게 되는 R_{on} 저항에 대한 표현식은 다음처럼 찾을 수 있다.

Switch on 상태에서 Switch 단자 양단에 걸리는 전압은 작고, V_{GS} 는 크기 때문에 MOS Device는 Ohmic 영역에 있다고 가정하면,

드레인 전류는

$$I_D = \frac{K'W}{2L} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad (3-1)$$

여기서, V_{DS} 가 $V_{GS} - V_T$ 보다 작지만 0보다는 크다고 한다면, $V_{GS} > V_T$ 일 때 대신호의 채널저항은 V_{DS} 가 작은값을 가질 때 R_{on} 저항은

$$R_{on} = \frac{1}{\partial I_D / \partial V_{DS}} = \frac{1}{(K'W/L)(V_{GS} - V_T - V_{DS})} \quad (3-2)$$

이 된다.

이 식에서 보면 Switch 특성에서 요구되는 작은 R_{on} 저항을 얻기 위해서는 W/L 값이 커야함을 알 수 있다. 반면 Switch의 기생 커패시터를 고려하면 W/L 값이 작아야하는데 본 논문에서는 R_{on} 과 기생 커패시터간의 trade-off를 최대한 극복하기 위해 Switch에 병렬로 저항을 삽입하여 안정된 발진을 얻고자 하였다.

Switch off 상태에서 트랜지스터는 cutoff 영역에 있게 되어 R_{off} 저항은 이상적으로 무한대가 되며 보통 $10^{12} \Omega$ 을 갖는다. 그러나 이 큰 저항 때문에 드레인과 소스로부터 기판으로 흐르는 Leakage 전류가 더 중요한 파라미터가 된다. Leakage 전류는 Subthreshold 전류, Surface Leakage 전류, Package Leakage 전류 등의 합으로 전형적으로 10 pA의 값을 가지며 온도가 10°C 증가할 때 마다 두 배로 증가하게 된다.

3-1-3 MOS Switch가 갖는 일반적인 문제

Switch의 중요한 문제 중 하나는 제어 전압과 비교되는 Switch 단자에서의 전압범위이다. MOS 트랜지스터가 확실하게 on 상태에 있도록 하기 위해 드레인 또는 소스 전압보다 큰 게이트 전압이 인가되어야 한다는 점이다.

또 다른 문제점은 Switch가 off 상태에 있을 때의 Leakage 전류이다.

Leakage 전류는 Switch가 off 상태에 있더라도 부하 커패시턴스를 충전하여 연결된 시스템의 DC offset 전압을 높일 수 있다.

가장 큰 문제점은 Switch 제어 단자와 신호 단자 사이에 발생하는 클럭 피드 스로우 (Clock Feedthrough) 문제이다. 이 기생 현상의 원인은 그림 12에서 C_{ac} 와 C_{bc} 로 명명된 기생 커패시턴스 때문이다. 게이트의 클럭 신호가 매우 큰 large transition을 만들어야 하기 때문에 이 신호가 쉽게 C_{GD} 와 C_{GS} 를 통해 소스와 드레인에 쉽게 흘러들게 된다. 설명을 위해 그림 16에 Switch와 관련된 기생 커패시터의 등가 모델을 그림 17과 그림 18에 입력신호 및 ϕ_1 이 High일 때 일련의 발생과정을 보였다. Switch on 상태 동안에 V_{IN} 과 C_1 이 직접 연결되므로 어떤 Feedthrough의 영향도 생기질 않지만, $t_4 \sim t_5$ 구간에서 Switch는 off 상태가 되면서 Clock으로부터 C_1 으로 Feedthrough가 발생된다. 결국 C_1 양 단전압 V_{C1} 은 ΔV_{C1} 만큼 V_{IN} 전압이하로 감소된다. 그 양은 다음 식으로 주어진다.

$$\Delta V_{C1} = \left(\frac{C_{GS}}{C_1 + C_{GS}} \right) (V_{IN} + V_t) \quad (3-3)$$

이 Feedthrough는 신호 레벨에 따라 변하는 비이상적인 offset 전압을 만들게 된다. 일반적으로 Feedthrough는 Switch의 구조나 크기 등 회로 내 커패시터의 크기에 영향을 받는다.

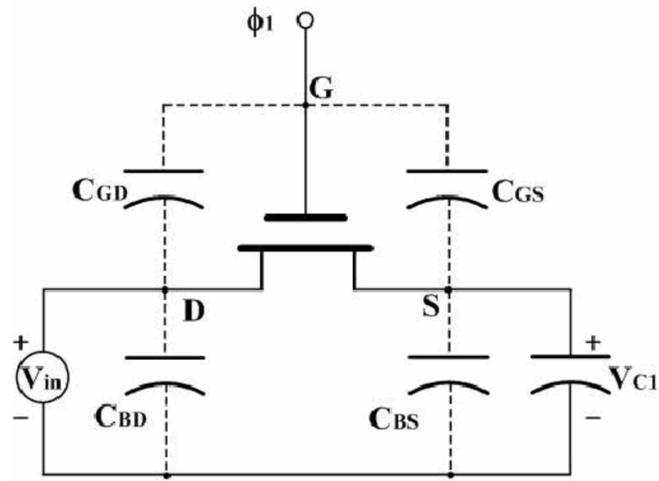


그림 16 Switch와 관련된 기생
커패시터

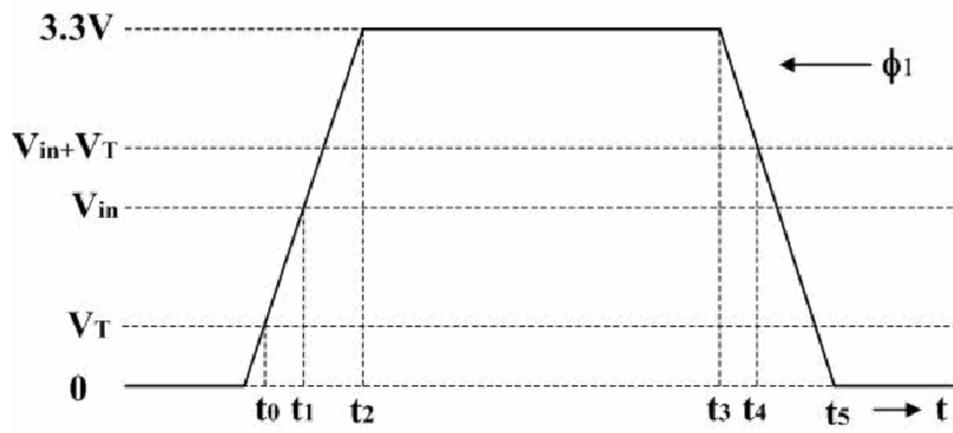


그림 17 입력 파형과 Feedthrough

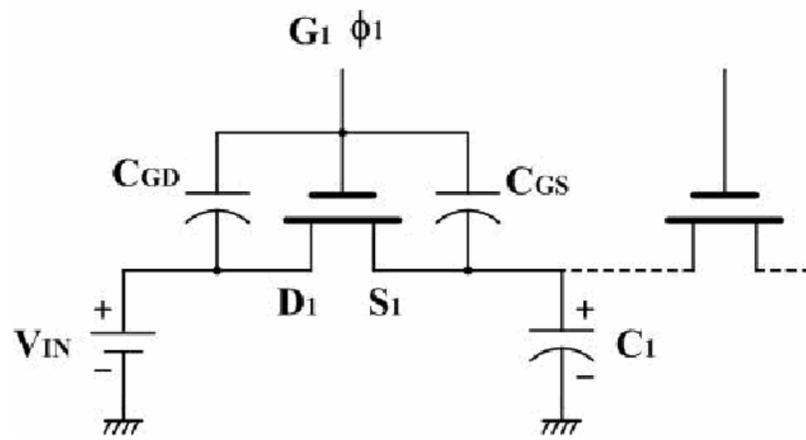


그림 18 Switch의 Feedthrough

3-2 Design

본 논문에서 제안하는 Switched Negative Skewed Ring Oscillator를 그림 19에 보였다. 제안된 Switched Negative Skewed Ring Oscillator의 성능 평가를 위해 2-3절에서 설명한 Negative Skewed Ring Oscillator 회로와 성능을 비교 검토하였다. 성능의 비교를 용이하게 하기 위해 7단의 Ring Oscillator로 구성하여 동일한 크기($L=0.45 \mu m$ $W=2 \mu m$)의 트랜지스터에 동일한 공정 규칙 ($3.3 V$ $0.35 \mu m$ 표준 CMOS 공정)을 적용하여 특성을 분석하였다. 분석도구로는 HSPICE를 사용하였으며 VCO 파형, 주파수 대 전압의 선형성, 공정 변화에 대한 중심주파수의 변화 등에 대해 Simulation하였다.

본 논문에서 제안하는 Switched Negative Skewed Ring Oscillator는 기존의 방식에서 반전기에 전류를 공급하기 위한 바이어스 회로와 바이어스 회로의 전류제어를 위한 전류거울을 사용하는 대신 PMOS와 NMOS의 속도차를 줄이기 위해 삽입한 Negative Skewed Delay를 직접 제어하여 전류 공급과 제어를 위해 필요로 했던 회로를 대신함으로써 사용되는 게이트 수를 크게 줄이고 VCO에 요구되는 주파수 대 전압의 선형성, Phase Noise, 전력 소모 등의 특성에서 기존회로와 유사한 성능의 VCO를 얻고자 시도한 회로이다.

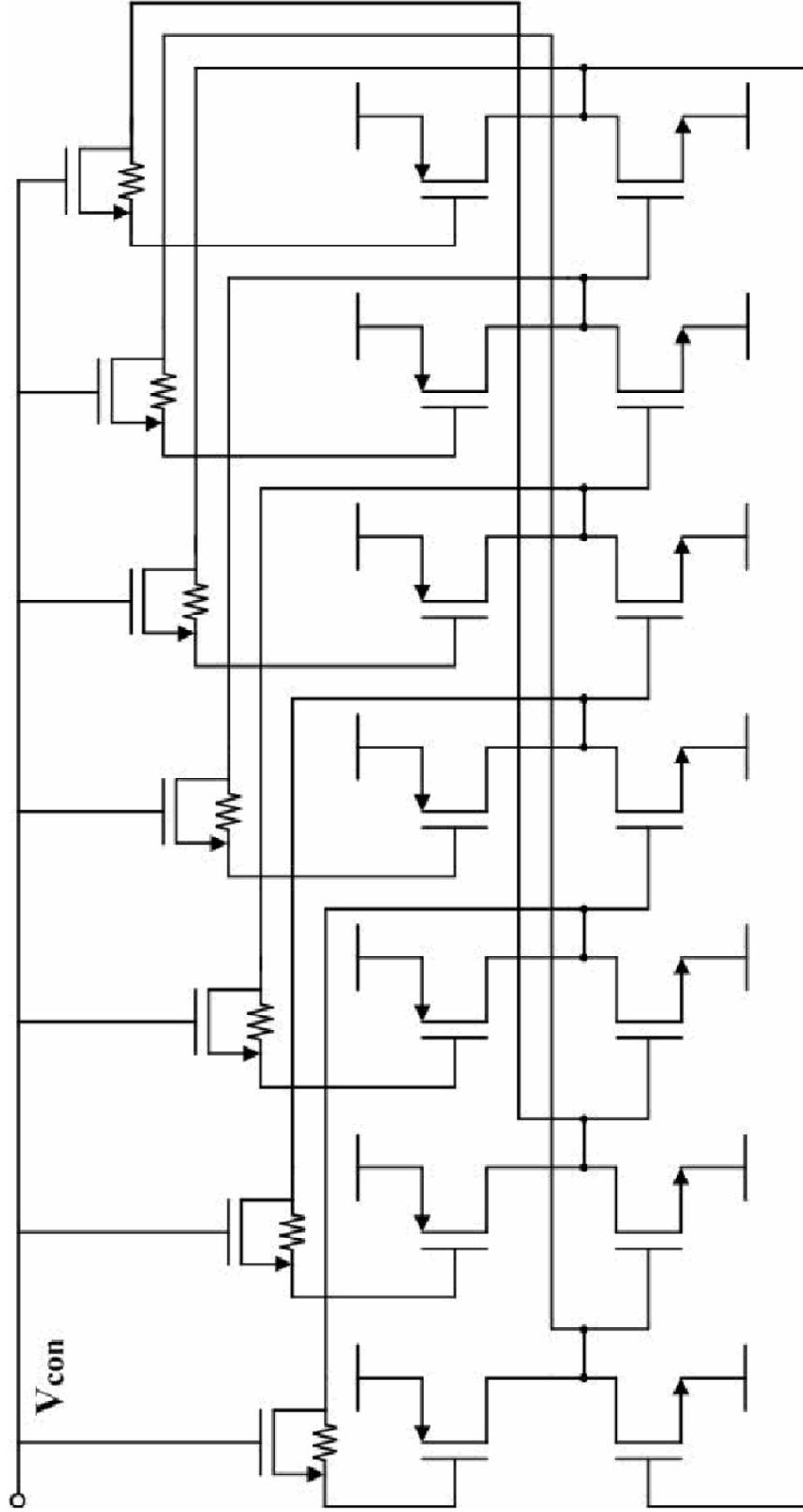


그림 19 제한된 Switched Negative Skewed Ring Oscillator

본 논문에서 제안한 회로의 설계에 앞서 Oscillator를 구성하는 반전기의 크기를 결정하는 다양한 Simulation을 하였다. 이를 위해 3.3 V, 0.35 μm 표준 CMOS 공정에 대해 기본적인 Negative Skewed Ring Oscillator를 Simulation 하였다.

먼저, VCO 파형에 대한 Simulation을 통해 발진 파형의 대칭성이 잘 유지되면서 높은 주파수를 얻을 수 있도록 반전기의 크기를 결정하였다. 아울러 온도와 공정의 변화에 대한 중심주파수의 변화를 Temperature 해석과 Monte Carlo 해석을 통해 온도와 공정의 변화에 안정적인 크기를 선택하였다.

이에 대한 Simulation 결과를 그림 20과 21에 보였다. 그림에 보인 Simulation은 채널의 길이 ($L=0.45 \mu m$)가 7% 공정변화를 가질 때 Oscillator의 중심주파수 변화를 보인 것으로 중심주파수가 1.8 GHz로부터 약 ± 150 MHz 정도 변함을 볼 수 있다.

또한 반전기의 크기를 결정하는데 있어서 고려한 점은 보통 CMOS 반전기의 PMOS는 채널을 통해 흐르는 전자와 정공의 속도로 인해 NMOS 보다 3배 정도 느려서 PMOS 동작의 영향을 받는 발진파형이 상승과 하강구간에서 파형의 일그러짐이 커지게 된다. 이 속도차이로 인한 파형의 일그러짐을 최소로 하기 위해 PMOS의 크기는 NMOS보다 보통 3배의 크기를 가져야 한다. 그러나 본 논문에서 제안된 회로에서는 Negative Skewed Delay 방식을 이용하여 PMOS의 느린 속도를 보상해주고 있기 때문에 약 1.5배 정도의 크기에서 안정된 발진 파형을 얻을 수 있었다.

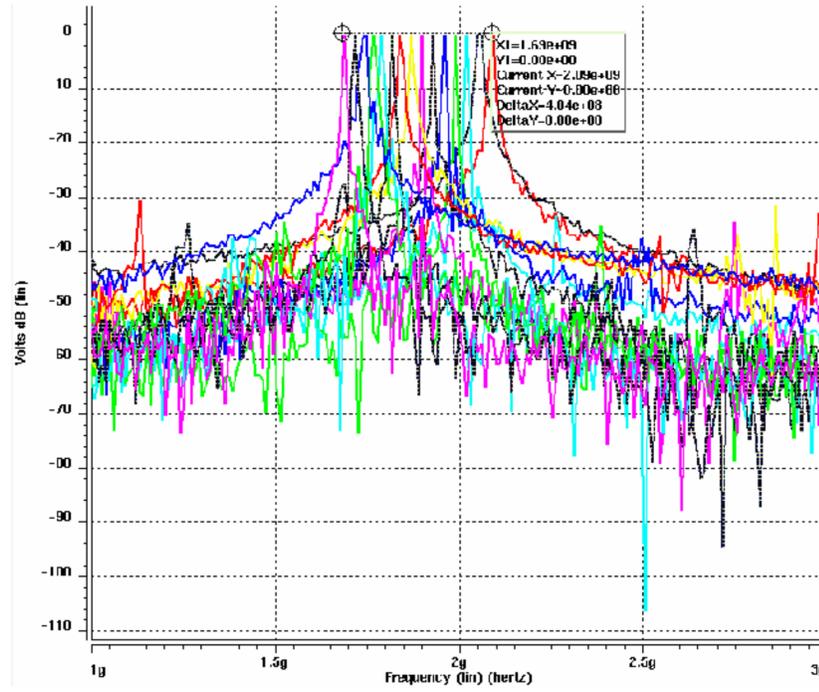


그림 20 $L=0.45 \mu m$, NMOS $W=3 \mu m$ PMOS $W=5 \mu m$ 에 대한 L 의 7% 공정변화에 대한 FFT

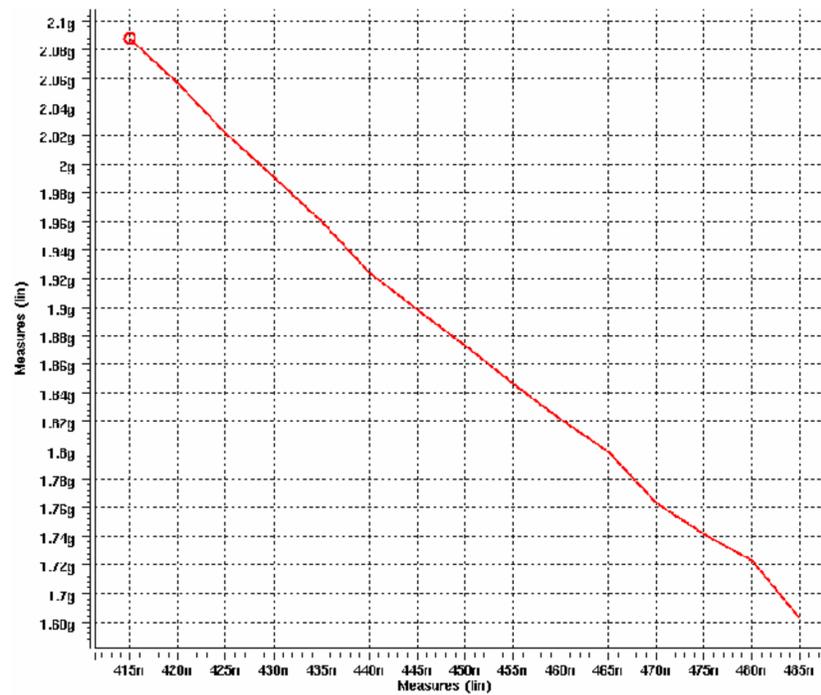


그림 21 $L=0.45 \mu m$, NMOS $W=3 \mu m$ PMOS $W=5 \mu m$ 에 대한 L 의 7% 공정변화에 대한 중심주파수의 변화

4. Simulation 결과 및 배치도

4-1 MOS 만 있을 경우의 Switched Negative Skewed Ring Oscillator

Negative Skewed Delay는 PMOS와 NMOS의 입력 경로를 달리하도록 구성되는데 최대한 고속 동작을 할 수 있도록 입력으로의 Feedback 경로를 3번째 반전기의 출력에서 이루어지도록 하였으며, 이 입력 경로를 직접 제어하기 위해 MOS Switch를 도입하였다. 앞 절에서 MOS Switch를 사용하는 데 있어서 작은 R_{on} 저항을 구현하기 위해 W/L을 크게 하는 반면 기생 커패시터의 영향을 줄이기 위해 W/L을 작게 하여야 함을 앞 절에서 지적한 바 있다.

제안된 회로에서 MOS Switch의 크기는 기생 커패시터의 영향을 최대한 줄이도록 공정 규칙이 허용하는 범위 내에서 최대한 작게(L=0.35u W=2u) 가져가도록 설계하였다.

그림 22에서 그림 27까지는 MOS Switch만 있을 경우의 파형과 주파수 대 전압 곡선을 보였다. MOS Switch만을 사용하였을 경우 MOS Switch의 게이트에 인가되는 제어 전압에 따라 VCO의 파형의 진폭 변화가 심하고 발진의 중심축이 변함을 관찰할 수 있다. 또한 주파수 대 전압 곡선에서는 MOS Switch의 게이트에 인가되는 제어 전압의 전 범위(0 V~3.3 V)에서 발진을 하고 있지만 선형성을 크게 잃고 있음을 확인 할 수 있다. 제시된 MOS Switch의 크기를 달리하여 Simulation 하면 적절한 선형성과 넓은 주파수 가변 범위를 얻을 수는 있으나 VCO 발진 파형의 진폭이 일정치 않아 MOS 만으로는 만족한 성능을 얻을 수 없었다.

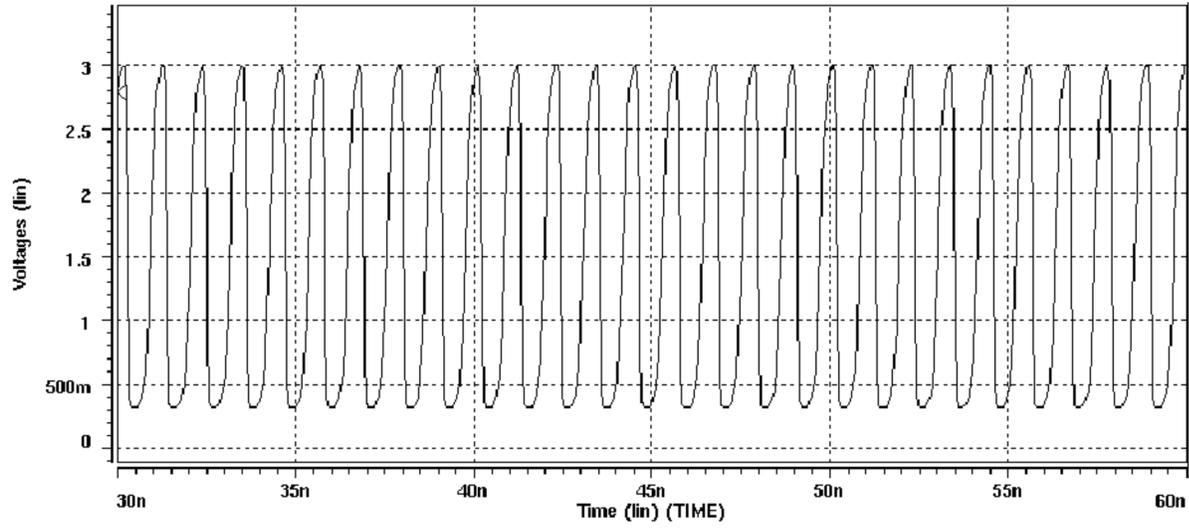


그림 22 $V_{con}=0$ V에서 Skewed 경로에 MOS Switch($L=0.35 \mu m$ $W=2 \mu m$)만 삽입했을 때의 VCO 파형.

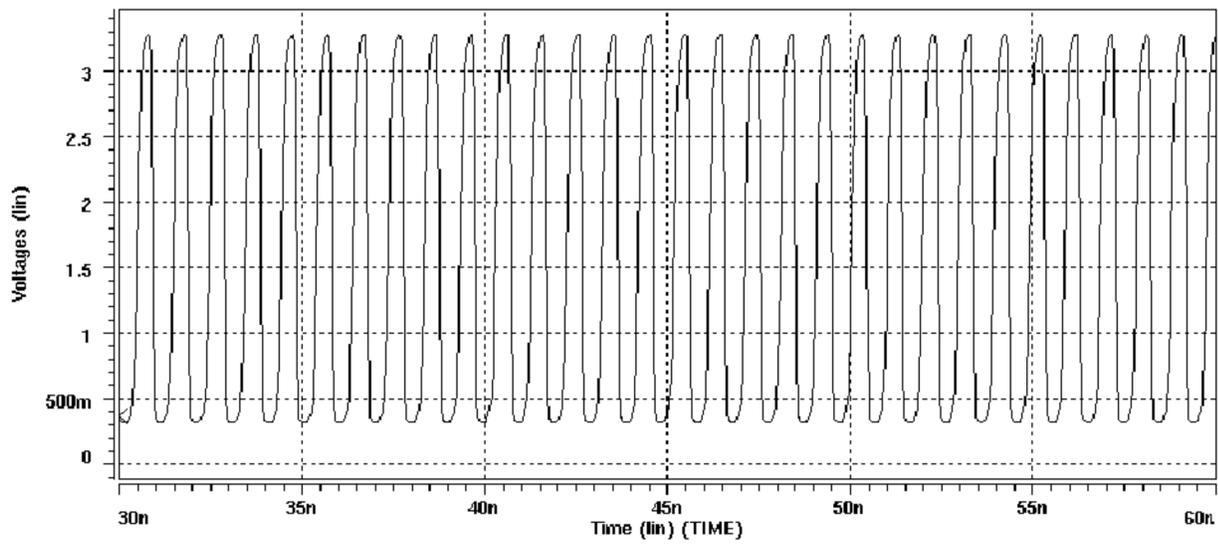


그림 23 $V_{con}=0.8$ V에서 Skewed 경로에 MOS Switch($L=0.35 \mu m$ $W=2 \mu m$)만 삽입했을 때의 VCO 파형.

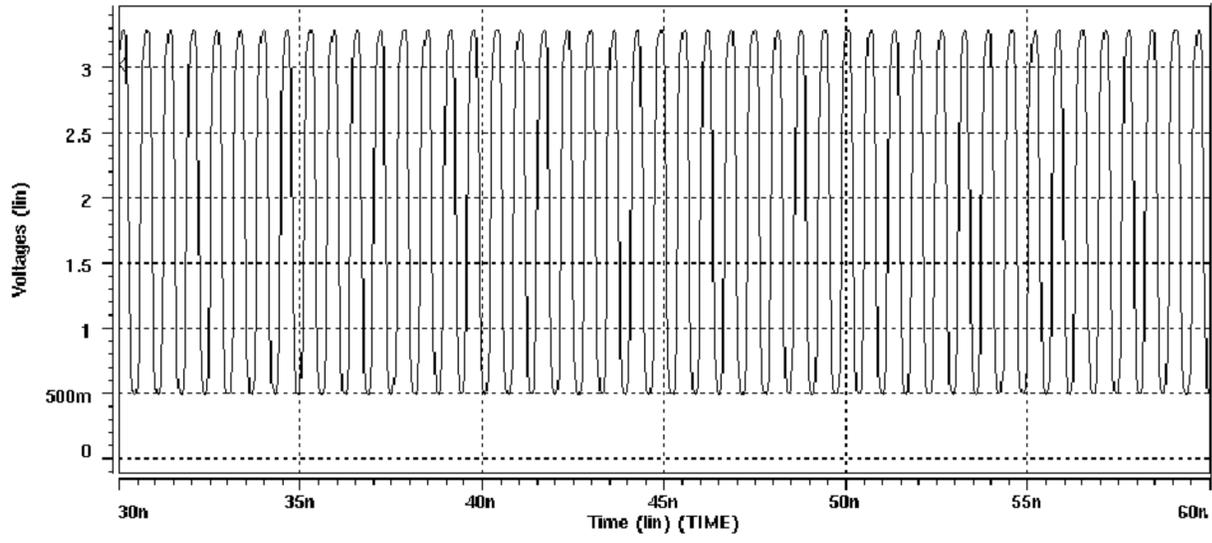


그림 24 $V_{con}=1.6$ V에서 Skewed 경로에 MOS Switch($L=0.35 \mu m$ $W=2 \mu m$)만 삽입했을 때의 VCO 파형.

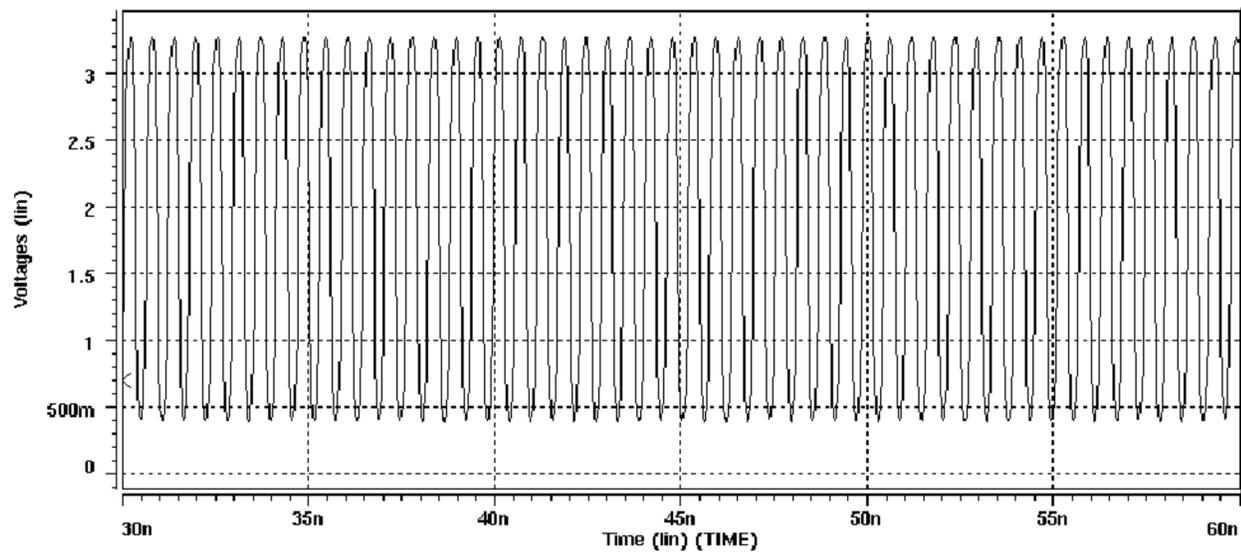


그림 25 $V_{con}=2.4$ V에서 Skewed 경로에 MOS Switch($L=0.35 \mu m$ $W=2 \mu m$)만 삽입했을 때의 VCO 파형.

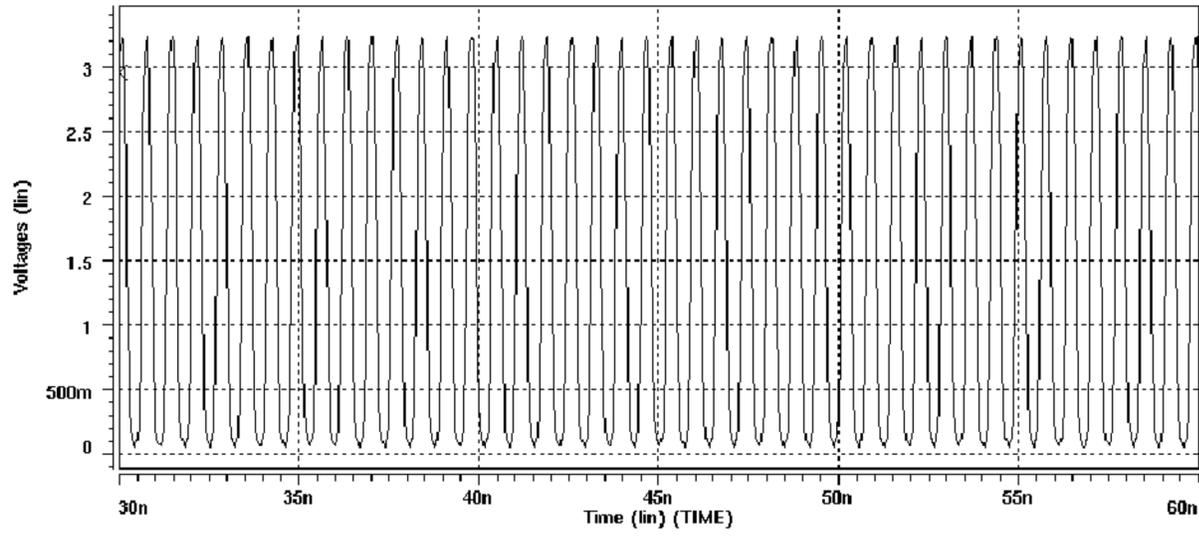


그림 26 $V_{con}=3.2$ V에서 Skewed 경로에 MOS Switch($L=0.35 \mu m$ $W=2 \mu m$)만 삽입했을 때의 VCO 파형.

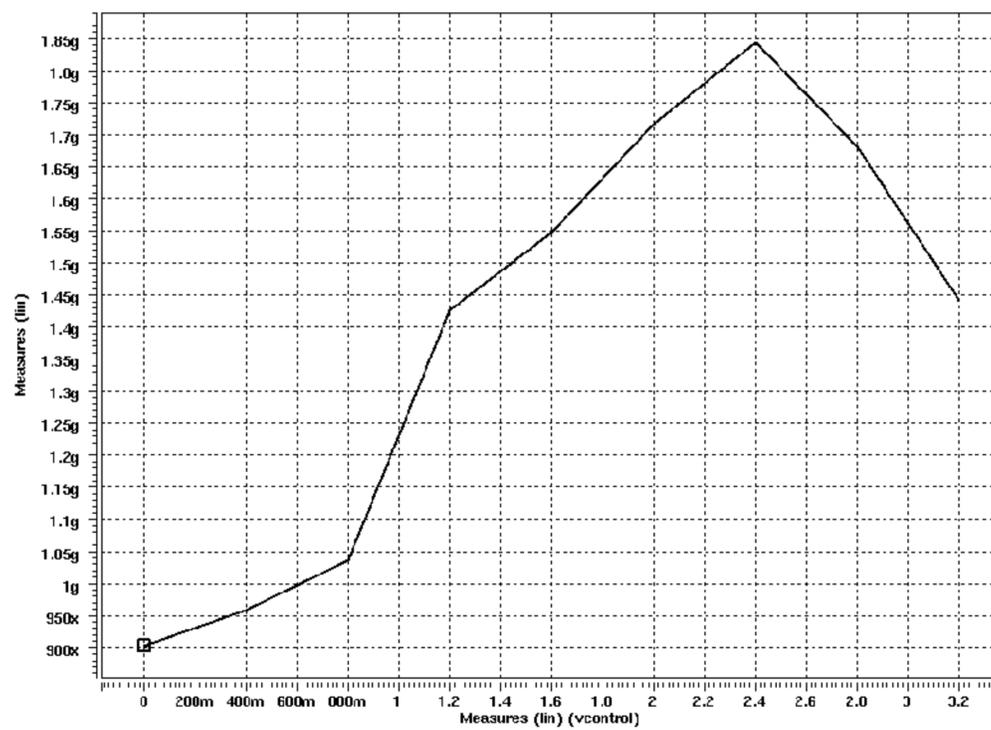


그림 27 Skewed 경로에 MOS Switch($L=0.35 \mu m$ $W=2 \mu m$)만 삽입했을 때의 주파수 대 전압 곡선.

4-2 Resistor를 삽입한 Switched Negative Skewed Ring Oscillator

본 논문에서 제안한 VCO는 MOS Switch만으로는 좋은 특성을 얻지 못하였다. 이러한 결과는 MOS Switch의 기생 커패시터의 영향으로 인한 Feedthrough의 문제를 해결하기 위해 Switch의 크기를 작게 하였지만 그로인해 커진 R_{on} 저항의 문제로 보인다. 또한 채널 저항의 비선형성 때문에 제안된 회로가 갖는 주파수 범위에서 낮은 주파수 부분과 높은 주파수 부분 그리고 전체 선형성 부분에서 적지 않은 일그러짐이 발생한다고 보았다. 이에 따라 커진 R_{on} 의 저항의 값을 줄이고 R_{on} 저항의 비선형성으로 인한 파형의 일그러짐과 그로인한 주파수의 선형성에 미치는 영향을 줄이기 위해 MOS Switch에 병렬로 저항 R을 삽입하였다. 이에 따라 MOS Switch의 크기와 저항과의 관계를 Simulation하여 최적의 회로를 이끌어 내고자 하였다. Simulation을 통해 R값의 크기는 $6\text{ k}\Omega \pm 1\text{ k}\Omega$ 의 범위에서 안정된 특성을 보였다.

그림 28에는 제안된 회로내의 MOS Switch의 신호전달 특성과 선형성을 조사하기 위한 테스트 회로를 보였다. 그림에서 C_{load} 는 Negative Skewed Cell을 거쳐 Feedback되는 신호의 입력단 등가 부하를 의미하는 것이며 반전기는 Ring Oscillator 구조에서의 임의의 반전단의 출력을 표현한 것이다. 여기에 그림 29에 보인 구형파를 입력 하였다. 병렬 삽입된 저항을 갖는 MOS Switch가 선형성을 잘 유지한다면 MOS Switch를 거쳐 입력단 부하 C_{load} 에 충전될 때 충전 곡선에 일그러짐이 나타나지 않을 것이다. 이는 곧 MOS Switch를 제어하고자 하는 전압범위 내에서 MOS 트랜지스터가 갖는 고유한 전류전압특성에 영향을 적게 받음을 의미한다. 이에 대한 Simulation 결과를 그림 28과 29에 보였다. 그림 30과 31은 병렬저항을 삽입하지 않았을 때와 저항 $6\text{ k}\Omega$ 을 삽입했을 때의 C_{load} 로의 충전전을 보이고 있다. 여기서 보면 저항 $6\text{ k}\Omega$ 을 달았을 때 C_{load} 로의 충전시간이 길어지기는 하지만 안정된 전달특성을 보이고 있다.

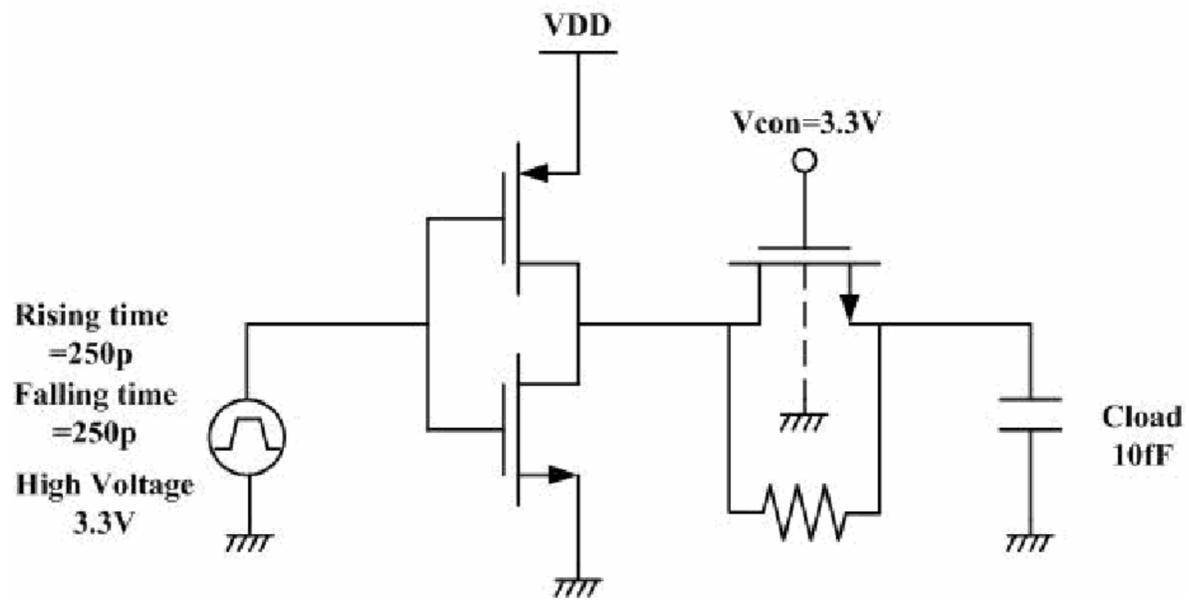


그림 28 MOS Switch의 전달특성 Simulation



그림 29 테스트 입력 파형

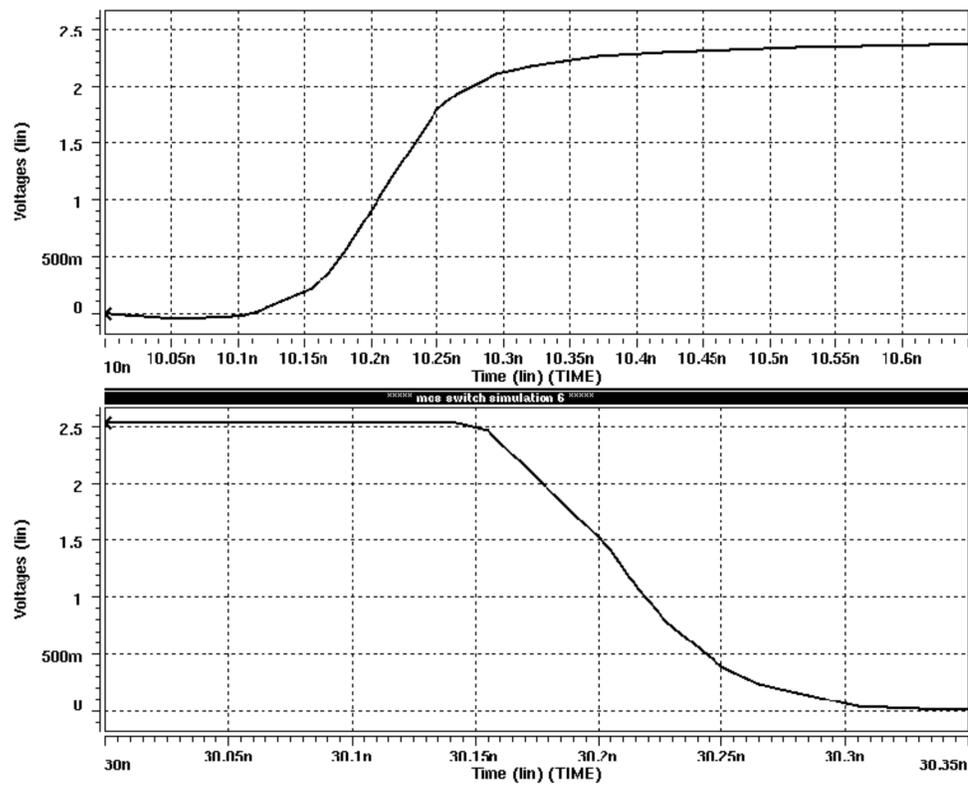


그림 30 저항 삽입이 없을 때의 C_{load} 로의 충방전 곡선

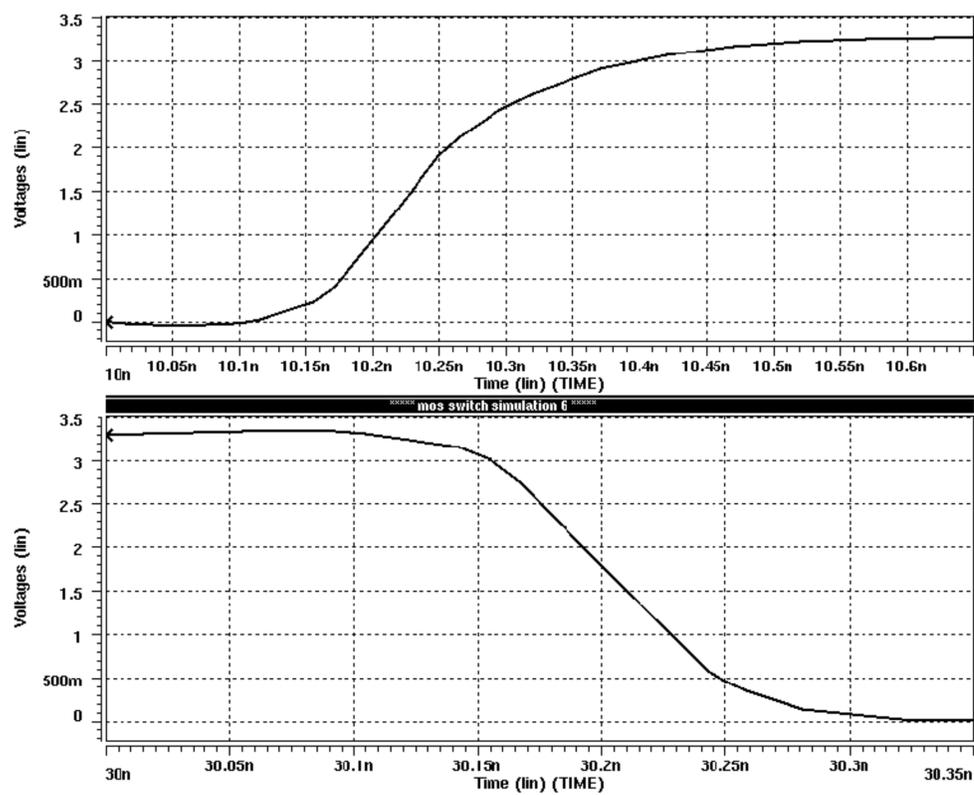


그림 31 $R=6\text{ k}\Omega$ 삽입 때의 C_{load} 로의 충방전 곡선

MOS Switch의 크기와 저항값의 결정은 Phase Noise를 기준으로 한 것이다. VCO의 특성 중 주파수 대 전압곡선을 기준으로 하여 MOS Switch의 크기와 저항값을 결정할 수는 있지만 VCO를 사용하는 PLL과 같은 시스템에서 VCO가 갖는 잡음으로 인한 문제성이 크므로 본 논문에서 제안하는 회로는 Phase Noise에 무게를 두었다.

이에 따라 본 논문에서는 주어진 MOS Switch의 크기에 대해 저항값을 변화시켜가며 FFT를 조사하였고 이를 통해 $R=6\text{ k}\Omega$ 에서 적절한 동작을 보이고 있음을 확인하였다.

그림 32에서 그림 33까지는 MOS Switch의 크기 ($L=0.35\text{ }\mu\text{m}$ $W=2\text{ }\mu\text{m}$)에 대해 저항을 변화시켜가며 주파수 대 전압특성을 Simulation한 결과를 보였으며 표 1에는 각 저항에 따른 Phase Noise Simulation 결과를 수치로 보인 것으로 중심주파수로부터 10 MHz와 100 MHz 떨어진 지점에서의 dB 값을 보였다. 주파수 대 전압 특성을 기준으로 보면 저항을 크게 할수록 가변 주파수 범위는 약 530 MHz까지 커질 수 있지만 Phase Noise의 특성을 보면 좋은 결과를 보이지 않는다. 또한 저항이 커짐으로 해서 Layout 상에서의 배치문제 또한 고려하지 않을 수 없다. 이러한 이유로 해서 저항을 크기를 결정하는 데 있어서 Phase Noise를 기준으로 하였다.

또한 이 그림으로부터 삽입 저항 R 이 공정오차에 따라 저항값의 변화에 대한 결과를 예측할 수 있다. 저항은 Sheet 저항을 단위로 계산되고 또한 HSPICE에서 저항의 공정변화를 Simulation하기가 좋지 않아 공정변화에 대해 저항이 $\pm 1\text{ k}\Omega$ 범위 내로 변했다는 전제하에 보면 공정 변화에 따른 저항값의 변화에도 안정된 주파수 대 전압 곡선을 유지하고 있어서 저항의 허용범위가 큼을 알 수 있다.

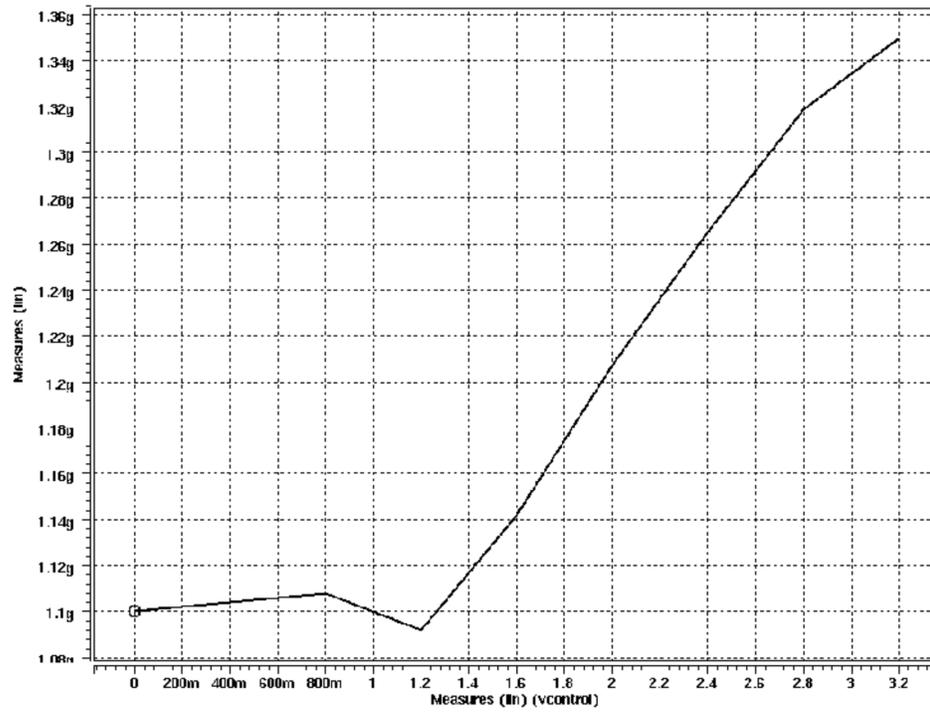


그림 32 MOS Switch($L=0.35 \mu m$ $W=2 \mu m$ $R=5 k\Omega$)의 주파수 대 전압곡선

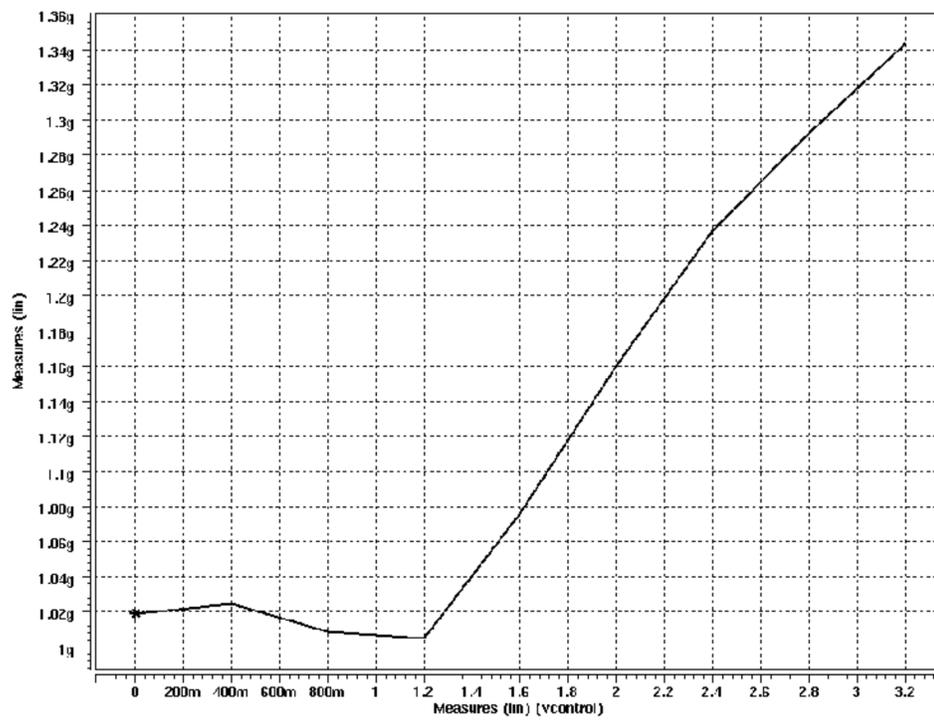


그림 33 MOS Switch($L=0.35 \mu m$ $W=2 \mu m$ $R=7 k\Omega$)의 주파수 대 전압곡선

표 1 Vcon=2 V에서 저항에 따른 Phase Noise 비교표
 (*~ 표시는 HSPICE 출력 리스트 결과에서 뽑은 수치에 대한
 중간생략을 의미)

Frequency(Hz)	FFT_mag(dB)	비고
MOS Switch L=0.35 μm W=2 μm		R=5 $k\Omega$
1.1111G	-33.6509	
~	~	
1.2020G	-8.0895	
1.2121G	-6.9985	f_c (중심주파수)
1.2222G	-15.5086	9 dBc@10 MHz
~	~	
1.3131G	-33.8601	27 dBc@100 MHz
MOS Switch L=0.35 μm W=2 μm		R=6 $k\Omega$
1.0808G	-49.2559	
~	~	
1.1717G	-37.4508	
1.1818G	-3.5544	f_c
1.1919G	-36.6211	33 dBc@10 MHz
~	~	
1.2828G	-48.4312	45 dBc@100 MHz
MOS Switch L=0.35 μm W=2 μm		R=7 $k\Omega$
1.0606G	-35.6572	
~	~	
1.1515G	-17.4536	
1.1616G	-4.0559	f_c
1.1717G	-20.4922	16 dBc@10 MHz
~	~	
1.2626G	-36.4628	32 dBc@100 MHz
MOS Switch L=0.35 μm W=2 μm		R=17 $k\Omega$
1.0303G	-35.1360	
~	~	
1.1212G	-12.9210	
1.1313G	-5.2653	f_c
1.1414G	-18.1258	13 dBc@10 MHz
~	~	
1.2323G	-35.1645	30 dBc@100 MHz

4-3 Negative Skewed Ring Oscillator와의 성능비교

제안된 (a) Switched Negative Skewed Ring Oscillator의 Simulation은 주파수 대 전압의 선형성, VCO 파형, FFT 해석, 공정변화에 대한 저항의 변화 특성 등을 조사하여 (b) Negative Skewed Ring Oscillator의 특성과 비교 검토하였다. 비교를 쉽게 하기 위하여 두 회로를 동일한 조건 (PMOS $L=0.45 \mu m$ $W=5 \mu m$, NMOS $L=0.45 \mu m$ $W=3 \mu m$, 3.3 V 0.35 μm 표준 CMOS 공정) 에 두고 비교 검토하였다.

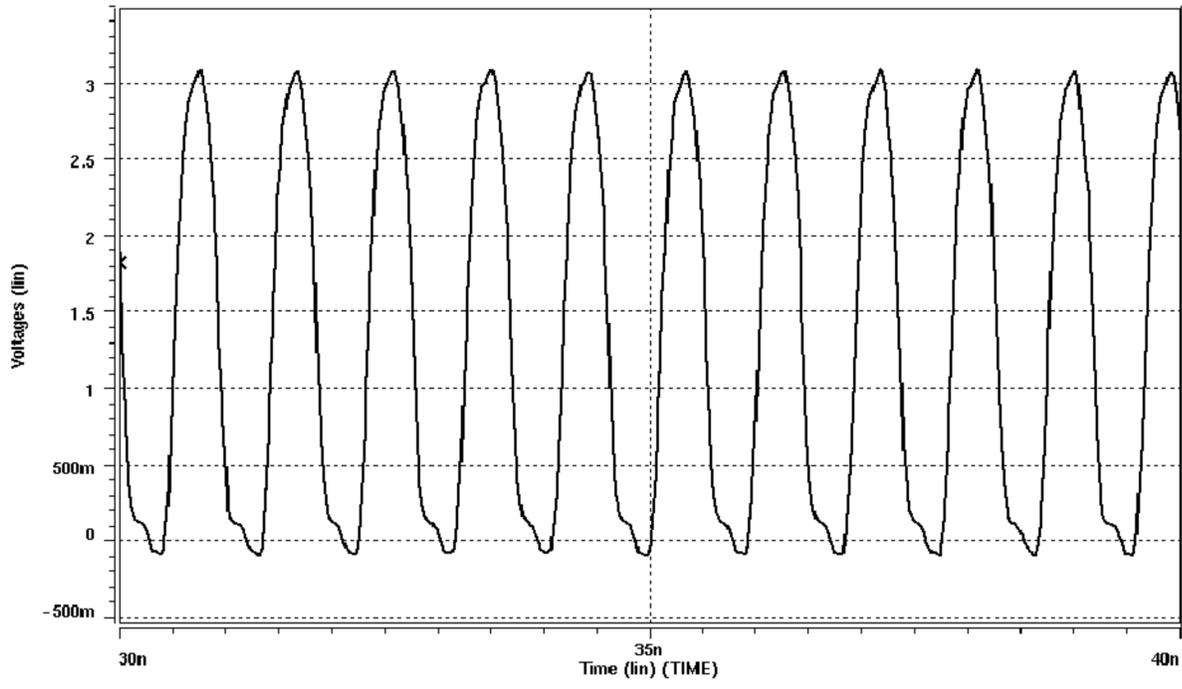
그림 34는 VCO 파형에 대한 시뮬레이션 결과를 비교해 보였다.

(a)의 출력 파형을 보면 전류거울에 의한 전류 공급에도 불구하고 전원 전압 3.3 V 까지 Full swing을 얻지 못하고 있다. (b)에서는 파형의 Full swing을 얻는 반면 Full swing을 이루지 못하는 파형이 간간히 발생된다. 이는 곧 파형의 위상에 변화를 가져와 Phase Noise를 일으킬 수 있는 요인이 된다. 하지만 VCO에 버퍼를 달게 되면 Full swing을 이루지 못하는 구간에 대한 문제와 이로 인한 잡음문제가 충분히 해결된다. (a)와 (b)의 두 출력 파형의 상승과 하강 구간이 대칭을 잘 이루며 안정된 발진 동작을 보이고 있음을 확인할 수 있다.

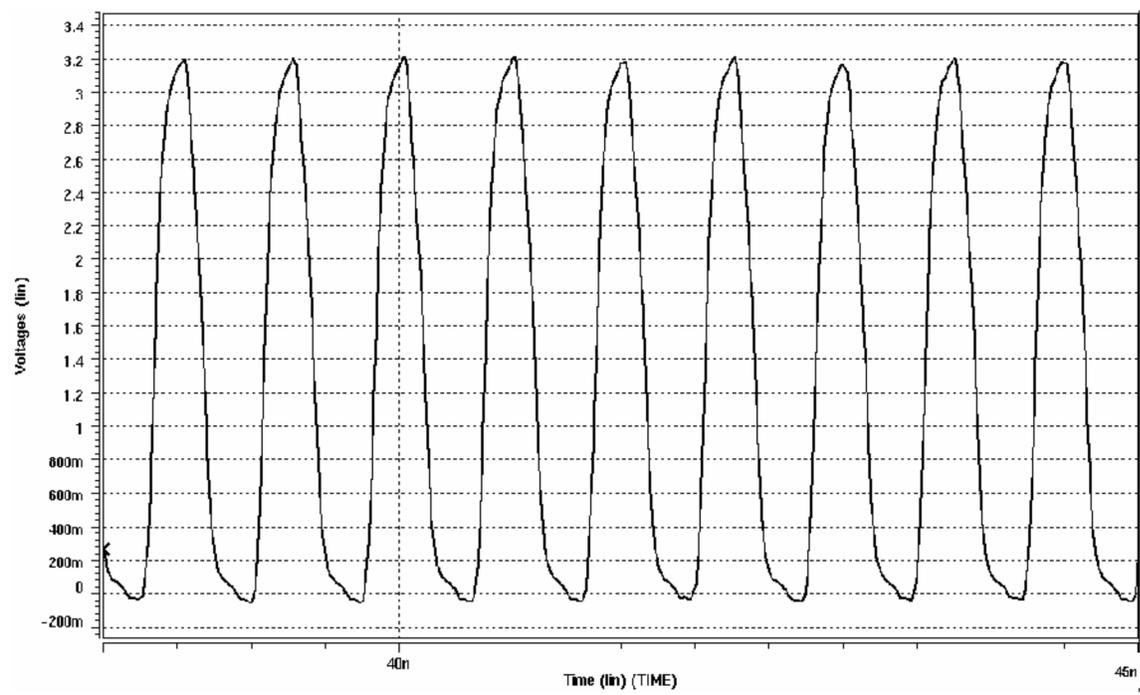
그림 35는 주파수대 전압의 선형성을 비교해 보였다. (a)회로는 1.1 GHz의 넓은 주파수 범위를 갖는 반면 주파수 제어 전압 범위가 0.8 V 이하는 사용할 수 없어 약 80%의 전압 활용범위를 갖는다. 이는 (a)회로에서 bias 회로를 제어하기 위한 Current Mirror 단의 MOS 소자의 문턱전압으로 인한 회로의 구조적인 문제 때문이다. (b)에서는 대략 300 MHz의 주파수 범위를 가지며 최대 1.3 GHz대의 높은 발진 주파수를 얻을 수 있다. (a)회로에서 좋은 선형성을 기대할 수 있는 범위는 0.8 V에서 2.4 V 정도로 약 1.6 V의 범위를 가지며, (b)에서는 1.2 V에서 3.2 V정도로 약 2 V의 넓은 범위를 갖는다.

그림 36은 FFT 해석을 통한 Phase Noise 의 특성을 비교해 보였다. $V_{con}=2$ V에 두고 dB 단위로 두 회로의 FFT를 측정한 결과 (a)회로는 중심주파수에 대해 10 MHz 떨어진 지점에서 10 dBc/@10 MHz, 100 MHz 떨어진 지점에서 25 dBc/@100 MHz임을 측정하였다. 제안된 (b)회로는 중심주파수에 대해 10 MHz 떨어진 지점에서 33 dBc/@10 MHz, 100 MHz 떨어진 지점에서 45 dBc/@100 MHz임을 측정하였다. Phase Noise 특성에 있어서는 기존의 회로보다 좋은 특성을 보임을 알 수 있다.

전체 배치도를 그림 37에 보였다. 배치도는 현대 $0.35 \mu m$ 표준 CMOS 공정 규칙을 적용하여 Mentor tool을 이용하여 작성하였다. $6 k\Omega$ 의 저항을 구현하기 위해서 Sheet 저항값이 40 [ohm/sq] 이면서 온도 변화에 대해 안정된 특성을 보이는 Non_salicide N_poly를 이용하였다. 저항을 가운데 배치하고 주위로 반전기와 Switch를 배열하였다.

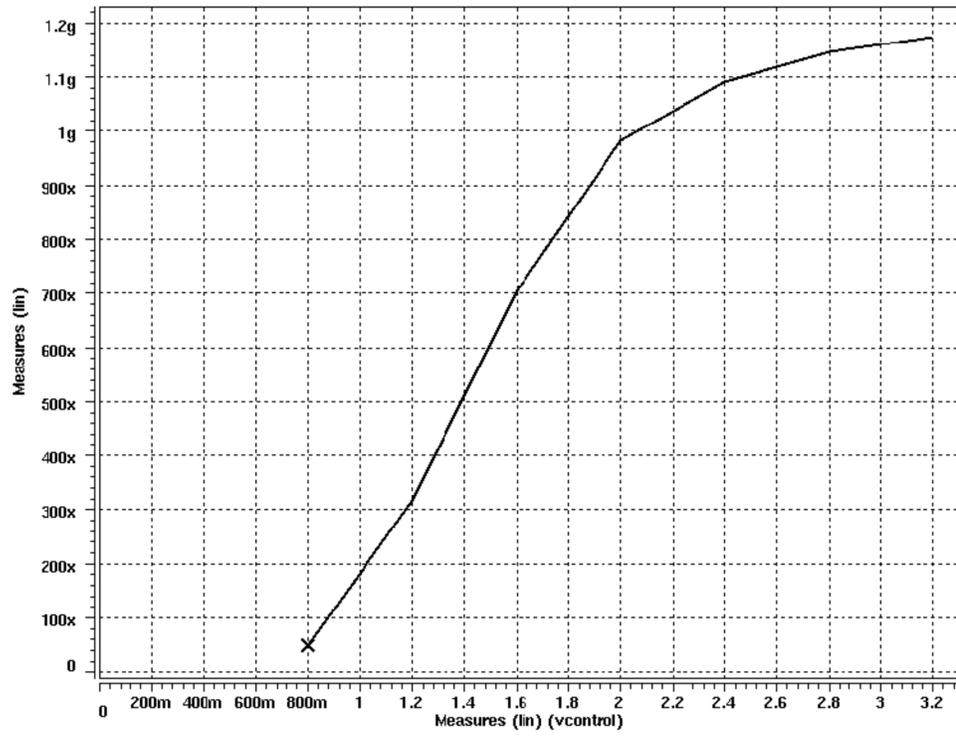


(a)

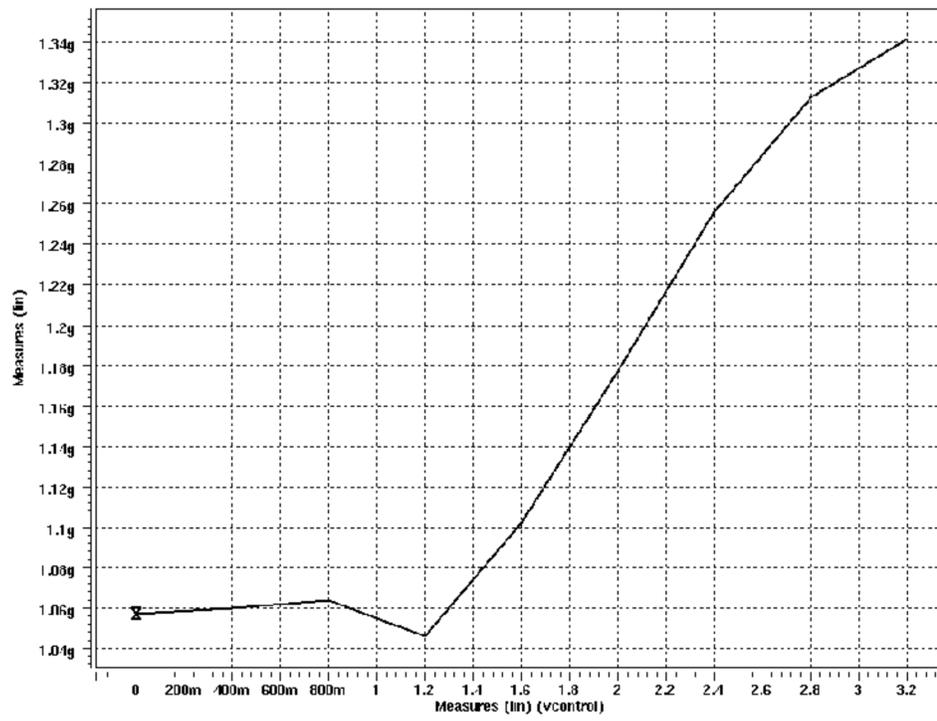


(b)

그림 34 (a) Negative Skewed Ring Oscillator 의 VCO 파형 (b) Switched Negative Skewed Ring Oscillator의 VCO 파형

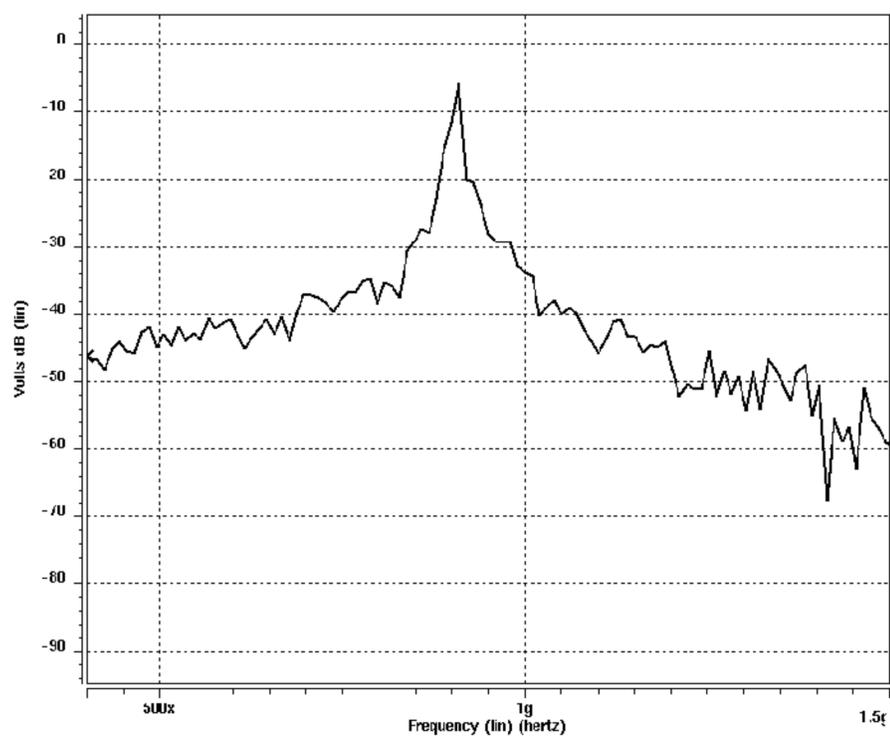


(a)

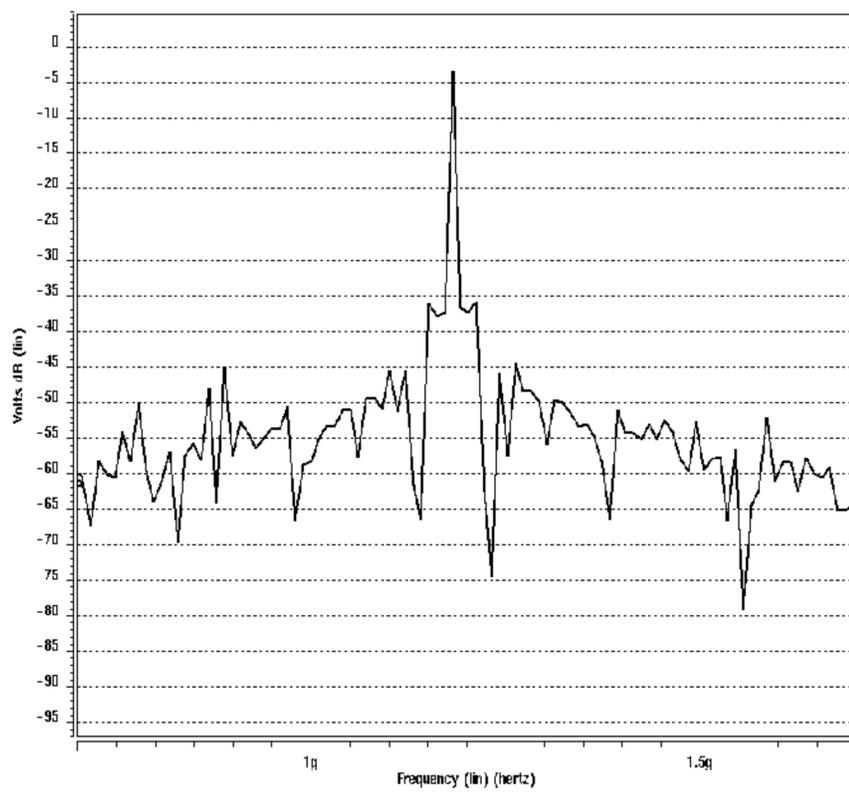


(b)

그림 35 (a) Negative Skewed Ring Oscillator의 주파수 대 전압 (b) 제안된 Switched Negative Skewed Ring Oscillator 의 주파수 대 전압



(a)



(b)

그림 36 (a) Negative Skewed Ring Oscillator의 FFT (b) Switched Negative Skewed Ring Oscillator의 FFT

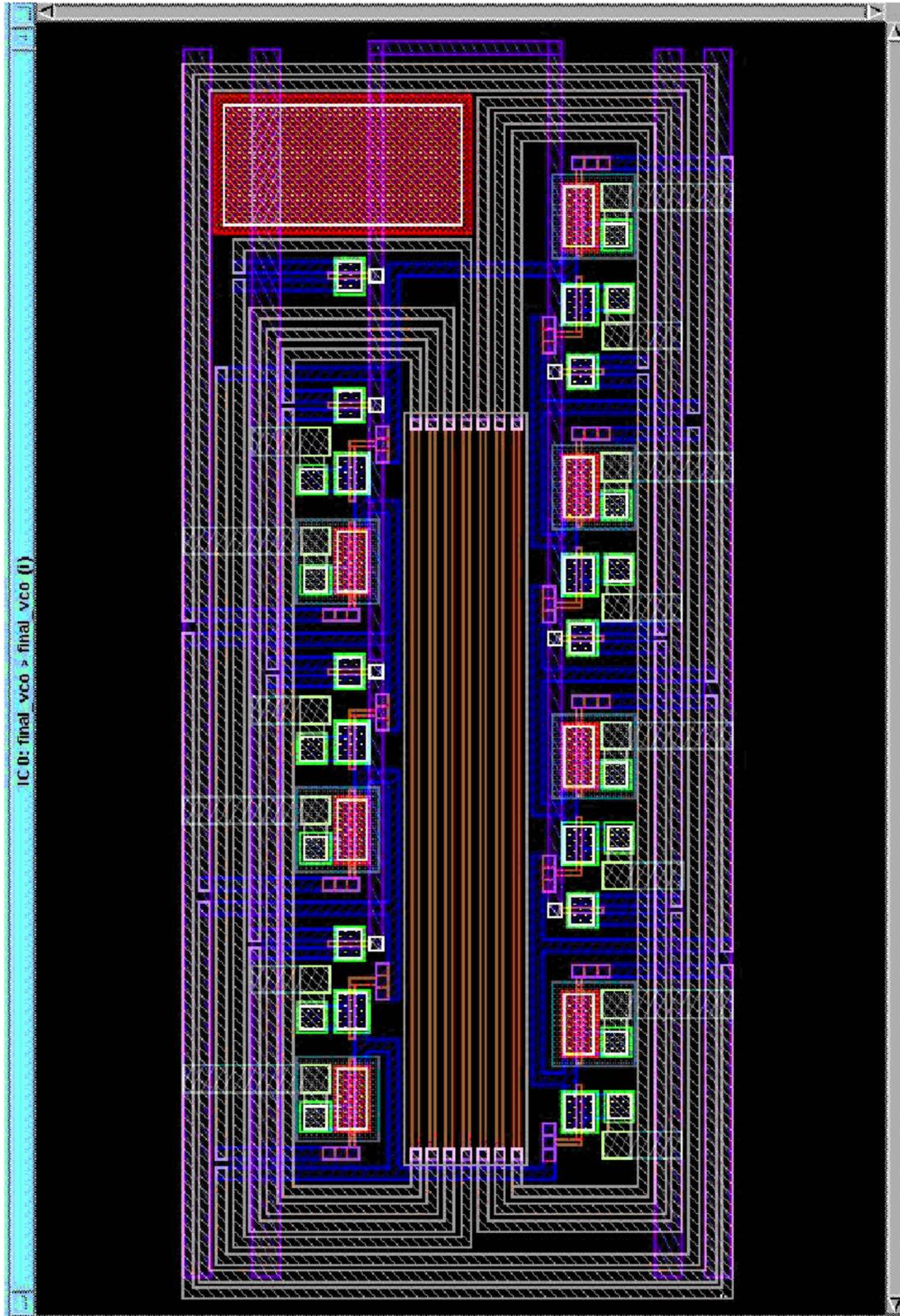


그림 37 Switched Negative Skewed Ring Oscillator의 전체 배치도

5. 결론

본 논문에서는 전류 거울을 이용한 기존의 Negative Skewed Ring Oscillator 방식에서 전류거울 대신 MOS Switch를 이용하여 주파수를 제어하는 새로운 방식의 Ring Oscillator를 제안 검토하였다. 이를 통해 입력 전압 대 출력 주파수의 선형성과 Phase Noise 에 대한 결과를 기존 회로와 비교해보았다. 제안된 회로에서는 기존의 바이어스용 전류거울 대신에 MOS Switch를 사용함으로써 게이트 수를 크게 줄일 수 있었다. 또한 3.3 V 0.35 μm 표준 CMOS 공정을 적용하여 1 GHz@Vcon=1.2 V, 1.34 GHz@Vcon=3.2 V 까지 약 300 MHz의 넓은 동작 주파수 범위를 얻을 수 있었다. 전력소모는 5 mW@Vcon=2 V였다. Phase Noise는 Vcon=2 V에서 33 dBc@10 MHz, 45 dBc@100 MHz이다. 제어 전압의 범위는 2 V 정도의 범위에서 좋은 선형성을 보이며 부가적으로 제안된 회로에서는 저항의 병렬삽입으로 Vcon=0 V 에서도 1 GHz의 발진주파수를 얻을 수 있어서 기존회로에서의 MOS 문턱 전압에 따른 저전압의 활용 제한을 극복하고 100%의 활용범위를 가질 수 있는 가능성을 확인 할 수 있어서 이에 대한 연구가 더 필요하다. 반면 MOS Switch의 기생 커패시터의 영향으로 발진 파형의 왜곡으로 인한 timing jitter의 문제를 안고 있음을 VCO 파형을 통해 확인할 수 있었다. Jitter 문제에 대한 개선의 여지가 또한 남는다.

6. 참고 문헌

- [1] D. Y. Jeong, S. H. Chai, W. C. Song, and G. H. Cho "CMOS current controlled oscillator using multiple-feedback-loop ring architecture", in *ISSCC Dig. Tech. Papers*, San Francisco, CA, Feb, 1997, pp.386-387.
- [2] A. Rofourgan, J. Rael, M. Rofourgan, and A. Abidi, "A 900 MHz CMOS LC-oscillator with quadrature outputs," in *ISSCC Dig. Tech. Papers*, San Francisco, CA, Feb. 1996, pp. 392-393.
- [3] J. Craninckx and M. Steyaert, "A 1.8 GHz Low Phase Noise CMOS VCO using optimized hollow spiral inductors," *IEEE J. Solid-State Circuits*, vol. 32, pp. 736-744, May 1997.
- [4] P. Basedau and Q. Huang, "A 1 GHz, 1.5 V monolithic LC oscillator in 1 μm CMOS," in *Proc. 1994 Eur. Solid-State Circuits Conf.* Ulm, Germany, pp. 172-175. Sept. 1994,
- [5] 박홍준. "CMOS 아날로그집적회로 설계(하)", 시그마프레스, 1999.
- [6] S. M. Kang, Yusuf Leblebici, "CMOS Digital Integrated Circuits analysis and design", McGraw-Hill, 1999.
- [7] R. E. Best, "Phase-Locked Loops Theory, Design, & Applications", 3rd, New York : McGraw-Hill, 1992.
- [8] H. Y. Yu et al, "3.3 V-2.6 GHz Low Noise CMOS PLL with multi-chained two stage VCO". *the 9th KCS*. 2002.
- [9] Behzad Razavi, "Principles of Data Conversion System Design

- ” , IEEE Press, 1995.
- [10] A. S. Sedra, K. C. Smith, “Microelectronic Circuit” , *Third Edition*, Saunders College Publishing, pp. 68-73, 1993
- [11] Philip E. Allen, Douglas R. Holberg, “CMOS Analog Circuit Design” , Saunders college publishing, pp. 490-495, 1987.
- [12] D. A Johns, K. Martin, “Analog Integrated Circuit Design”, John wiley and sons, 1997.
- [13] B. Kim, D. N. Helman and P. R. Gray “A 30 MHz Hybrid Analog/Digital Clock Recovery Circuit in 2 μm CMOS”, *IEEE J. Solid-State Circuits*, vol. 25, pp. 1385-1394, Dec. 1990.
- [14] C. H. Park, B. Kim “A Low-Noise, 900 MHz VCO in 0.6 μm CMOS”, *IEEE J. Solid-State Circuits*, vol. 34, No. 5, May 1999.
- [15] 이석준, “디지털 이동통신에 적합한 Monolithic CMOS 기술을 이용한 1 GHz급 저잡음 주파수 합성기의 설계”, 전기 및 전자공학, 한국과학기술원. 1996.