

공학석사 학위논문

루프 대역폭 조절기를 이용한 1.28GHz  
대역의 저 잡음 위상고정루프 설계

이 논문을 공학석사 학위논문으로 제출함



2005년 2월

부경대학교 대학원

전자공학과

허철

# 허철의 공학석사 학위논문을 인준함

2004년 12월 23일

주 심 공학박사 최 영식



위 원 공학박사 권 태하



위 원 공학박사 최 혁환



# 목 차

## Abstract

|                                                 |    |
|-------------------------------------------------|----|
| I. 서론 .....                                     | 1  |
| II. 위상고정루프의 이론 및 구조 .....                       | 3  |
| 2.1 위상고정루프의 기본이론 .....                          | 3  |
| 2.2 위상고정루프의 구조 .....                            | 6  |
| 2.2.1 위상 주파수 검출기 .....                          | 6  |
| 2.2.2 전하펌프와 루프필터 .....                          | 10 |
| 2.2.3 전압제어 발진기 .....                            | 13 |
| 2.2.4 분주기 .....                                 | 16 |
| 2.3 위상고정루프의 전달함수 .....                          | 17 |
| III. 위상고정루프의 설계 .....                           | 21 |
| 3.1 위상고정루프의 지터 .....                            | 21 |
| 3.2 낮은 지터의 위상고정루프 구조 .....                      | 25 |
| 3.2.1 Adaptive bandwidth controller와 전하펌프 ..... | 25 |
| 3.2.2 위상고정루프 블록 .....                           | 31 |
| 3.3 루프필터의 설계 .....                              | 36 |
| IV. 시뮬레이션 결과 및 레이아웃 .....                       | 42 |
| 4.1 시뮬레이션 결과 .....                              | 42 |

|                |    |
|----------------|----|
| 4.2 레이아웃 ..... | 45 |
| V. 결론 .....    | 46 |
| 참고문헌 .....     | 47 |

# **Design of 1.28GHz low jitter phase-locked loop based on a adaptive bandwidth controller**

Chel Hur

*Department of Electronic Engineering, Graduate School,  
Pukyong National University*

## **Abstract**

This thesis presents the phase-locked loop(PLL) architecture with a new adaptive bandwidth controller to reduce locking time and minimize jitter in PLL output for wireless communication. It adaptively controls the loop bandwidth according to the locking status. When the phase error is large, the PLL increases the loop bandwidth and reduce locking time. When the phase error is small, the PLL decreases the loop bandwidth and minimizes output jitters. The adaptive bandwidth control is implemented by controlling charge pump current depending on the locking status.

The proposed 1.28GHz Phase-locked loop had been designed of 0.35 $\mu\text{m}$  2-poly 4-metal CMOS processor with a 3.3V supply voltage. It is simulated by HSPICE and layout is implemented with Mentor IC Station. The phase-locked loop achieves that the primary reference sideband spur at the output of Voltage controlled oscillator(VCO) are approximately -80dBc.

# I. 서 론

무선 통신 환경에는 많은 잡음 원인들이 존재한다. 이러한 잡음의 원인들은 사용자가 원하는 수신신호에 영향을 끼치게 된다. 잡음 신호로부터 사용자가 원하는 정확한 신호를 얻기 위해서, 보통 송수신단의 front-end단에 증폭과 잡음 필터링(filtering)의 신호처리를 수행하게 된다. 특히 안테나와 기저대역(baseband)사이에 있는 RF(radio frequency)영역의 신호처리 블록은, 적절한 SNR(Signal-to-Noise Ratio)을 가져야한다<sup>[1]</sup>. RF영역 블록에서의 SNR이 송수신단 전체 시스템의 BER(Bit-Error-Rate)을 결정하기 때문이다. 그러므로 RF영역에서의 잡음 처리는 좋은 질의 무선 통신을 위해 아주 중요하고 민감한 부분이며, 아울러 RF영역에서 주파수 합성기로 널리 쓰이는 위상고정루프(phase-locked loop:PLL)의 저 잡음 성능에 대한 연구가 많이 이루어지고 있다<sup>[2]</sup>.

예전의 위상고정루프에서 저 잡음을 구현하기 위한 방법으로 루프 필터의 대역폭을 줄이는 구조를 사용해왔다. 하지만 이런 구조의 위상고정루프는 락킹 시간이 길다는 단점을 가지고 있다. 그 이후로 락킹 시간(locking time)을 개선하기 위해 루프 필터의 대역폭을 늘이는 연구가 활발히 진행되었다. 그 대안으로 디지털블록을 이용하여 루프 대역폭을 늘이는 구조가 나왔지만, 전력 소비가 크고, 칩의 크기가 커지는 단점을 가지고 있었다. 그 이후에 좀더 간단한 알고리즘으로 루프 대역폭을 조절하는 구조가 기어 쉬프팅(gear shifting)이나 락킹 검출(locking detection) 구조를 이용하는 것이다<sup>[2-4]</sup>. 그러나 이러한 구조들의 위상고정루프는 스위치를 사용함으로써 스위치 잡음을 새로 발생시키거나<sup>[5]</sup>, 빠른 락킹 시간에 비해 효과적으로 잡음을 줄이지 못한다.

본 논문에서는 앞에서 언급한 위상고정루프의 단점을 보완하기 위해 저 잡음과 빠른 락킹 시간을 동시에 구현하는 구조인 adaptive bandwidth control 구조에 대해 연구를 수행하였다. 이러한 구조의 위상고정루프는 락킹 상태에 따라 시간에 연속적으로 루프 필터의 대역폭을 변화시켜 빠른 락킹과 저 잡음을 동시에 구현한다. 또한 제안한 구조는 루프 필터의 대역폭을 변화시키기 위한 스위치를 사용하지 않기 때문에 스위치 잡음이 없는 장점을 가지고 있다.

제안한 위상고정루프는  $0.35\mu\text{m}$  CMOS공정을 이용하여 칩으로 제작하였다. 시뮬레이터는 HSPICE를 이용하였고, 레이아웃은 Mentor사의 IC Station을 이용하여 수행하였다. 위상고정루프의 동작영역은 1.28GHz대 이고, 락킹 시간은  $50\mu\text{s}$ , 전압제어 발진기 출력의 1차 측파대 스퍼(primary reference sideband spur)의 크기는 약  $-80\text{dBc}$ 이며, 전원전압은 3.3v이다.

## II. 위상고정루프의 이론 및 구조

### 2.1 위상고정루프의 기본이론<sup>[6-8]</sup>

전하펌프-위상고정루프(charge pump phase-locked loop:CPPLL)의 기본적인 블록 다이어그램을 그림 2-1에 나타내었다. 위상고정루프는 위상 주파수 검출기(phase frequency detector:PFD), 전하펌프(charge pump:CP), 루프필터(loop filter:LF), 전압제어 발진기(voltage-controlled oscillator:VCO), 분주기(clock divider)의 5개 주요 부분으로 나누어져 있다. 위상 주파수 검출기는 외부로부터 입력되는 기준주파수( $F_{ref}$ ) 신호와 전압제어 발진기에서 생성되는 클럭간의 위상과 주파수를 비교하여 위상 및 주파수의 차이에 해당하는 신호를 출력하여 전하펌프를 구동한다. 전하펌프는 입력신호의 펄스폭에 비례하는 전류를 구동하여 루프필터의 커패시터를 충전 또는 방전시킴으로써 전압제어 발진기 클럭의 주파수( $F_{out}$ )와 위상을 기준주파수 클럭의 위상과 주파수에 동일하게 만드는 전압제어 발진기의 제어전압을 발생시킨다. 클럭 분주기는 낮은 기본주파수의 외부입력을 사용할 수 있게 할 뿐만 아니라, 원하는 전압제어 발진기의 출력주파수를 얻을 수 있게 한다. 루프 필터는 차수에 따라 2차, 3차, 4차 필터 등으로 나누어지며, 필터에 쓰이는 소자에 따라 능동 필터와 수동 필터로 다시 나누어진다. 클럭 분주기는 보통 D-플립플롭을 이용하여 원하는 분주비를 만든다.

표1은 위상고정루프의 주요 용도를 나타내었고, 표2에서는 주파수 합성기로써의 위상고정루프의 성능에 대한 기준을 나타낸다.

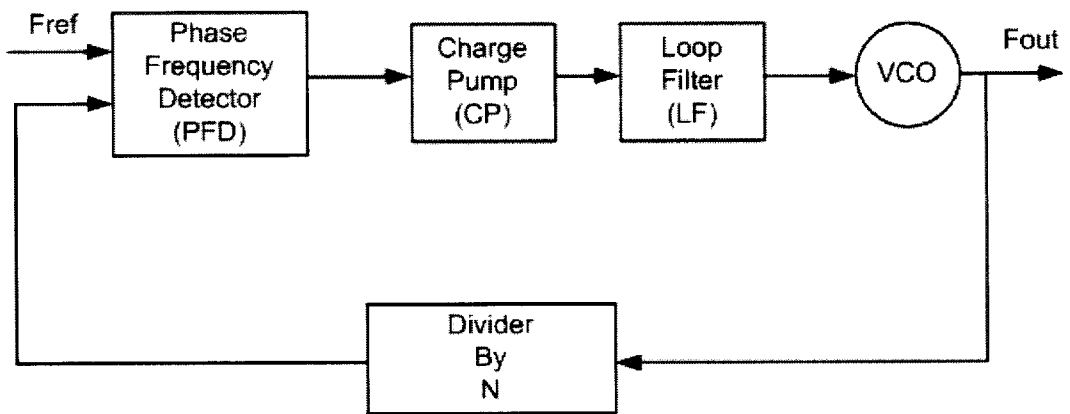


그림 2-1. CPPLL의 블록 다이어그램

표1. 위상고정루프의 주요 응용 분야

|             |                     |
|-------------|---------------------|
| 자동주파수제어     | 모터의 속도제어            |
| 주파수합성 · 변환  | 주파수 합성기, 주파수채배 · 분주 |
| FM · PM의 복조 | 위성통신복조기, MODEM      |
| 신호의 트래킹     | 위성통신                |
| 신호의 동기      | TV수상기, 데이터통신, PCM통신 |
| 주파수 선택성     | 필터(BPF)             |

표2. 주파수 합성기의 성능에 대한 기준

|   | 기준                          | 설명                                                                                                           | 단위             |
|---|-----------------------------|--------------------------------------------------------------------------------------------------------------|----------------|
| 1 | Phase Noise (PN)            | 위상잡음                                                                                                         | dBc/Hz         |
| 2 | 주파수 범위                      | VCO의 튜닝범위에 의해 결정                                                                                             | MHz            |
| 3 | 주파수 분해도<br>(resolution)     | 채널간격이나 스텝사이즈의<br>최소값                                                                                         | Hz             |
| 4 | 스위칭 속도                      | 최종주파수의 허용오차 안에<br>도달하는데 걸리는 시간                                                                               | $\mu$ s        |
| 5 | 이산(discrete)<br>spurious 크기 | 주기적인 성분들은 캐리어와<br>관련 없다.<br><br>레이아웃에서의 오차와<br>바이어스의 오차에 원인이<br>있다.<br><br>캐리어의 하모닉 성분들은 이<br>내용들을 포함하지 않는다. | dBc            |
| 6 | 전력 소비                       | .                                                                                                            | Watts or dBm   |
| 7 | 출력 진폭의<br>일정함               | RF 합성기에서, 진폭이<br>위상(phase)으로 변조되는<br>것을 막기 위해서 중요한<br>의미를 가진다.                                               | dBm $\pm$ x dB |
| 8 | 출력 임피던스                     | RF 분야는 50 $\Omega$ 비디오<br>분야는 75 $\Omega$ 을 쓴다.                                                              | $\Omega$       |

## 2.2 위상고정루프의 구조

### 2.2.1 위상 주파수 검출기<sup>[9]</sup>

위상 주파수 검출기는 위상오차와 주파수 오차를 검출하는 순차 회로이다. 위상 주파수 검출기는 현재 3상태(3-state) 구조가 가장 많이 쓰이고 있다. 그림 2-2는 위상 주파수 검출기의 3상태에 대한 다이어그램을 나타내고 있다. 위상 주파수 검출기는 기준주파수 클럭( $F_{ref}$ )과 전압제어 발진기 출력 주파수 클럭( $F_{out}$ )의 위상과 주파수의 비교에 따라 두 가지 신호(UP, DN)를 출력한다. 기준주파수 클럭이 전압제어 발진기 출력 주파수 클럭보다 더 빠르면, 그 차이만큼의 펄스폭을 가지는 UP신호를 출력한다. 그와 반대로, 기준주파수 클럭이 전압제어 발진기 출력 주파수 클럭보다 느리면, 그 차이만큼의 펄스폭을 가지는 DN신호를 출력한다. 위상 주파수 검출기에서 UP신호는 전하펌프를 구동시켜 루프필터의 전압을 상승시킨다. 루프필터의 전압은 전압제어 발진기의 입력전압( $V_{cont}$ )을 상승 시키게 되어 전압제어 발진기의 출력 주파수를 높인다. 마찬가지로, DN신호는 전하펌프를 구동시켜 전압제어 발진기의 입력전압을 하강 시킨다. 그러므로 전압제어 발진기의 출력 주파수는 내려가게 된다. 이 두 가지 상태를 위상고정루프에서 'out-of-lock'상태라고 말한다. 위상 주파수 검출기의 두 신호인 UP, DN 신호에 의해 구동되는 전하펌프에서, 루프필터 커패시터의 충전과 방전을 결정하게 된다. 기준주파수 클럭과 전압제어 발진기 출력 주파수 클럭이 같아지는 상태를 위상고정루프의 'in-lock'상태라고 말한다. 이때의 UP, DN신호는 이상적으로 나타나지 않아야하나, 위상 주파수 검출기에서의 리셋(reset)시간에 의해 생기는 리셋펄스가 나타나게 된다.

위상고정루프의 'out-of-lock'상태에서 'in-lock'상태까지 도달하는 시간을 락킹 시간, 혹은 셋틀링 시간(settling time)이라고 한다.

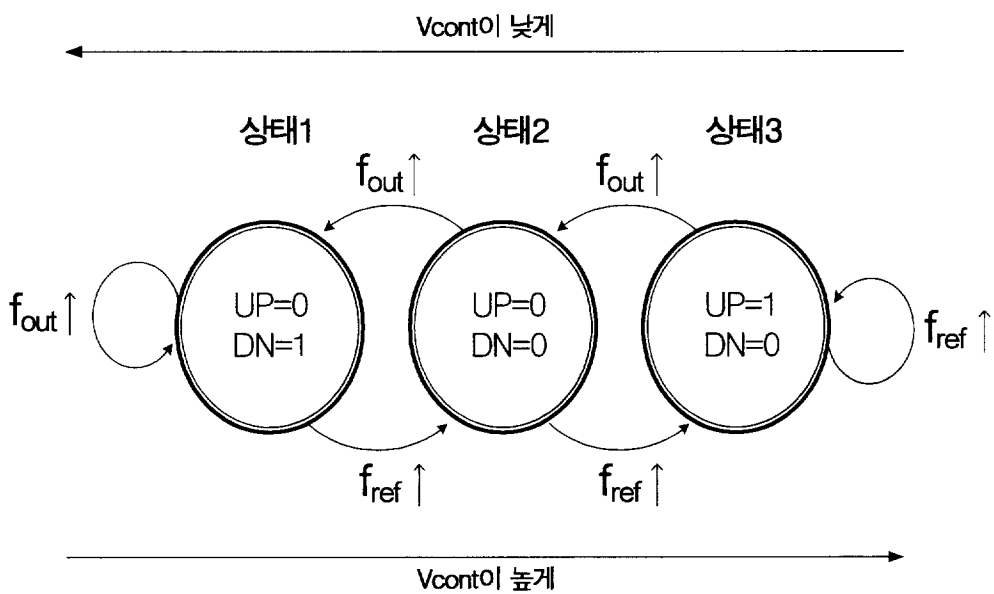
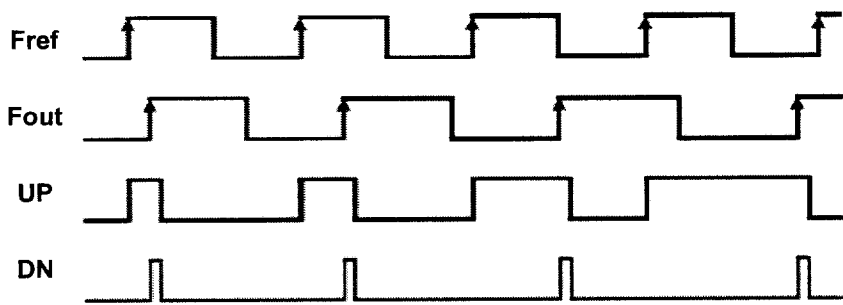
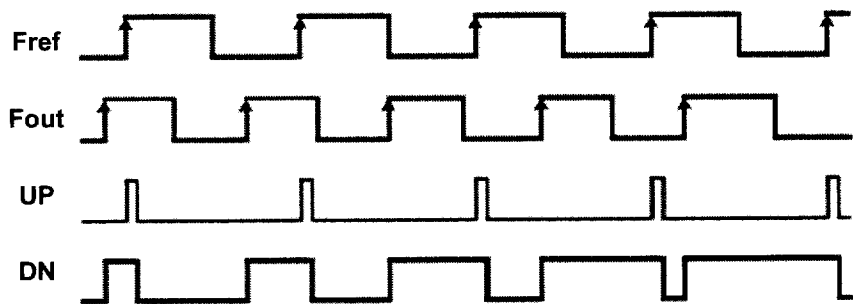


그림 2-2. PFD의 3상태 동작도

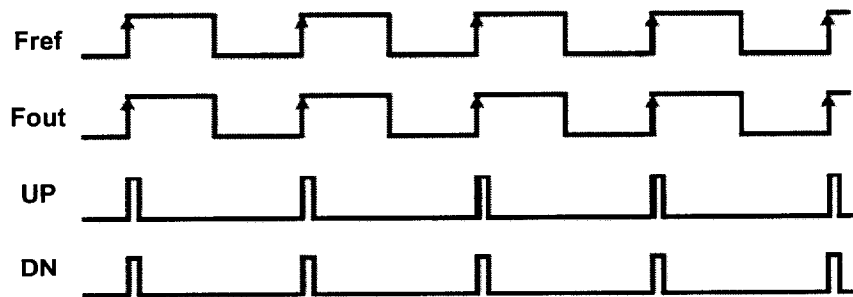
예전에는 위상 검출(phase detector:PD)을 위한 가장 간편한 방법으로 exclusive-OR(XOR)를 사용했다. 하지만 XOR를 사용한 위상 검출기는 단순히 위상의 차이만 검출 함으로써 기준주파수의 정수배가 되는 주파수를 구분하지 못하는 단점과 입력 주파수의 duty cycle에 기인하는 단점들이 존재한다. 현재에는 이러한 단점을 보완한 다이내믹(dynamic) D-플립플롭 위상 주파수 검출기가 많이 쓰이고 있다. 그림 2-3은 기준주파수 클럭( $F_{ref}$ )과 전압제어 발진기 출력 주파수 클럭( $F_{out}$ )의 비교에 의한 위상 주파수 검출기의 출력의 타이밍 다이어그램을 나타내고 있다.



(a)  $F_{ref} > F_{out}$  인 경우



(a)  $F_{ref} < F_{out}$  인 경우



(a)  $F_{ref} = F_{out}$  인 경우

그림 2-3. Dynamic CMOS PFD의 동작

## 2.2.2 전하펌프와 루프필터<sup>[6-8]</sup>

그림 2-4는 위상고정루프에서 사용되는 전하펌프와 루프필터의 구성을 나타낸다. 전하펌프는 위상 주파수 검출기로부터 오는 기준 주파수 클럭과 전압 제어 발진기 클럭간의 위상오차에 해당하는 UP, DN 신호에 의해서 제어된다. UP신호가 'high' 일 경우에는 전하펌프의 S1 스위치가 'turn on' 되어 루프필터에 전류  $I_p$ 가 흐르게 된다. 그러므로 루프필터의 커패시터에 전류가 충전되고 VCO입력 전압인  $V_{cont}$  전압이 상승하게 된다. DN신호가 'high' 일 경우에는 전하펌프의 스위치 S2가 'turn on'되어 루프필터에 전류  $I_N$ 이 흐르게 된다. 이 경우에는 루프필터의 커패시터에 전류가 방전되어 전압제어 발진기 입력 전압인  $V_{cont}$  전압이 하강하게 된다. 전하펌프에 쓰이는 스위치로는 MOS 스위치가 쓰이며, 전하펌프에 흐르는 전류의 시간은 UP, DN 신호의 펄스폭에 의해서 결정이 된다.

전하펌프에 흐르는 전류인  $I_p$ 와  $I_N$ 은 'in-lock' 상태에서 똑같은 크기로 흘러야한다. 하지만 스위치로 쓰이는 MOS의 특성 중 PMOS와 NMOS의 이동도 차이와 위상고정루프에서 나오는 UP, DN신호에 의한 MOS 스위치의 'turn on'시간 차이, MOS 스위치의 클럭 피드스루(clock feedthrough), 전하 공유, 유한한 출력 저항값 등에 의해 전류 미스매치(mismatch)가 일어난다<sup>[10]</sup>. 이러한 요소들에 의해 생기는 전류 미스매치는 전압제어 발진기의 입력전압에 지터(jitter)를 일으키게 하는 주된 원인이 된다.

루프필터의 기능은 크게 두 가지로 나눌 수 있다. 하나는 위상 주파수 검출기 출력의 리플 성분을 제거하여 전압제어 발진기의 제어전압을 직류로 만든다. 이 기능은 전압제어 발진기의 동작 성능과 깊은 관계가 있다. 그리고 더욱

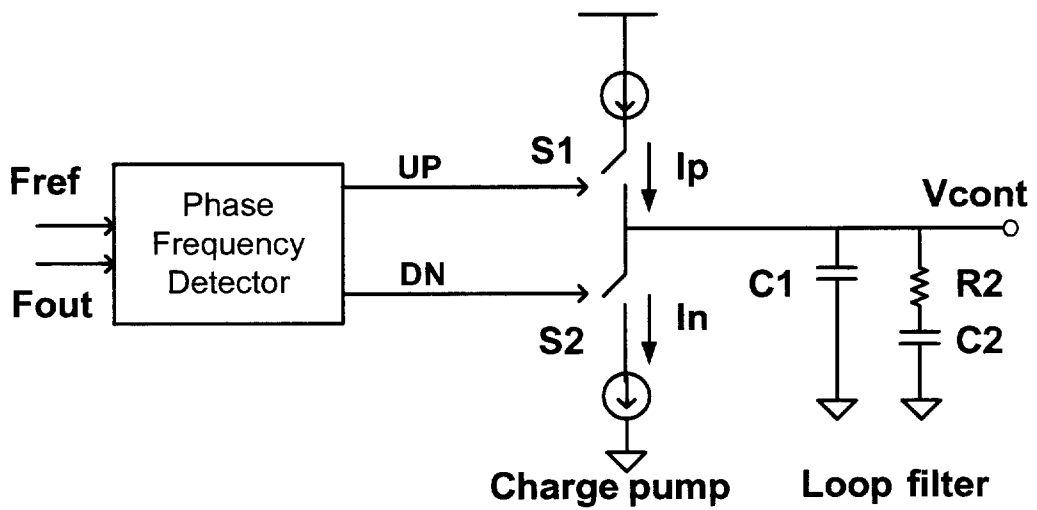


그림 2-4. 전하펌프와 루프필터

중요한 기능은 루프 필터의 설계에 따라 위상고정루프 시스템의 기본적인 동적인 특성, 즉 락킹 타임, 루프 대역폭, 루프 이득 등이 결정된다. 이것은 시스템의 자연주파수, 감쇠율(damping factor)과 밀접한 관계가 있다. 따라서 설계할 때는 많은 주의가 필요하다.

### 2.2.3 전압제어 발진기

전압제어 발진기는 입력전압인 제어전압의 변화에 따라 선형적으로 변하는 출력주파수의 사인파나 구형파를 출력시키는 발진기이다. 일반적으로 위상고정루프에서 쓰이는 전압제어 발진기는 락이 되지 않는 것(false lock)을 방지하기 위해 넓은 동작주파수 범위와 좋은 선형성을 가져야 한다<sup>[11]</sup>. 또한 전압제어 발진기 잡음의 주 원인이 되는 공급전압 잡음에도 강해야 한다.

제어 전압에 따라 발진 주파수가 변하는 전압제어 발진기에서는 다음 파라미터들이 중요하다.

- Tuning range : 전압제어 발진기 주파수의 최소와 최대치 사이의 영역
- 지터(jitter)와 위상잡음(phase noise)
- 공급 전압원 잡음(power supply noise)와 기판 잡음(substrate noise) 제거 능력

특히, 디지털 회로와 아날로그 회로를 혼합하는 경우 전압제어 발진기는 공급전압원 잡음과 기판잡음에 강해야 한다. 공급 전압원 잡음은 칩(chip)안에 있는 큰 커패시턴스 노드(node)의 cycle-to-cycle 스위칭 잡음과 circuit activity의 변화에 의한 잡음으로 구분된다. 기판잡음은 디지털 노드의 스위칭이 접합노드(junction node)를 통해 기판으로 유입되면서 아날로그 회로에 영향을 미친다. 만약 위상고정루프로 커플링(coupling)되는 잡음의 제거가 크지 않다면 전압제어 발진기의 출력 주파수와 위상은 변할 수 있다. 이러한 변화는 위상고정루프의 잡음의 주된 요인 중 하나이다.

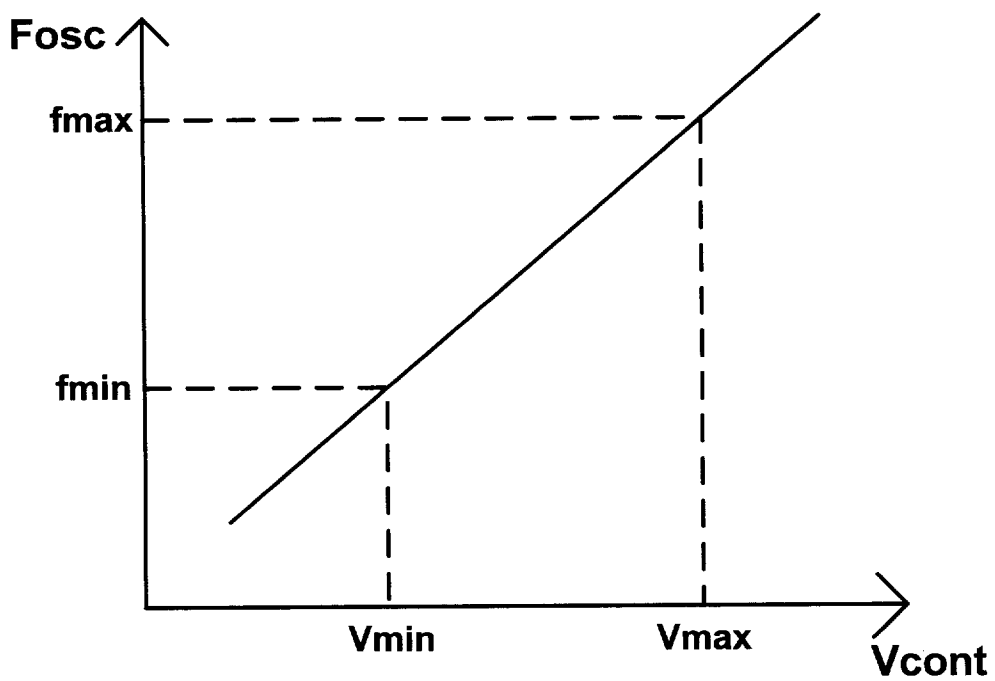


그림 2-5. 제어 전압( $V_{cont}$ )대 발진 주파수( $F_{osc}$ )

그림 2-5는 전압제어 발진기의 제어전압( $V_{cont}$ )대 발진 주파수( $F_{osc}$ )에 대해 나타내었다. 전압제어 발진기에서 제어 전압 대 발진 주파수의 특성(V-F특성)은 위상고정루프에서 중요한 의미를 지닌다. V-F의 선형성은 가능한 넓은 주파수 영역에 대해 위상고정루프의 안정도를 공급하므로 제어 전압이나 동작 주파수에 따른 전압제어 발진기의 변화에 대한 민감성을 최소화한다. 또한 그림 2-5에서처럼 양의 기울기의 V-F특성이 바람직하다. 이것은 전압제어 발진기의 최대 동작 주파수는 최대 제어 전압에서 성취됨을 의미한다. 만약 V-F의 기울기가 음이라면 전압제어 발진기의 최소 동작 주파수는 최대 공급전압에 의해 제한되고, 인가되는 공급전압이 감소함에 따라 최소 동작 주파수는 증가하므로 바람직하지 않다.

현재 무선 통신용 전압제어 발진기는 LC 전압제어 발진기가 많이 쓰이고 있다. 하지만 칩의 면적이 커지고 인덕터의 Q값에 민감한 특성을 보이는 단점이 있다. 또한, CMOS를 이용한 링 구조의 전압제어 발진기에 대해서도 많은 연구가 수행되고 있다. 링 구조의 전압제어 발진기는 위상 잡음이 문제가 되고 있지만, 가격이 낮고 집적화가 쉽다는 장점을 가지고 있다<sup>[11]</sup>.

## 2.2.4 분주기<sup>[12]</sup>

위상고정루프에서 분주기는 외부 입력 주파수로 낮은 주파수를 사용할 수 있도록 한다. 또한, 분주비를 통해 원하는 출력 주파수를 얻을 수 있다. 위상 고정루프의 기준 주파수를  $F_{ref}$ , 전압제어 발진기의 출력 주파수를  $F_{out}$ , 분주기의 출력을  $F_{div}$ , 그리고 분주비를  $N$ 으로 표현하면 다음 식으로 나타낸다.

$$F_{div} = F_{out} / N \quad (1)$$

‘In-lock’상태에서  $F_{ref}=F_{div}$  이므로, 식 (1)은 다음과 같이 나타낸다.

$$F_{out} = N \times F_{ref} \quad (2)$$

식 (2)에서 분주비  $N$ 을 바꿈으로써 전압제어 발진기의 출력 주파수인  $F_{out}$ 를 변화 시킬 수 있다는 것을 알 수 있다. 이  $F_{out}$ 을 각종 통신기기의 국부 발진기로 사용하면 하나의 기준주파수로 여러 가지 주파수로 만들어 이용할 수 있다.

일반적으로 분주기는 master-slave D 플립플롭으로 구성되고, 필요한 분주비를 얻기 위해서는 기본 분주비를 가지는 회로를 직렬로 연결하여 사용한다.

## 2.3 위상고정루프의 전달함수<sup>[13-15]</sup>

그림 2-6은 선형화된 위상고정루프의 블록 다이어그램을 나타낸다.  
위상 주파수 검출기의 출력 전압을 라플라스 표현 형태로 나타내면,

$$V_{pfd}(s) = K_p \theta_e \quad (3)$$

가 된다. 여기서  $K_p$ 는 위상 주파수 검출기의 이득이고, 단위는 [V/rad]이다.  
루프필터는 전압제어 발진기에서 필요 없는 측파대 신호를 생산할 수 있는 고  
주파 성분을 제거한다. 라플라스 변환을 하면,

$$V_{cont}(s) = F(s) V_{pfd}(s) \quad (4)$$

이다. 시간영역에서 DC전압이 전압제어 발진기의 출력 주파수로 변화 한다고  
생각하면,

$$\omega_{out} = K_{vco} K_{cont} + \omega_{fr} \quad (5)$$

이 된다. 여기서  $K_{vco}$ 는 전압제어 발진기의 이득값이고, 단위는 [rad/s/V]이다.  
주파수의 시간에 대해서 적분이 위상이란 것을 감안하면, 전압제어 발진기의 초  
과위상에 대해서 적분을 취하면,

$$\int \omega_{out} dt = \phi_{out}(t) = K_{vco} \int K_{cont} dt \quad (6)$$

로 나타낸다.

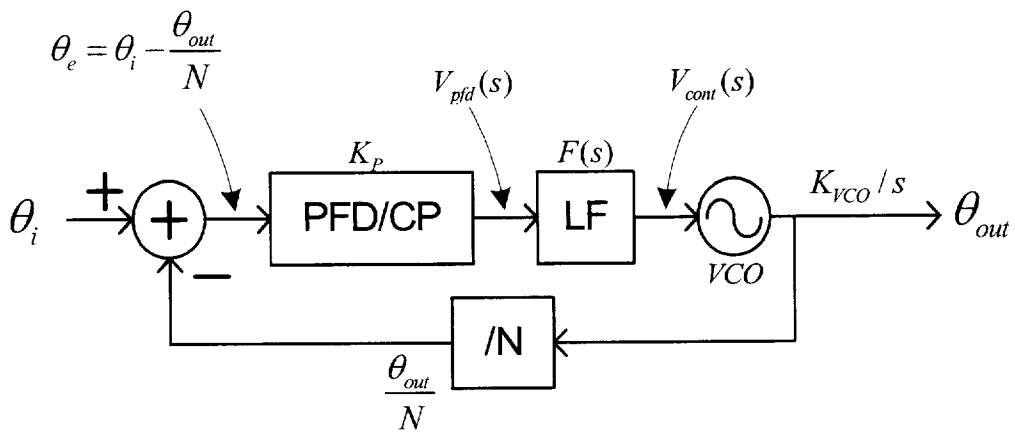


그림 2-6. 선형화된 PLL의 블록 다이어그램

라플라스에서, 이 초과위상은 다음과 같다.

$$\theta_{out} = \frac{K_{vco}}{s} V_{cont}(s) \quad (7)$$

피드백 부분의 분주기는 S-영역에서는 다음과 같이 간략화 된다.

$$\theta_{out(\div r)} = \frac{\theta_{out}}{N} \quad (8)$$

전방(forward) 전달함수  $G(s)$ 는 다음과 같이 나타낸다.

$$G(s) = \frac{\theta_{out}}{\theta_e} = \left( \frac{V_{pfd}(s)}{\theta_e} \right) \left( \frac{V_{cont}(s)}{V_{pfd}(s)} \right) \left( \frac{\theta_{out}}{V_{cont}(s)} \right) = \left( \frac{K_p F(s) K_{vco}}{s} \right) \quad (9)$$

피드백 전달함수는,

$$\frac{H(s) = \theta_{di}}{\theta_{out}} = \frac{1}{N} \quad (10)$$

로 나타낸다.

위상고정루프에서의 계루프(open loop) 함수는 다음과 같이 나타낸다.

$$G(s)H(s) = G_{OL}(s) = \frac{\theta_{out} N}{\theta_e} = \frac{K_p K_{vco} F(s)}{N_s} \quad (11)$$

계루프 전달함수에서, 위상고정루프의 교차점주파수는  $|G(s)H(s)|=1$  일 때이다. 계루프 이득이 0dB 를 교차할 때의 위상 마진(phase margin)은 충분히 확보 되어야 위상고정루프의 충분한 안정도를 가질 수 있다. 이 위상 마진은 루프필터의 구조와 값에 따라 변한다. 적절한 시스템 레벨의 디자인에 의해서, 루프 대역폭과 위상 마진은 적용 시스템에 최적화 된다.

폐루프(closed loop) 전달함수는 다음과 같다.

$$\frac{\theta_{out}}{\theta_i} = \frac{N \cdot G(s)H(s)}{1 + G(s)H(s)} = \frac{1}{H(s)} \frac{G(s)H(s)}{1 + G(s)H(s)} = \frac{N \cdot G_{OL}(s)}{1 + G_{OL}(s)}$$

$$\frac{\theta_{out}}{N\theta_i} = \frac{K_p K_{vco} F(s)}{Ns + K_p K_{vco} F(s)} \quad (12)$$

계루프에서 오차 전달함수는,

$$\frac{\theta_e}{\theta_i} = 1 - \frac{\theta_{out}}{N\theta_i} = \frac{1}{1 + G_{OL}(s)} = \frac{Ns}{Ns + K_p K_{vco} F(s)} \quad (13)$$

가 된다.

### III. 위상고정루프의 설계

#### 3.1 위상고정루프의 지터<sup>[15]</sup>

고속 통신 시스템 성능을 좌우함에 있어서 정확히 지터를 측정하는 것은 매우 중요한 사항이다. 최근에 들어서 컴퓨터의 내부 및 외부 그리고 무선 통신에 있어서 데이터 전송은 예상치를 훨씬 넘어설 정도로 급속히 증가하고 있다. 이런 이유로 고속 데이터 버스(high-speed data bus) 및 집적회로에 대한 비중이 높은 신뢰도를 부여하기 위해서는 발생하는 지터를 정밀하게 측정하고 그 원인을 분석하여 지터를 최소화하는 작업이 필수적이라 하겠다.

지터란 이상적인 위치에서 발생하여 할 시간에 관련된 이벤트가 그 이상적인 위치에서 벗어나 발생하는 것을 말한다. 지터는 시스템 전반에 걸쳐 영향을 미치며, 모든 회로구성에 있어서 신호를 발생하고 전송하며, 받는 과정에서 야기되어 발생하게 된다.

그림 3-1은 위상고정루프에서 야기되는 지터에 대해서 나타내었다. 전압제어 발진기의 입력 전압인 루프필터 전압( $V_{lpf}$ )이 흔들리게 되면, 전압제어 발진기의 출력 주파수( $F_{out}$ ) 또한 흔들리게 된다. 특히 위상고정루프가 'in-lock' 상태에서의 지터는 시스템 전반에 영향을 끼치게 된다. 위상고정루프에서 지터가 생기는 가장 큰 요인은 전하펌프에서의 전류와 밀접한 관계가 있다. 그림 2-4의 전하펌프 MOS 스위치에서 생기는 전하공유, PMOS와 NMOS의 이동도 차이, 클럭 피드스루(clock feedthrough), MOS 스위치가 동시에 'turn on' 될 때의 전류의 미스매치(mismatch), 전하펌프의 누설전류(leakage current)등

에 의해 루프필터의 전압이 일정하게 유지되지 못한다. 이러한 요인들은 지터를 야기 시킨다<sup>[10]</sup>.

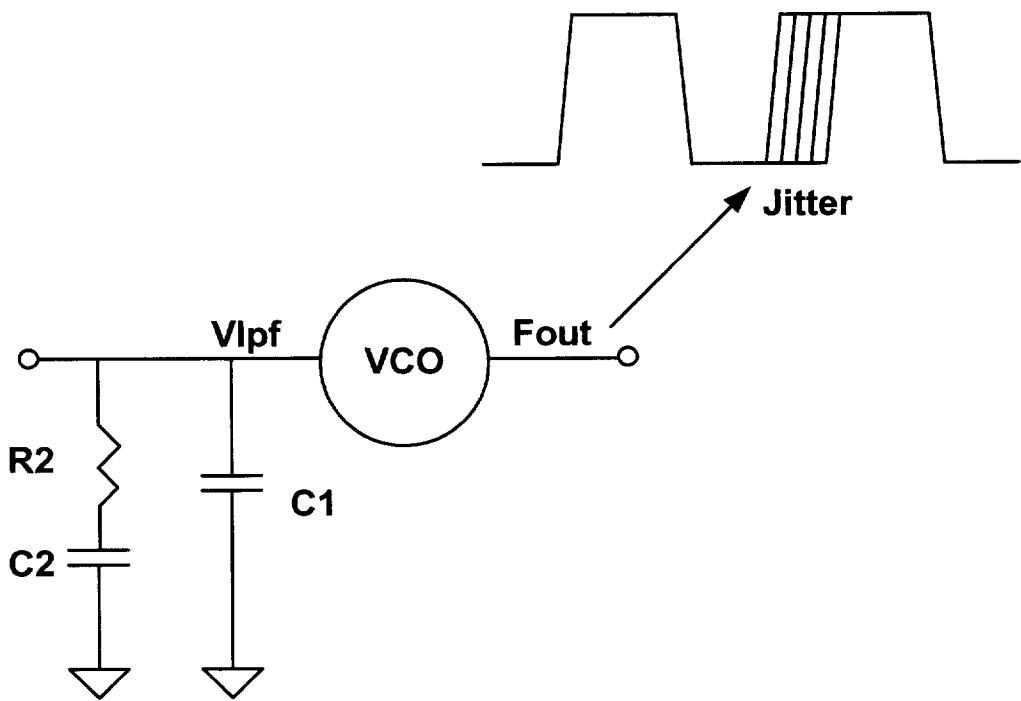


그림 3-1. 위상고정루프에서의 지터

위상고정루프에서 지터가 발생하는 또 다른 큰 이유는 위상 주파수 검출기와 전하펌프의 데드존(dead zone)문제가 있다<sup>[8]</sup>. 그림 3-2는 위상 주파수 검출기와 전하펌프를 나타내고 있다. 전하펌프에서의 UP과 DN신호는 루프필터의 커패시터로 인해 상당히 큰 전이시간을 가지고 있다. 그림 3-3의 (a)와 (b)경우를 생각해보자. 그림 (a)의 경우 위상 주파수 검출기의 입력신호 지연이 큰 경우이다. 이때 UP신호는 full logic level로 전달되고 DN신호는 위상 주파수 검출기의 리셋 문턱전압(reset threshold voltage)에 다다르면 리셋이 된다. 그러나 (b)의 경우에는 UP과 DN신호의 지연이 상당히 짧은 경우이다. 이 경우에는 UP신호가 full logic level에 이르지 못하므로 스위치  $S_1$ 을 'turn on'시키지 못하거나 잘못 지정된 시간만큼 'turn on'시킨다. 즉, A와 B사이의 지연이 UP과 DN 신호의 전이시간 정도이면 회로의 이득은 떨어지게 된다.

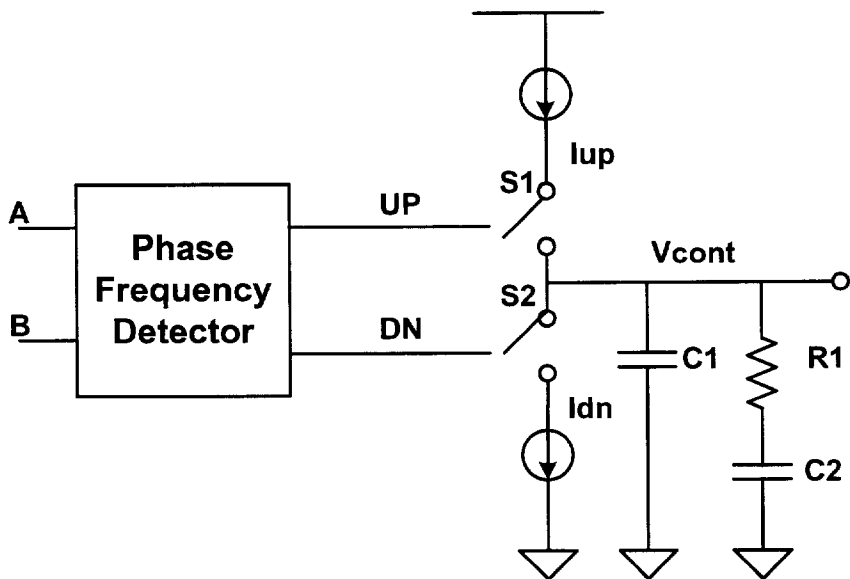


그림 3-2. 위상 주파수 검출기와 전하펌프

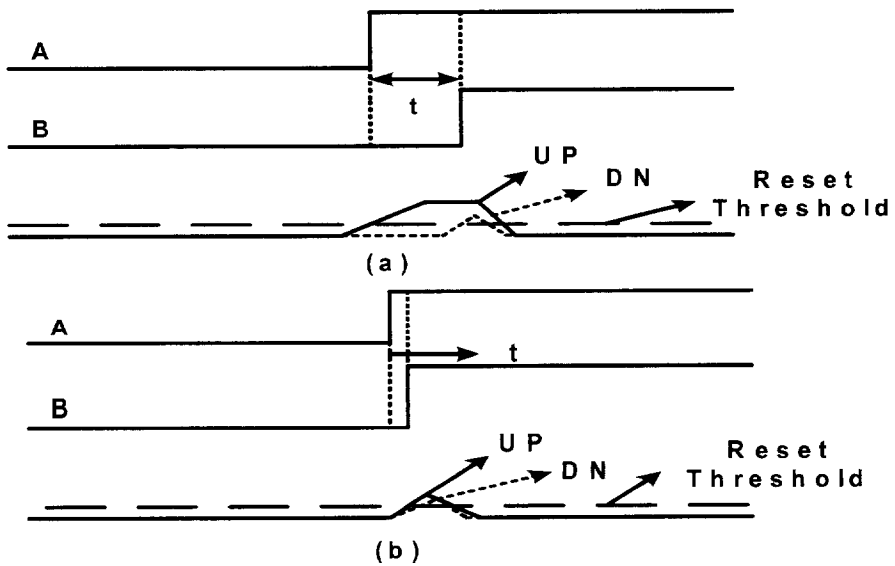


그림 3-3. 데드존을 가지는 위상 주파수 검출기와 전하펌프

## 3.2 낮은 지터의 위상고정루프 구조

### 3.2.1 Adaptive bandwidth controller와 전하펌프

그림 3-4는 제안한 위상고정루프의 블록 다이어그램을 나타내고 있다. 제안한 위상고정루프는 적응성이 있는 루프 대역폭 제어기(adaptive bandwidth controller)를 이용하였다. 위상 주파수 검출기에서 나온 UP, DN신호를 입력으로 하는 adaptive bandwidth controller를 이용하여 전하펌프에 흐르는 전류를 조절하는 방식의 구조이다. Adaptive bandwidth controller의 출력 노드(CP<sub>ctrl</sub>) 전압이 전하펌프의 제어 전압이 된다. 제안한 위상고정루프에서 쓰인 루프필터는 type-2, 3rd 필터를 이용하였다.

위상고정루프에서 대역폭( $\omega_c$ )은,

$$\omega_c = \frac{K_{vco} I_p R}{2\pi} \quad (14)$$

로 나타낸다. 여기서  $K_{vco}$ 는 전압제어 발진기의 이득,  $I_p$ 는 전하펌프에 흐르는 전류, 그리고  $R$ 은 루프필터의 저항이다. 식 (14)에 의해 위상고정루프의 대역폭은 전하펌프의 전류인  $I_p$ 와 관계됨을 알 수 있다. 즉, 전하펌프의 전류가 크면, 위상고정루프의 대역폭도 커지고, 전하펌프의 전류가 적으면, 위상고정루프의 대역폭은 작아진다.

그림 3-5는 adaptive bandwidth controller의 구조와 전하펌프를 나타낸다. 그림 (a)에서의 점선 블록 부분이 adaptive bandwidth controller 부분이다.

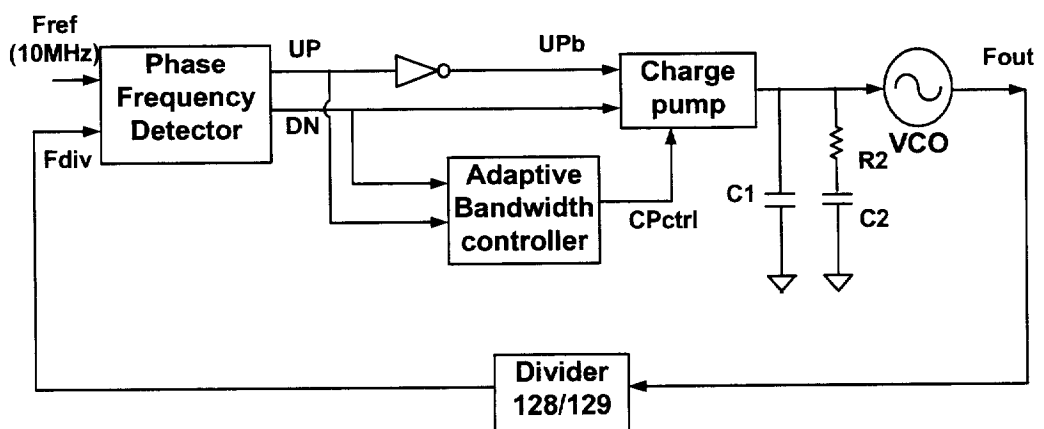
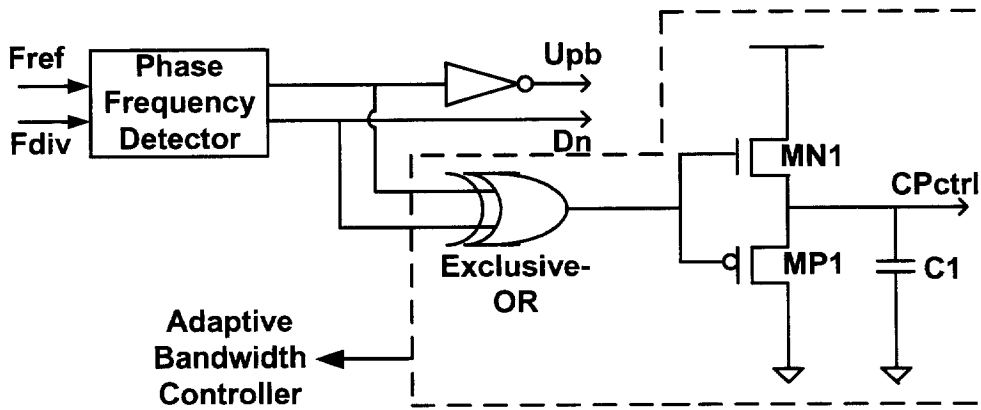
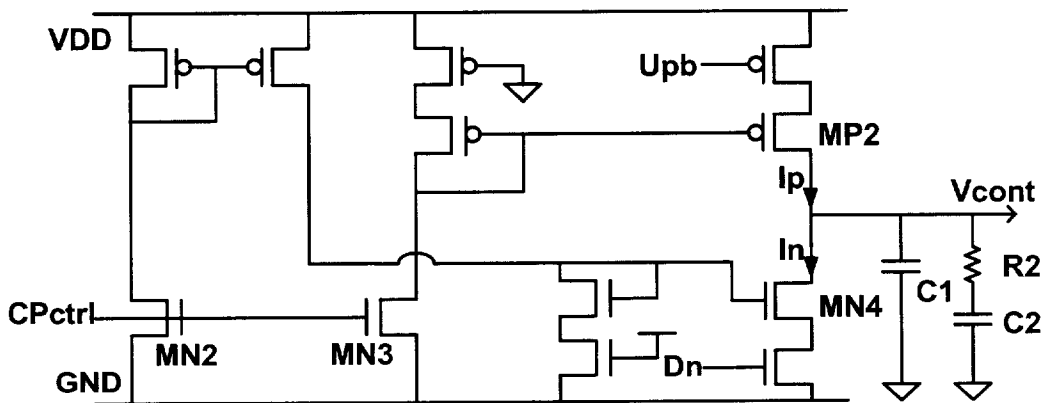


그림 3-4. 제안한 위상고정루프의 블록 다이어그램



(a)



(b)

그림 3-5. (a)adaptive bandwidth controller의 회로 (b)전하펌프의 회로

위상 주파수 검출기의 출력인 UP, DN신호는 exclusive-OR gate의 입력으로 들어간다. 위상고정루프가 'out-of-lock'상태에서는 UP, DN 신호 중에서 하나의 신호가 'high'가 된다. 그러므로 exclusive OR gate의 출력신호도 'high'가 된다. 이 신호는 트랜지스터 MN1을 'turn on' 시킨다. 즉, 위상고정루프가 'out-of-lock'상태에서는 트랜지스터 MN1이 'turn on'되어 CP<sub>ctrl</sub> 노드의 전압을 상승시킨다. 반대로 위상고정루프가 'in-lock'상태가 되면, 위상 주파수 검출기의 UP, DN신호는 모두 'low'가 된다. 또한 두 개의 'low'신호를 입력으로 하는 exclusive OR gate의 출력신호도 'low'가 된다. 이 신호는 트랜지스터 MP1을 'turn on' 시킨다. 그러므로 adaptive bandwidth controller의 출력노드(CP<sub>ctrl</sub>)의 전압이 하강하게 된다.

그림 (b)에서는 위상고정루프의 전하펌프를 나타내고 있다. 그림 (a)에서 adaptive bandwidth controller의 출력노드(CP<sub>ctrl</sub>)가 트랜지스터 MN2와 MN3의 게이트에 연결되어 있다. 트랜지스터 MN2와 MN3의 게이트 전압을 조절함으로써 전하펌프의 MP2와 MN4의 드레인에 흐르는 전류 I<sub>p</sub>와 I<sub>n</sub>을 조절한다. 위상고정루프가 'out-of-lock'상태에서는 CP<sub>ctrl</sub>노드의 전압이 상승하여 트랜지스터 MN2와 MN3의 게이트 전압이 상승하게 된다. 이는 전하펌프에 흐르는 전류 I<sub>p</sub>와 I<sub>n</sub>을 증가시켜, 루프필터 전압인 V<sub>cont</sub>전압을 상승시킨다. 반대로 위상고정루프가 'in-lock'상태에서는 CP<sub>ctrl</sub>노드의 전압이 하강하여 전하펌프에 흐르는 전류 I<sub>p</sub>와 I<sub>n</sub>을 감소시켜, 루프필터 전압인 V<sub>cont</sub>전압을 하강시킨다.

위상고정루프에서 루프필터 대역폭과 락킹 시간은,

$$Locking\ time \propto \frac{1}{\omega_p} \quad (15)$$

로 나타낸다<sup>[15]</sup>. 여기서  $\omega_p$ 는 위상고정루프의 수학적 대역폭이다. 식 (15)에서, 대역폭이 크면 락킹 시간이 짧아지고, 대역폭이 작으면 락킹 시간이 길어진다는 것을 알 수 있다.

위상고정루프에서 지터에 의해 야기되는 측파대 스퍼(sideband spur)는 전압제어 발진기의 입력 전압과 관계된다. 전압제어 발진기의 출력 주파수의 1차 측파대 스퍼(primary reference sideband spur)의 크기와 전압제어 발진기의 입력전압과의 관계를 변조지수(modulation index)  $\beta$ 로 표현하면,

$$\beta = \frac{A_m K_{vco}}{2\omega_{ref}} \quad (16)$$

로 나타낸다<sup>[10]</sup>. 여기서  $A_m$ [volt]은 전압제어 발진기 입력전압의 피크전압을,  $\omega_{ref}$ 는 위상고정루프의 기준주파수를 나타낸다. 식 (16)에서의  $A_m$ 값은 전하펌프의 전류량과 연관되어 있다. 전하펌프의 전류량이 크면  $A_m$ 값이 커지고, 전류량이 적으면  $A_m$ 값은 작아진다. 그러므로 전하펌프의 전류량을 줄이면 측파대 스퍼를 줄이는 효과를 얻을 수 있다.

식 (14)-(16)의 관계에서 전하펌프의 전류량과 대역폭과 스퍼의 관계를 정의할 수 있다. 다시 말하면, 전하펌프의 전류량이 크면, 대역폭이 늘어나고 락킹 시간이 짧아진다. 하지만 스퍼의 크기가 커지는 것을 알 수가 있다. 반대로 전하펌프의 전류량이 적으면, 대역폭이 좁아지고 락킹 시간이 길어진다. 그러나 스퍼의 크기는 작아진다.

제안한 adaptive bandwidth controller 방식은 이러한 단점을 보완한 구조이다. 위상고정루프가 'out-of-lock'상태에서는 전하펌프의 전류량을 증가시켜 대

역폭을 늘린다. 그러므로 락킹 시간이 짧아진다. 위상고정루프가 'in-lock' 상태에서는 전하펌프의 전류량을 감소시켜 대역폭을 줄인다. 그러므로 측파대 스퍼의 크기를 줄인다<sup>[5]</sup>.

전하펌프의 최대, 최소 전류량은 전하펌프 트랜지스터들의 사이징(sizing)과 adaptive bandwidth controller의 출력노드( $CP_{ctrl}$ ) 전압에 의해 결정된다. 제안한 위상고정루프에서는 'in-lock'상태가 된 후에도  $CP_{ctrl}$ 노드의 전압이 트랜지스터  $MP1$ 의 문턱전압 이하로는 내려가지 않아 일정한 전류를 계속 흐르게 한다. 위상고정루프의 전하펌프가 'in-lock'상태에서 전류가 흐르지 않는다면, 잡음에 의해 락(lock)이 풀렸을 경우, 다시 락킹(locking)으로 가는 반응시간이 느리게 된다. 또한 위상고정루프의 대역폭이 없으므로, 가장 큰 잡음의 원천인 전압제어 발진기의 잡음이 그대로 나타나게 된다. 이러한 단점들을 보완하기 위해 제안한 위상고정루프에서는 일정한 양의 전류를 'in-lock'상태에서 꾸준히 흐르게 한다.

### 3.2.2 위상고정루프 블록

그림 3-6은 제안한 위상고정루프의 전압제어 발진기를 나타내고 있다. 제안한 전압제어 발진기는 입력단에 전압제어 저항(voltage controlled resistor:VCR)을 사용한다. 전압제어 저항은 입력되는 제어전압( $V_{control}$ )에 의해 선형적인 전류의 변화를 얻을 수 있다. 그림에서 전압제어 저항의 특성을 나타내었다. 그림에서는 전압제어 발진기의 입력단(VCR)과 첫 번째 단을 나타내었다. 실제로 위상고정루프에서 기가 헤르츠(GHz)대역을 얻기 위해서 3개의 단을 붙여서 사용하였다. 또한 그림에서 전압제어 발진기의 주파수 출력 곡선을 나타내었다.

그림 3-7은 위상 주파수 검출기를 나타낸다. 그림 (a)에 D-플립플롭의 구조를 나타내었다. 전체적인 위상 주파수 검출기는 그림 (b)에서처럼 2개의 D-플립플롭과 하나의 NAND gate로 이루어진다. NAND gate의 출력은 D-플립플롭의 리셋신호가 된다. 사용한 위상고정루프는 리셋신호와 이 신호가 인버터를 지난 리셋바(reset bar:resetb)신호를 이용하여 리셋 지연을 줄이는 구조이다. 하지만 앞에서 언급한 위상고정 루프의 데드존 문제가 일어날 수 있으므로, NAND gate의 출력에 버퍼를 추가하여 리셋 신호에 지연을 주는 것이 특성에 좋은 결과를 보인다.

그림 3-8은 E-TSPC(expanded true single phase clock)를 이용하여 분주비가 128/129인 dual-modulus prescaler를 나타낸다. 그림 (a)는 전압제어 발진기의 출력 주파수( $F_{out}$ )를 입력으로 하는 부분인 divided-by-2/3 이다. 제안한 분주기는 고속의 동작을 위해 D-플립플롭 부분을 E-TSPC 구현하였다. 그림 (a)에스이 MC신호에 'high'가 들어가면 /2의 분주비를, 'low'가 들어가면 /3의

분주비를 가진다. 그림 (b)는 프리스케일러(prescaler)와 D-플립플롭을 이용한 128/129 분주기를 나타내고 있다. 프리스케일러 블록을 제외한 /64 분주기는 고속의 동작 보다는 작은 글리치(glitch)와 저속의 동작에 적합한 glitch free TSPC로 구성되어 있다.

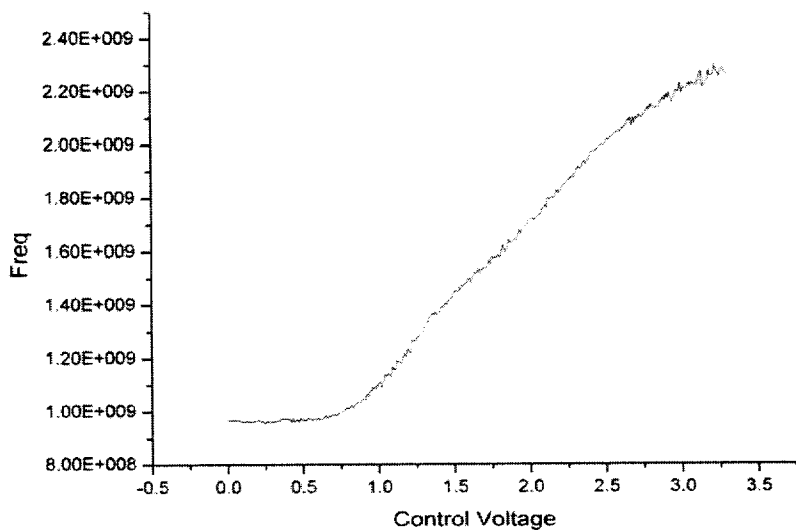
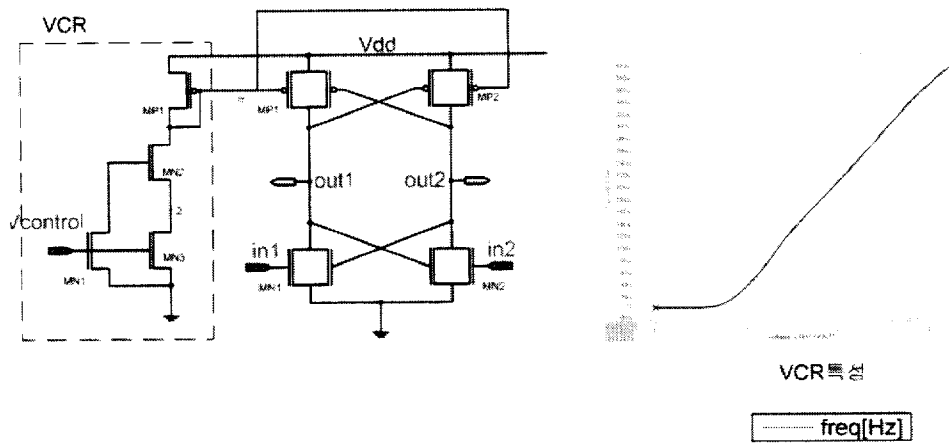
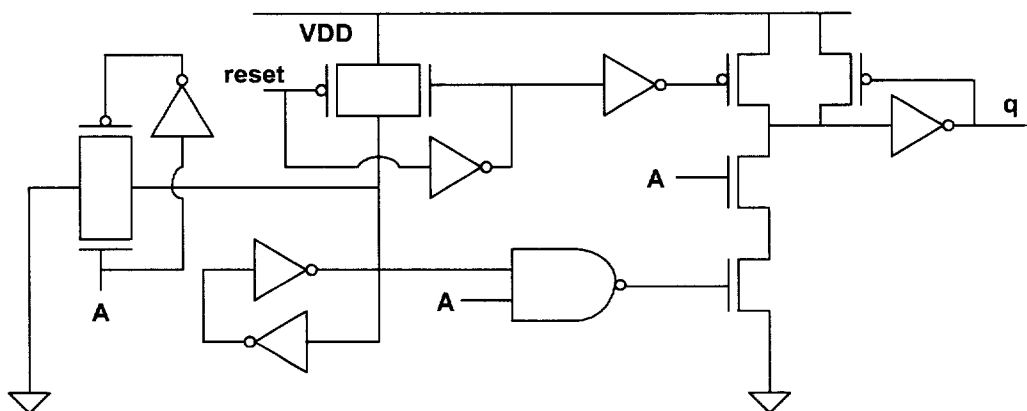
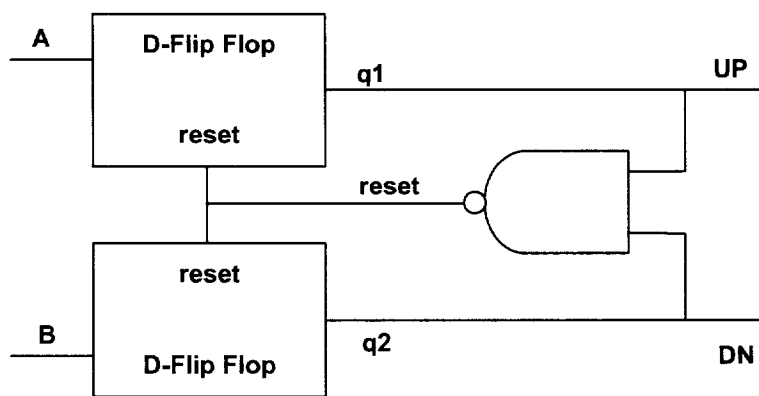


그림 3-6. 전압제어 발진기의 회로와 특성 곡선



(a)



(b)

그림 3-7. (a)D-플립플롭과 (B)위상 주파수 검출기

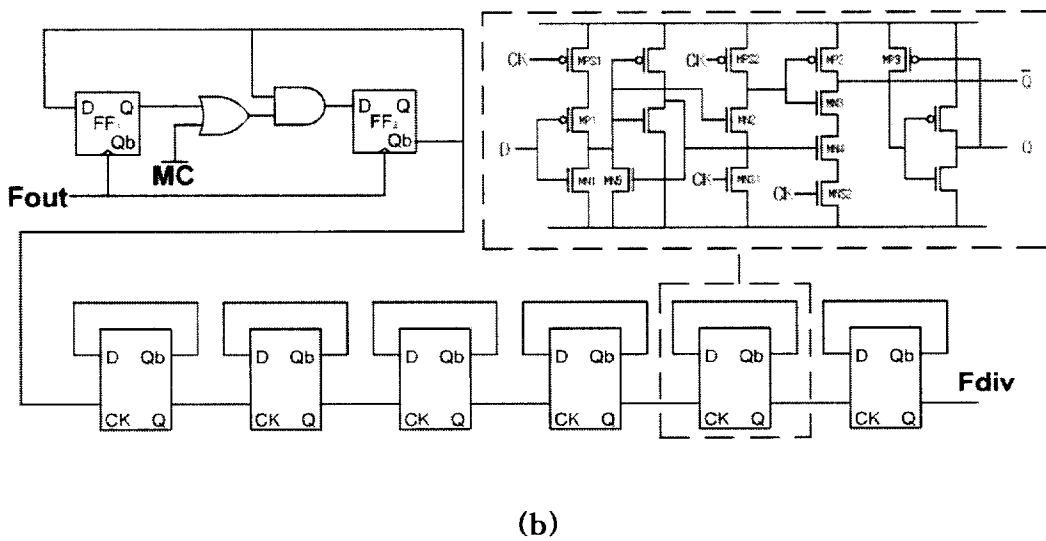
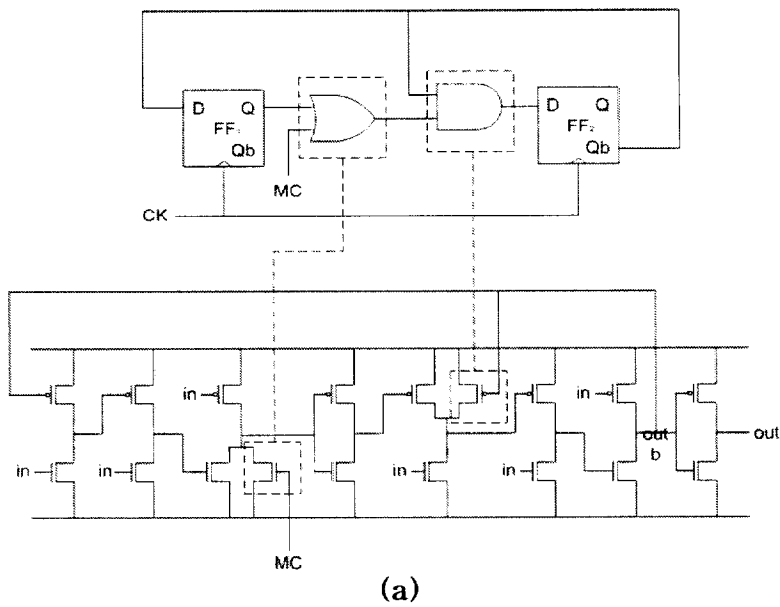


그림 3-8. (a)분주기의 프리스케일러,

(b)프리스케일러와 D-플립플롭을 이용한 128/129 분주기

### 3.3 루프필터의 설계<sup>[13-16]</sup>

그림 3-9는 type2 3<sup>rd</sup> 루프필터를 기반으로 한 위상고정루프를 나타내고 있다.  
여기서 루프필터의 전달함수,  $F(s)$ 는,

$$F(s) = \frac{sR_2C_2 + 1}{s^2(C_1C_2R_2) + s(C_1 + C_2)} \quad (17)$$

와 같이 나타낸다.

zero와 관련한 시정수  $\tau_2 = R_2C_2$ 과, pole과 관련한 시정수  $\tau_1 = R_2\left(\frac{C_1C_2}{C_1 + C_2}\right)$ 로 표현하면,  $F(s)$ 는 다음과 같이 된다.

$$F(s) = \frac{(1 + s\tau_2)}{sC_1(1 + s\tau_1)} \frac{\tau_1}{\tau_2} \quad (18)$$

식 (11)에 위의 식 (19)의  $F(s)$ 를 대입하면,

$$G(s)H(s) = \frac{K_P K_{VCO}}{Ns^2 C_1} \frac{\tau_1}{\tau_2} \quad (19)$$

로 나타낸다.

식 (19)는 계루프 전달함수를 물리적 루프 변수들과 관련지어 표현한 것이다.

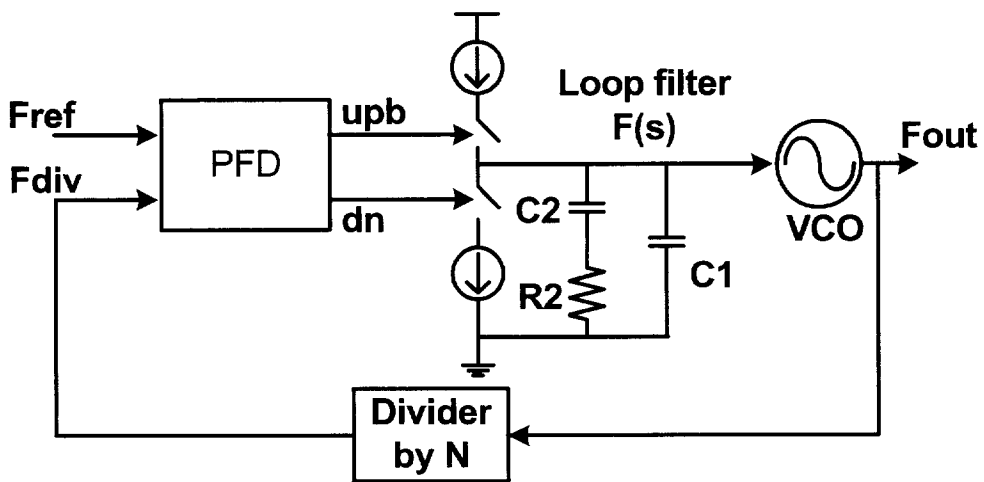


그림 3-9. type-II 3<sup>rd</sup> 위상고정루프

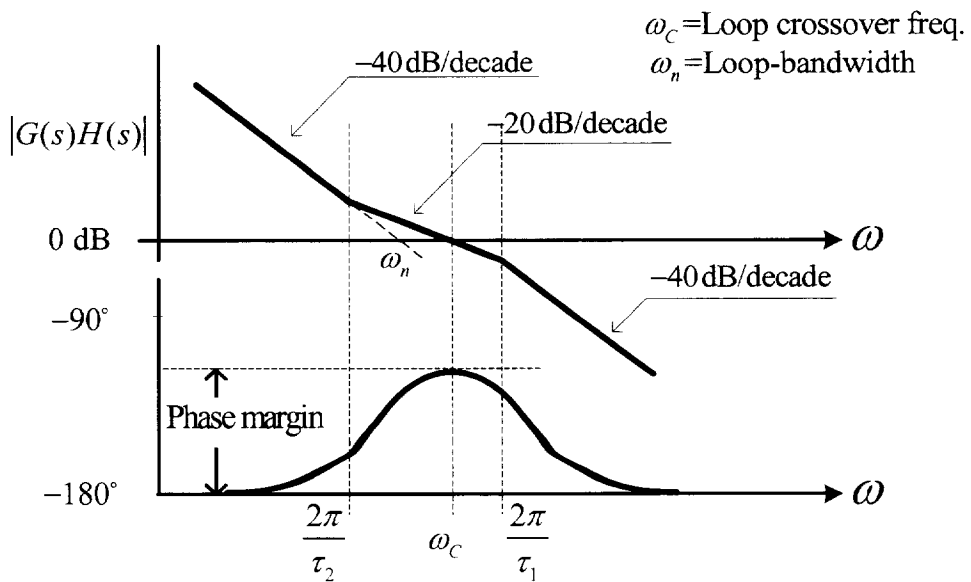


그림 3-10.  $G(s)H(s)$ 에 대한 보드선도

그림 3-9는 계루프 보드선도(bode plot)를 나타내고 있다. 보드 선도에서 저주파수영역에서는 전압제어 발진기와 전하펌프의 두 개의 적분기가 있으므로 -40dB/decade 의 기울기를 가지게 된다. 차단주파수( $\omega_c$ )를 구하기 위해,  $s=j\omega$ 를 이용하면,

$$G(s)H(s)|_{s=j\omega} = \frac{-K_p K_{vco}}{N\omega^2 C_1} \left\{ \frac{(1+j\omega \cdot \tau_2)}{(1+j\omega \cdot \tau_1)} \frac{\tau_1}{\tau_2} \right\} \quad (20)$$

로 나타낸다.

그 때의 위상은 다음과 같이 된다.

$$\phi(\omega) = \text{atan}(\omega \cdot \tau_2) - \text{atan}(\omega \cdot \tau_1) + 180^\circ \quad (21)$$

그림 3-10에서 볼 수 있듯이, 최대 위상 마진( $\phi_{\max}$ )은 계루프 위상응답의 기울기가 0이 될 때이고 차단주파수( $\omega_c$ )의 위치가 된다. 따라서 식 (21)을 미분하면,

$$\frac{d\phi(\omega)}{d\omega} = \frac{\tau_2}{1+(\omega \cdot \tau_2)^2} - \frac{\tau_1}{1+(\omega \cdot \tau_1)^2} = 0 \quad (22)$$

과 같이 나타낸다.

식 (22)을 풀어서  $\tau_1$ 과  $\tau_2$ 에 관련한 차단주파수( $\omega_c$ )를 구하면,

$$\omega_c = \frac{1}{\sqrt{\tau_1 \cdot \tau_2}} \quad (23)$$

로 나타낸다.

$\omega_c$ 의 주파수에서 계루프 전송함수는 0dB를 통과하며, 최대의 위상 마진을 가지게 된다. 결론적으로, 루프필터의 설계 시 사용되는 소자의 값들은 다음과 같다.

$$C_1 = \frac{K_p K_{vco}}{N \omega_c^2} \frac{\tau_1}{\tau_2} \left\{ \frac{\sqrt{1 + (\omega_c \tau_2)^2}}{\sqrt{1 + (\omega_c \tau_1)^2}} \right\} \quad (24-1)$$

$$R_2 = \frac{\tau_2}{C_2} \quad (24-2)$$

$$C_2 = C_1 \left( \frac{\tau_2}{\tau_1} - 1 \right) \quad (24-3)$$

위상고정루프에서의 특성을 나타내는 변수로써, 루프필터와 연관된 자연주파수( $\omega_n$ )와 감쇠율( $\zeta$ )은,

$$\omega_n = \sqrt{\frac{1}{N} \frac{K_{vco} I_p}{2\pi C_2}}, \quad \zeta = \frac{\omega_n \tau_2}{2} \quad (25)$$

와 같이 나타낸다.

$\zeta$ 의 함수로 위상 마진과 계루프 전송함수는,

$$|G(s)H(s)| = \frac{\sqrt{1 + 4\zeta^2 (\omega/\omega_n)^2}}{(\omega/\omega_n)^2} \quad (26)$$

로 나타낸다.

이 때의 위상 마진은,

$$\phi = \text{atan}(2\zeta\sqrt{2\zeta^2 + \sqrt{4\zeta^4 + 1}}) \quad (27)$$

로 나타낸다.

위상고정루프의 루프필터 설계 시, 위상 마진의 최소값은 45도로 간주하고,  $\zeta$ 는 0.9일 때 최적의 최고 성능을 나타낸다. 루프 대역폭은 사이드밴드를 줄이기 위해  $f_{ref}/100$ 에서  $f_{ref}/10$ 까지의 범위내로 설정하는 것이 이상적이다. 루프 대역폭을 결정하는 것은 위상고정루프 설계 시 가장 어려운 부분 중 하나이다. 루프 대역폭은 위상 마진과 락킹 시간, 안정도등과 깊게 연관되어 있을 뿐 만 아니라, 위상고정루프의 잡음과도 깊은 연관을 지니고 있다.

그림 3-11은 위상고정루프에서의 루프 대역폭과 잡음에 대해서 나타내고 있다. 위상고정루프에서의 잡음은 크게 전압제어 발진기 잡음과 전압제어 발진기를 제외한 구성요소의 잡음(in-band noise)으로 나눌 수 있다. 이 두 가지 잡음은 루프 대역폭에 크기에 서로 상반되는 특성을 보인다. 루프 대역폭이 좁으면 in-band 잡음이 작아지나, 전압제어 발진기의 잡음은 커진다. 반대로 루프 대역폭이 넓으면 in-band 잡음이 커지게 되나, 전압제어 발진기의 잡음은 작아진다. 그러므로 위상고정루프의 루프 필터 설계 시에는 두 잡음이 최소가 되는 대역폭을 찾아 루프 대역폭을 설정하는 것이 중요하다.

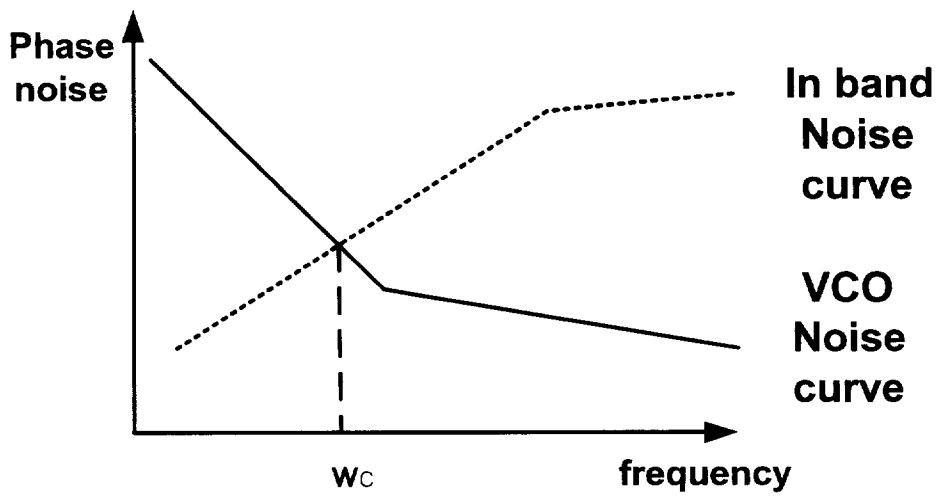


그림 3-11. 주파수에 따른 in-band 잡음 곡선과 VCO 잡음 곡선

## IV. 시뮬레이션 결과 및 레이아웃

### 4.1 시뮬레이션 결과

그림 4-1은 제안한 위상고정루프의 HSPICE 시뮬레이션 결과이다. 그림 3-5(b)에서 살펴보면, 그림 4-1의 (a)는 전압제어 발진기의 입력전압인  $V_{cont}$ , (b)와 (c)는 전하펌프의 전류인  $I_p$ 와  $I_n$ 을 나타낸다. 위상고정루프의 락킹 시간은 약  $50\mu s$ 이며, 'out-of-lock'상태에서는  $400\mu A$ , 'in-lock'상태에서는  $80\mu A$ 의 전류가 전하펌프에 흐른다.

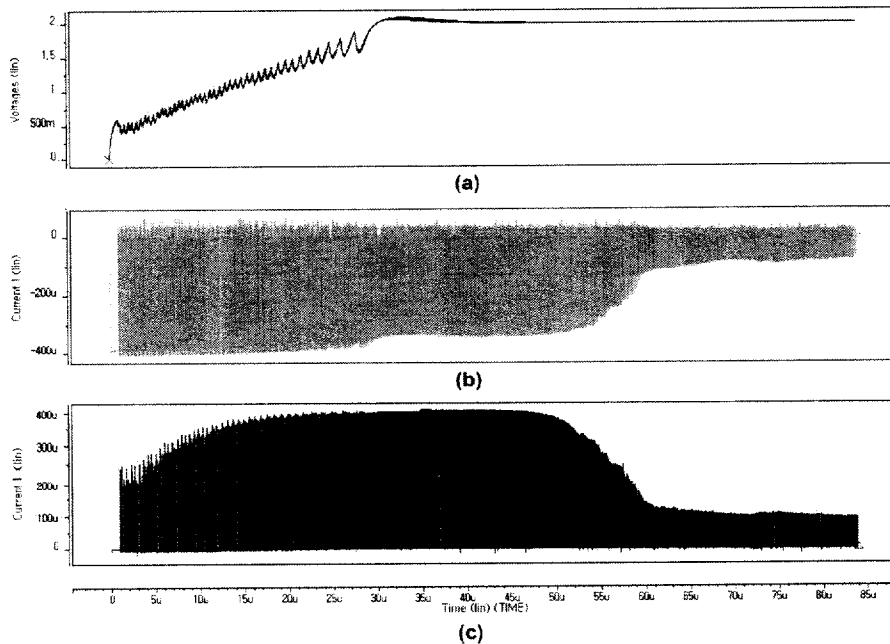


그림 4-1. (a)VCO의 입력전압과 전하펌프의 전류 (b) $I_p$ , (c) $I_n$

그림 4-2는 위상고정루프가 'in-lock'상태에서의 기준주파수( $F_{ref}$ ), 분주기의 출력주파수( $F_{div}$ ), 그리고 전압제어발진기의 출력주파수( $F_{out}$ )를 나타내고 있다. 입력인 기준주파수는 10MH이고, 전압제어 발진기의 출력 주파수는 1.28GHz, 분주비는 128/129이다.

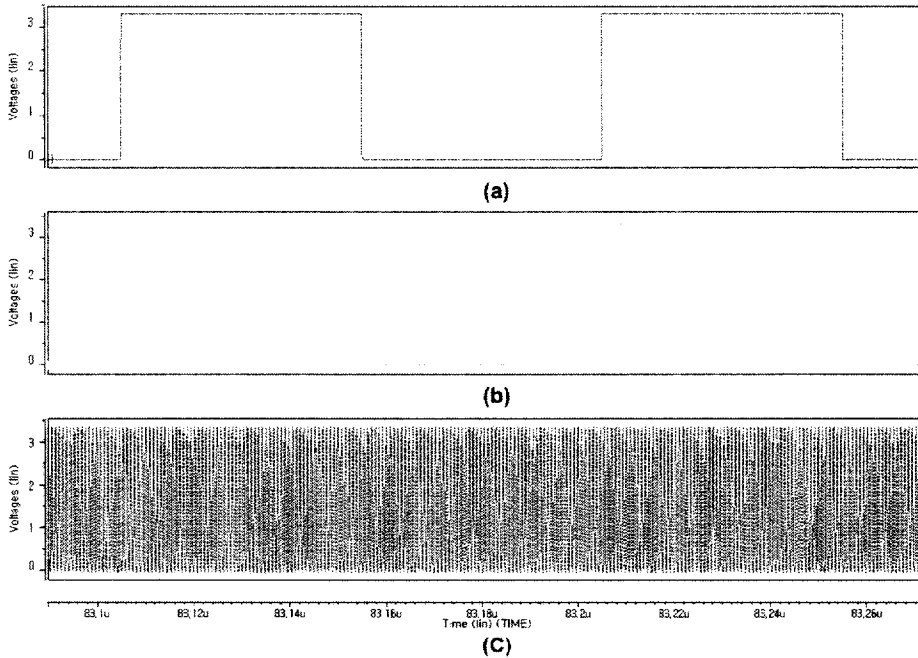


그림 4-2. (a)기준주파수, (b)분주기의 출력주파수, (c)VCO의 출력주파수

그림 4-3은 앞선 그림 4-1에서  $50\mu\text{s}$ 이 후의 결과를 확대한 그림이다. 그림에서 나타난 것과 같이 전하펌프의 전류가 줄어드는 구간인  $60\mu\text{s}$  이후로 전압 제어 발진기 입력전압의 변동이 상당히 작아지는 것을 볼 수가 있다. 이 때의 피크전압은 약  $60\mu\text{V}$ 이다. 식 (16)을 이용하여 전압제어 발진기 출력주파수의 1차 측파대 스퍼를 계산하면 약  $-80\text{dBc}$ 이다.

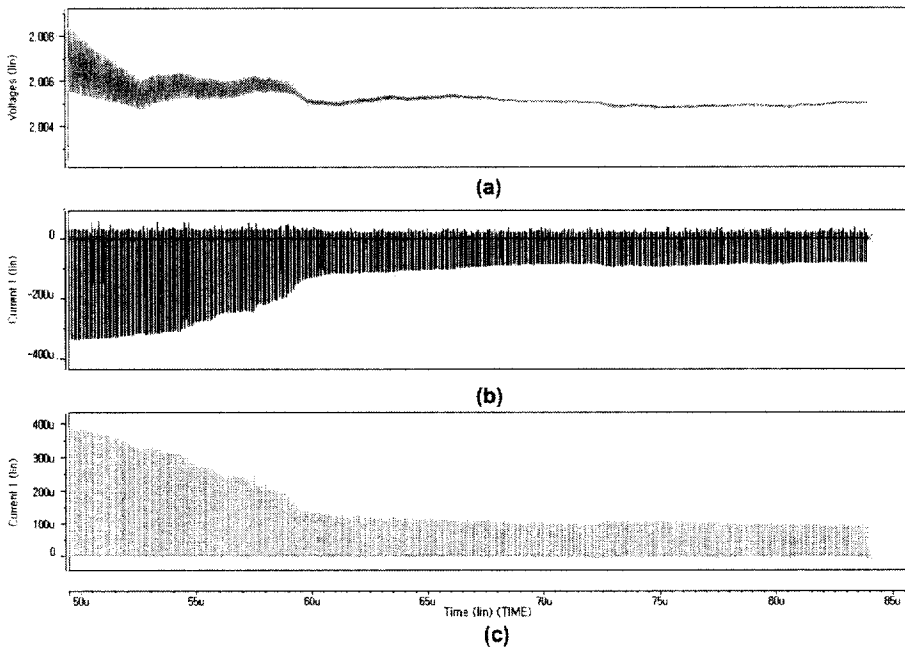


그림 4-3. 확대를 통한 (a)VCO의 입력전압, 전하펌프의 전류 (b) $I_p$ , (c) $I_n$

## 4.2 레이아웃

그림 4-4는 제안한 위상고정루프의 레이아웃을 나타내고 있다. 레이아웃 툴(layout tool)인 Mentor IC station을 이용하여 구현하고, 라이브러리(library)는 하이닉스(hynix) 0.35 $\mu$ m공정을 이용하였다. 구현된 레이아웃은 Mentor의 calibre를 통하여 DRC와 LVS를 통해 검증하였다.

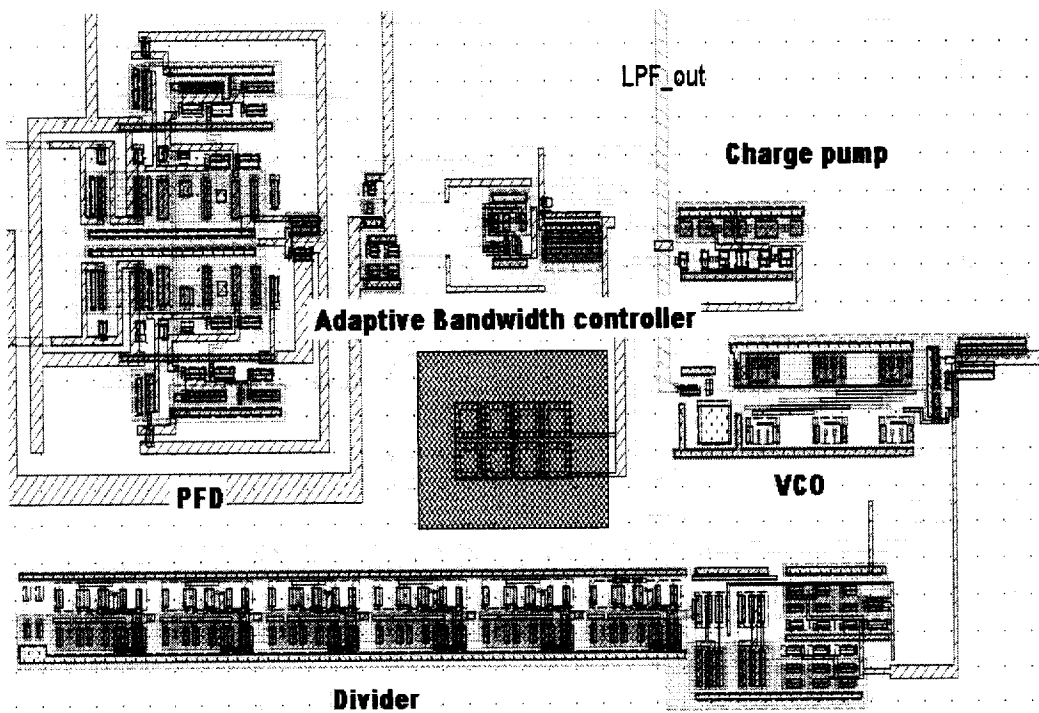


그림 4-4. 제안한 위상고정루프의 레이아웃

## V. 결 론

제안한 위상고정루프는  $0.35\mu\text{m}$  CMOS공정을 이용하여 칩으로 제작하였다. 시뮬레이터는 HSPICE를 이용하였고, 레이아웃은 Mentor사의 IC Station을 이용하여 수행하였다. 위상고정루프의 동작영역은 1.28GHz대, 전원전압은 3.3v이다. 연구를 수행한 위상고정루프는 락킹 상태에 따라 전하펌프에 흐르는 전류의 양을 바꾸어 루프 대역폭을 조절하는 구조이다. 이러한 구조의 위상고정루프는 서로 trade-off관계인 락킹 시간과 지터를 동시에 만족시키는 장점을 가지고 있다. 또한 루프 필터의 대역폭을 변화시키기 위한 스위치를 사용하지 않기 때문에 스위치 잡음이 없고, 위상고정루프가 락킹이 된 후에도 전하펌프에 최소한의 전류가 일정한 값을 계속 유지하고 있는 장점이 있다.

시뮬레이션 결과를 통해 계산된 전압제어 발진기 출력의 1차 측파대 스퍼의 크기는 약  $-80\text{dBc}$ 이며, 락킹 시간은  $50\mu\text{s}$ 이다. 이는 제안한 위상고정루프가 빠른 락킹 시간과 낮은 지터값을 동시에 만족하는 것을 보인다. 이러한 구조의 위상고정루프는 손쉽게 루프대역을 조절할 수 있고, 이를 통해 전압제어 발진기 출력의 지터를 줄일 수 있으므로, 비교적 잡음 성능이 좋지 않은 전압제어 발진기를 이용하더라도 이동 통신용 주파수를 합성할 수 있다.

앞으로 수행되어야 할 과제로는, 전하펌프의 최대, 최소 전류값을 다양하게 변화시켜 더욱 낮은 지터값과 빠른 락킹 시간을 갖는 위상고정루프의 설계에 대한 연구가 요구된다. 특히 위상고정루프의 in-band 잡음과 전압제어 발진기의 잡음이 서로 최소가 되는 차단주파수를 설정하는 연구도 수행되어야 한다. 현재 설계한 위상고정루프의 칩 측정 중에 있으며, 측정 결과에 나타나는 문제점과 그에 대한 원인분석, 해결방안 등에 대한 연구가 요구된다.

## 참 고 문 헌

- [1] W. P. Robins, Phase Noise in Signal Sources, 2nd ed, ser. 9. London, U.K.: Inst. Elec. Eng., 1996.
- [2] Joonsuk Lee, and Beomsup Kim, "A low-noise fast lock phase-locked loop with adaptive bandwidth control," IEEE J, Solid-State Circuits., vol. 35, pp. 1137-1145, Aug. 2000.
- [3] M. Mizuno et al., "A 0.18 $\mu$ m CMOS hot-standby phase-locked loop using a noise immune adaptive gain voltage-controlled oscillator," ISSCC Dig. Tech. Papers, pp. 268-269, Feb. 1995.
- [4] G. Roh, Y. lee, and B. kim "An optimum phase-acquisition technique for charge-pump phase-locked loops," IEEE Trans. Circuit Syst. II, vol. 44, pp. 729-740, Sept. 1997.
- [5] Cicero S. Vaucher, "An Adaptive PLL Tuning System Architecture Combining High Spectral Purity and Fast Settling Time," IEEE J, Solid-State Circuits., vol. 35, NO. 4, pp. 490-502, April 2000.
- [6] 박홍준, "CMOS 아날로그 집적회로 설계 (하)," 시그마프레스, pp. 949-1121, 1999.
- [7] William F. Egan, "Frequency Synthesis by Phase Lock," Wiley Inter Science, New York, Second Edition, pp. 35-69, 2000.
- [8] Bram De Muer and Michiel Steyaert, "CMOS FRACTIONAL-N SYNTHESIZERS Design for High Spectral Purity and Monolithic Integration," Kluwer Academic Publishers, London, pp. 13-50. 2003.
- [9] Behzad Razavi, "RF microelectronics," Prentice Hall, pp. 259-265, 1998.
- [10] Tai-Cheng Lee and Behzad Razavi, "A Stabilization technique for Phase-Locked Frequency Synthesizers," IEEE, J, Solid-State Circuits., vol. 38, NO.6, pp. 888-894, June 2003.
- [11] Howard C. Yang, Lance K. Lee, and Ramon S. co, " A Low Jitter 0.3-165 MHz CMOS PLL Frequency Synthesizer for 3 v/5 v Operation," IEEE, J, Solid-State Circuits., vol. 32, NO. 4, pp. 582-586, April 1997.
- [12] Thomas H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits," Cambridge University Press, pp. 518-519, 1998.
- [13] "An analysis and Performance Evaluation of a Passive Filter Design Techniques for charge pump PLL's," Application Note 1001, National Semiconductor Corp., July 2001.

- [14] F.M GARDNER, Phaselock techniques, John Wiley & Sons, New York, 1979.
- [15] Dean Banerjee, "PLL Performance, Simulation, and Design," National Semiconductor Corp., second edition, 1998.
- [16] John G. Maneatis, "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques," IEEE. J, Solid-State Circuits., vol. 31, NO. 11, pp. 1723-1732, NOVEMBER 1996.