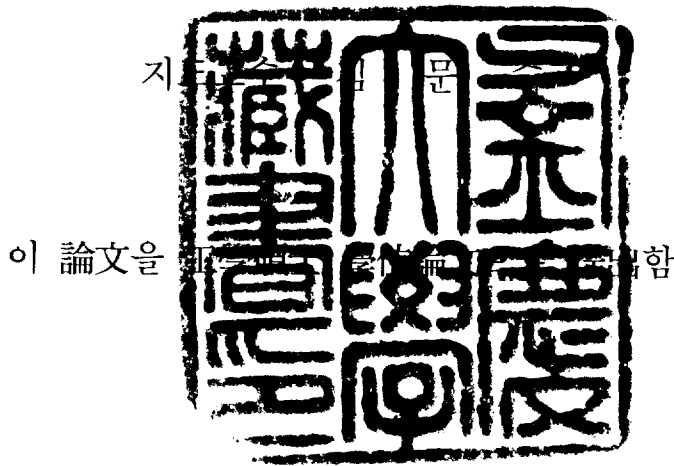


공학석사 학위논문

스위치드 커패시터를 이용한 저역 통과 필터의 실현에 관한 연구

A Study on the implementation of the
low pass filter using switched capacitor



2002년 2월

부경대학교 산업대학원

전 자 공 학 과

류 봉 현

류봉현의 공학석사 학위논문을 인준함

2001 년 12 월 15 일

주 심 공학박사 이명교



위 원 공학박사 허만탁



위 원 공학박사 김문수



목 차

Abstract

1. 서 론	1
2. 이론 및 동작원리	2
2-1. FET의 동작	2
2-2. 연산증폭기의 원리	4
2-3. 적분기의 원리	7
3. 스위치드 커패시터 필터의 원리	10
3-1. 동작원리	10
3-2. 필터의 실현	16
4. 저역통과 필터의 실현	23
4-1. RC 저역필터의 실현	23
4-2. MOSFET 스위치드커패시터 필터	29
4-3. 컴퓨터 시뮬레이션	34
5. 결 론	40
참고문헌	41

Abstract

Study on the implementation of the low pass filter using
switched capacitor
Ryou, Bong-Hyun

Dept. of Electronic Engineering
Graduate School of Industry
Pukyong National University

The circuit that allows the low frequency of the input signal to pass and removes the noise of the high area is called low pass filter. The switched capacitor filter has been studied to compensate for the weakness of the existing analog filter circuit. The function of the filter in the switched capacitor filter can be improved further just by using analog switch, capacitor, and OP-Amp and it can also be easily used in minimization, light-weightization, and integration.

In this study, the important point of this filter is that it can change the characteristics of the filter just by changing the controlling frequency without any change in the hardware. When this kind of filter was designed and its characteristics were examined, the changing characteristics of the filter were observed as predicted in the theory. By the computer simulation, when its movement features were measured, the same movement as that of the constituted circuit was identified.

1. 서 론

입력신호의 저주파 부분을 통과시키며 고역잡음 등을 제거하는 회로를 저역 통과 필터라 한다.^[1] 스위치드 커패시터 필터는 종래에 사용되어져 오던 아날로그 필터회로의 단점을 보완하기 위해 계속하여 연구되고 있다.^[2] 스위치드 커패시터 필터는 아날로그 스위치, 커패시터, OP-Amp 만을 이용하여 필터의 기능을 한층 더 향상시킬 수 있으며 소형, 경량화 및 집적화에도 용이하게 이용되어진다.^[5] 스위치드 커패시터 회로의 커패시터 양단에 스위칭 주파수를 교대로 접속시킬 때 등가 저항이 구현되어진다. 이러한 스위치드 커패시터 회로기법을 능동 RC 필터에 적용한 것이 스위치드 커패시터 필터이다.^[3] 저항 대신에 등가적으로 R의 기능을 갖는 스위치드 커패시터 회로를 이용하여 효율적인 능동필터를 실현 할 수 있다. 이러한 회로소자를 이용하여 저전력의 안정되고 정확한 필터특성을 얻을 수 있다.

본 논문에서는 스위치드 커패시터 필터를 실현하는 방법으로 능동 RC 필터에서 R을 스위치드 커패시터 등가회로로 대체하였다. 이때 등가저항 R은 제어주파수에 의하여 가변하며, 주파수가 높아질수록 감소한다. 이러한 필터는 하드웨어의 변화없이 제어주파수만을 변화함으로써 필터의 특성을 용이하게 변화시킬 수 있다는 장점을 갖는다. 이러한 필터를 실제에 구성하여 그특성을 측정하였으며 이론과 같이 필터특성이 가변함을 알 수 있었다. 컴퓨터 시뮬레이션을 이용하여 동일한 회로를 실현하여 그 동작특성을 측정한바 구성된 회로와 동일한 동작을 하고있음을 확인하였다.

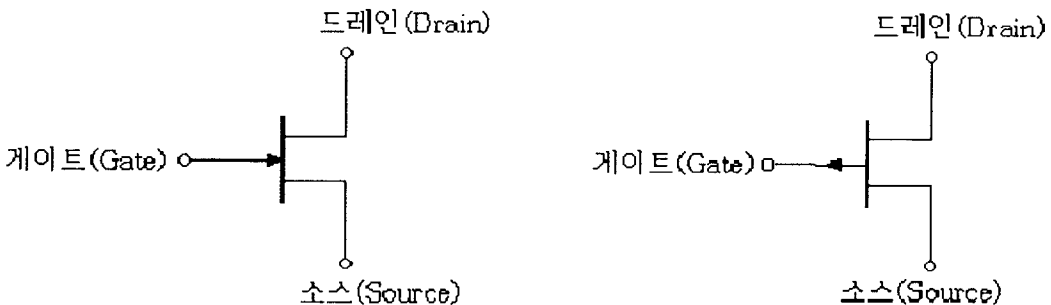
2. 이론 및 동작원리

2-1 FET의 동작

2-1-1 전기장 효과 트랜지스터

보통의 트랜지스터를 양극성 접합 트랜지스터(BJT : bipolar junction transistor)라 한다. 양극성 접합 트랜지스터는 반도체의 전자, 정공 등 다수 반송자와 소수 반송자를 모두 사용하는 반면, 이들 중 한 가지만을 반송자로 사용하는 단극성 트랜지스터 (unipolar transistor)가 있다. 단극성 트랜지스터에는 접합형 전기장 효과 트랜지스터(J FET : junction field effect transistor)와 금속 산화물 반도체 전기장효과 효과 트랜지스터(MOS FET : metal oxide semiconductor FET)가 있다.

FET는 게이트(gate), 소스(source), 드레인(drain)의 세 단자를 가지고 있고, 게이트와 소스 사이의 전압으로 드레인과 소스 사이의 출력 전류를 제어하는 전압 제어 소자이다. 그림 1은 전기장 효과 트랜지스터(FET)의 P채널과 N채널의 세 단자를 비교한 것이다.



(a) N-채널 JFET 기호

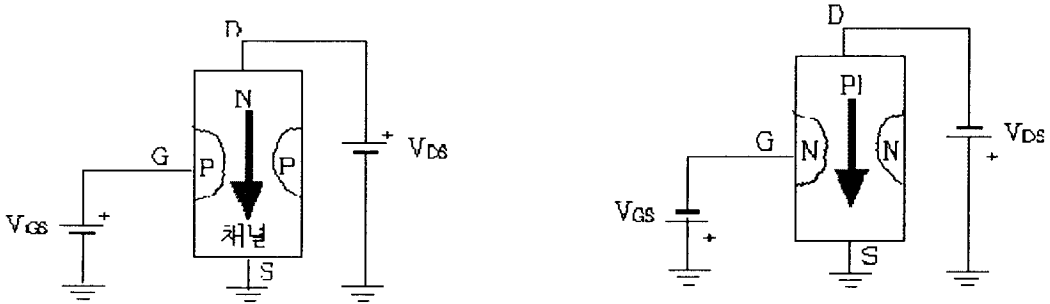
(b) P-채널 JFET 기호

그림 1 JFET의 기호

2-1-2 접합형 FET

FET는 BJT에 비해서 매우 높은 입력 저항을 가진다. 접합형 전기장 효과 트랜지스터(JFET)는 채널의 전류를 역방향 바이어스에 의한 공핍층의 두께로 조절한다. 여기서 채널 (통로, channel)은 전류가 흐르는 통로를 말하며, JFET의 구조에 따라 n채널과 p채널로 구분된다.

(1) 구조 및 기호



(a) N채널 JFET 구조 및 전원회로 (b) P채널 JFET 구조 및 전원회로

그림 2 JFET의 기본구조

그림 2는 n, p채널 JFET의 기본구조이다. n채널 양단에 각각 단자가 부착되어 있는데, 위쪽 끝이 드레인이고 아래쪽 끝이 소스이다. 두 p형 반도체 부분은 채널을 형성하기 위해 n형 반도체 내로 확산되어 있으며, 확산된 p형 반도체 부분은 게이트 단자에 연결된다.

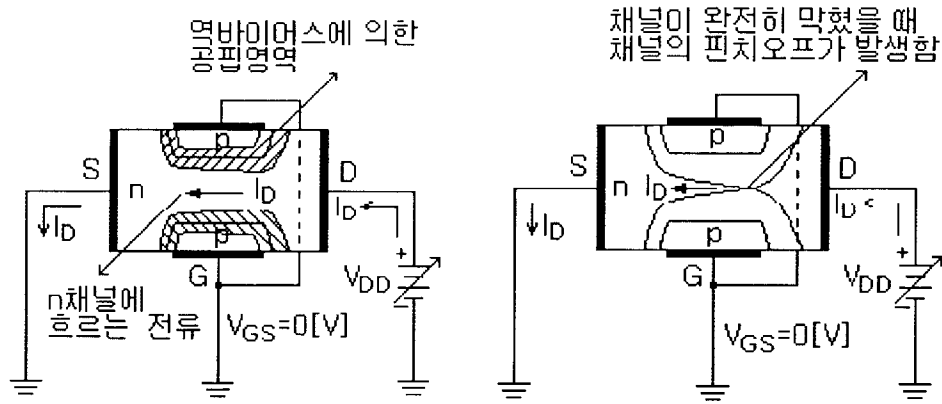
p채널 JFET의 구조는 그림 2(b)와 같다.

(2) 기본동작

그림 3은 JFET의 동작을 설명하기 위해 n채널 JFET에 바이어스 전압을 걸어 준 것이다. V_{DD} 는 드레인과 소스 사이의 전압으로 드레인에서 소스로 전류가 흐를 수 있도록 해 주고, V_{GS} 는 게이트와 소스 사이의 역방향 전압으로 드레인과 소스 사이의 전류량을 제어하게 된다.

JFET는 항상 역방향 바이어스된 게이트-소스 간의 pn 접합으로 동작하며, 역방향의 게이트 전압은 n채널 내에 전류의 흐름을 방해하는 공핍 영역을 생성함으로써 채널의 저항을 증가시킨다. 게이트 전압을 변화시킴으로써 채널 폭이 제어되고 드레인 전류 I_D 의 크기를 제어할 수 있는 것이다.

그림 3(a)에서 전압 V_{DD} 를 일정하게 유지한 경우, 입력 전압 V_{GS} 가 2.5[V]



(a) V_{DD} 를 일정하게 유지한 경우

(b) 채널이 차단된 경우

그림 3 JFET의 동작

일때 는 50(mA)가 흐를 경우, 이 회로의 입력 전압 V_{GS} 를 크게 할수록 채널의 공핍층은 넓어지므로 전류의 통로는 좁아져서 출력 전류는 그림 (b)와 같이 감소하게 된다. 만약, 제어 전압을 작게 하면 채널의 공핍층은 좁아지므로 출력 전류는 증가하게 된다.

2-2 연산증폭기(OP Amp)의 원리

2-2-1 이상적인 연산증폭기

연산 증폭기는 두 개의 입력단자와 한 개의 출력단자를 갖는다. 연산증폭기는 두 입력단자 전압간의 차이를 증폭하는 증폭기이기에 입력단은 차동증폭기로 되어있다. 연산증폭기를 사용하여 연산이 가능한 회로 구성을 할 수 있으므로, 연산자의 의미에서 연산증폭기라고 부른다. 연산증폭기를 사용하여 미분기 및 적분기를 구현할 수 있다. 연산증폭기가 필요로 하는 전원은 기본적으로는 두 개의 전원인 $+V_{CC}$ 및 $-V_{CC}$ 가 필요하다. 물론 단일 전원만을 요구하는 연산증폭기 역시 상용화되어 있다.

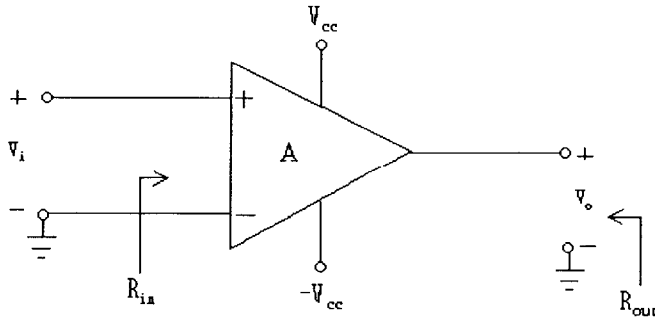


그림 4 이상적인 연산증폭기

(1) 이상적인 연산증폭기의 요건

전자소자의 동작 특성을 이해하기 위한 가정은 먼저 이상적이라고 가정하는 것이다. 물론 이상적인 것은 실제적인 것과는 항상 차이가 나기 마련이지만, 이상적인 경우의 동작특성을 이해하는 것은 매우 중요하다. 왜냐하면 이상적 가정 하에서는 모든 것이 단순해지기 때문이다. 그리고 이상적 동작특성은 실제적인 전자소자가 무엇을 궁극적인 목표로 하는 가를 알려 주기 때문이다.

다음 조건을 만족하는 연산증폭기를 이상적인 연산증폭기라고 부른다.

- (1) 무한대의 전압이득 : $A_v = \infty$
- (2) 무한대의 입력저항 : $R_{in} = \infty$
- (3) 영 옴인 출력저항 : $R_{out} = 0$
- (4) 무한대의 대역폭 : $B = \infty$
- (5) 영인 오프셋 전압과 전류
- (6) 온도에 따른 소자 파라미터 변동이 없어야 한다.

그림 4에 입력전압 V_i , 출력전압 V_o , 전압이득 A , 입력저항 R_{in} , 출력저항 R_{out} , 그리고 두 개의 전원인 $+V_{CC}$ 와 $-V_{CC}$ 를 보였다.

2-2-2 가상 접지 (virtual ground)

이상적인 연산증폭기의 전압이득이 무한대이므로, 증폭기 입력단자간의 전압은 영(zero)이 되며 이는 단락을 의미한다. 그러나, 이 단락현상을 물리적인 실제적 단락이 아니기에 이를 가상접지라고 한다. 여기서 접지한 회로가 단락되었음을 가리킨다. 연산증폭기의 입력저항이 무한대이므로 입력단자로 전류

가 유입될 수 없다. 즉 그림 4 에서 증폭기를 들여 다 본 입력저항은 무한대 이면서, 그 양단 전압은 영이 됨을 유의해야 한다. 도입된 가상접지 개념은 연산증폭기를 이용한 회로해석에서 중요한 역할을 한다.

2-2-3 반전증폭기 및 비반전증폭기

연산 증폭기의 기본회로는 반전증폭기와 비반전증폭기이다. 비반전증폭기에서는 입력전압과 출력전압의 위상차가 영이고, 반전증폭기에서는 입력전압과 출력전압의 위상차는 역위상인 180° 가 된다.

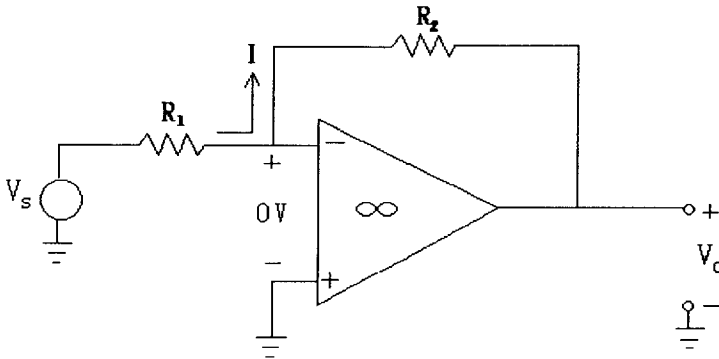


그림 5 반전 증폭기

(1) 반전증폭기

그림 5 는 반전 증폭기이다. 증폭기 기호 내에 있는 무한대 기호는 이상적인 연산 증폭기임을 표시한다. 신호전압과 출력 전압간의 비율인 전압증폭도를 구하면 식 (1)이 된다.

$$x_i = x_s - x_f \quad (1)$$

연산증폭기가 이상적인 증폭기이면, 신호전압의 형태나 주파수에 무관하게 식 (1)이 성립된다. 즉 증폭도는 단순히 두 개이 저항비만에 의해서 결정된다. 식 (1)의 앞에 나타난 음의 부호는 신호전압 V_s 와 출력전압 V_o 간의 위상 차가 180° 임을 가리킨다. 즉 반전되었음을 나타낸다.

그림 5 의 회로에서, 신호전압에서 우측을 들여다 본 입력저항은 R_1 이고, 출력에서 본 출력저항은 0(zero) Ω 이다.

(2) 비반전증폭기

그림 6은 비반전 증폭기이다. 출력단자와 연산증폭기의 반전입력단자인

(-)에 저항이 연결되어 있다. 이를 부궤환이라고 한다. 만약 출력단자가 비반전단자인 (+)에 연결되면 이는 정궤환으로 구성되며, 그 특성은 부궤환인 경우와 판이하게 달라진다. 부궤환으로 구성되면 이는 증폭기이지만, 정궤환으로 구성되면 이는 증폭기가 아니다. 따라서 출력단자의 입력 연결시에 그 극성에 주의해야 한다.

전압 이득 식은 다음처럼 주어진다.

$$P_S^+ = P_S^- = V_{CC} \cdot I_{ave} = V_{CC} \cdot \left(\frac{\bar{V}_o}{\pi R_L} \right) \quad (2)$$

식(2)로 부터 출력전압과 신호전압간의 위상차는 영임을 알게 되며, 따라서

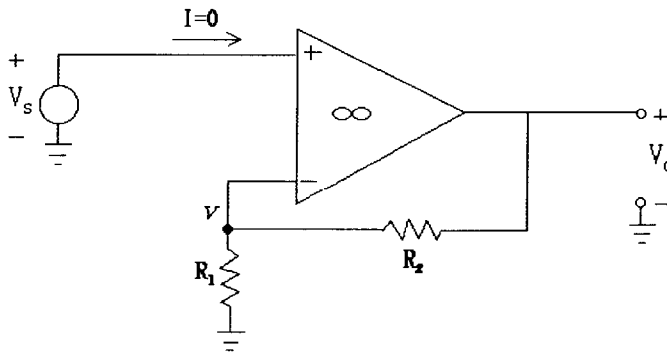


그림 6 비반전 증폭기

그림 6 의 회로를 비반전 증폭기라고 부른다. 식 (2) 역시 식 (1) 와 마찬가지로 이상적인 연산증폭기란 전제하에서는, 전압이득은 신호원의 전압파형과 주파수에 무관하게 식 (2)로 주어진다.

2-3 적분기의 원리

그림7은 이상적인 적분기회로를 보여주고 있다. 적분기 출력 V_o 는

$$V_o = -\frac{1}{RC} \int v_i dt \quad (3)$$

로서 입력의 적분에 비례한다.

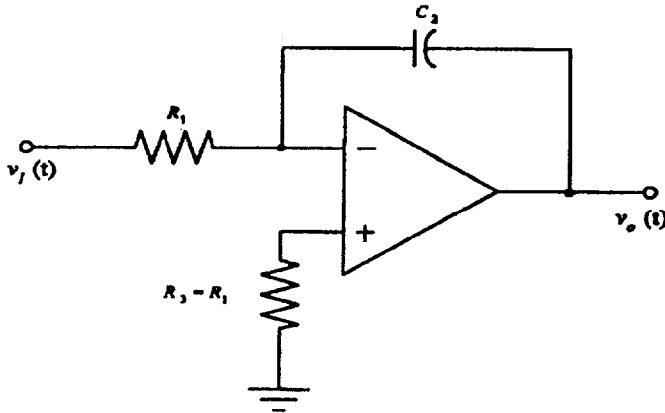


그림 7 이상적인 반전 연산적분기

연산 증폭기의 입력 바이어스 전류에 의한 적분 결과의 오차는 연산 증폭기의 비반전 단자가 접지 사이에 저항을 연결하여 두 입력 단자와 접지 사이의 저항을 균등하게 하므로써 감소한다. 바이폴라 트랜지스터를 사용한 연산 증폭기는 입력 바이어스 전류를 보상하게 되며, 온도, 시간, 그리고 전원 공급

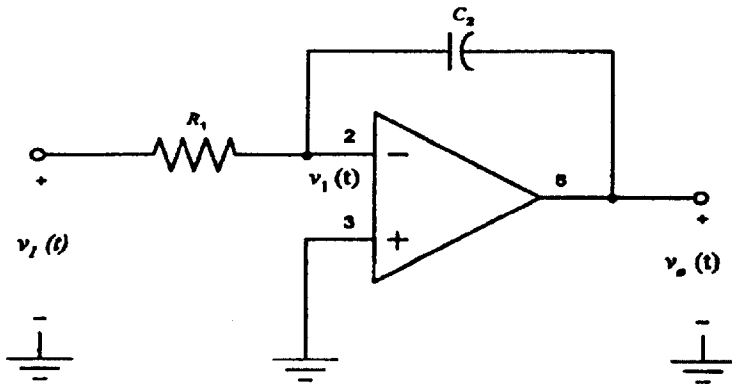


그림 8 입력 바이어스 전류를 보상한 연산적분기

기의 전압 크기에 따른 변동이 크므로, 전계 효과 트랜지스터를 입력 트랜지스터로 사용한 연산 증폭기가 적분기용 연산 증폭기로는 보다 바람직하다. 연산 증폭기를 사용하는 경우에는 입력 오프셋 전압만 보상하면 충분한 정확도가 보장될 수 있다. 입력 바이어스 전류를 보상한 적분기에서 연산 증폭기의 입력 오프셋 전압을 사용한다. 입력 오프셋 전류의 방향은 출력 전압 변

화를 크게 하는 방향으로 정하여 최악의 오차를 고려해야한다.

적분 시간 상수에 대해서 적분 커패시터의 크기를 크게 설계하는 것이 입력 오프셋 전류에 의한 적분 오차를 줄이는데 유용하다.

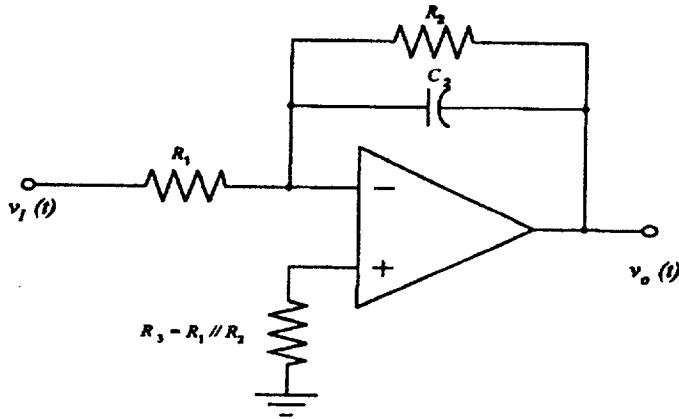


그림 9 연산 교류적분기

교류 적분기는 입력 오프셋 전압과 입력 오프셋 전류의 영향으로 인해 출력 전압이 포화될 수 있으므로, 적류 성분에 대해 이득이 제한되어진다.

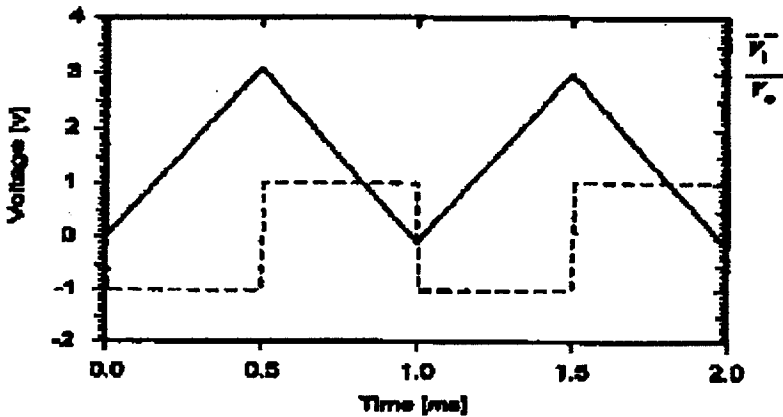


그림 10 시뮬레이션한 연산 교류적분기의 보드선도

그림 10은 간단한 트랜지스터 모델을 사용하여 시뮬레이션한 교류 적분기의 보드 선도이다. 회로가 연산 적분기로 동작하는 주파수 영역을 알 수 있다. 구형파 입력이 가해질 때 삼각파의 출력이 나오고 있다.

3. 스위치드 커패시터 필터의 원리

3-1. 동작원리

능동 RC 및 MOSFET 회로에서는 저항값의 오차가 있어 전압이득 및 적분기의 시상수 값이 설계된 값과 실제 제작된 집적회로와는 큰 차이를 보이며 $\pm 20\%$ 의 오차를 보이기도 한다. 이러한 오차는 아날로그 적응 시스템이 아닌 아날로그 시스템의 신뢰성 및 대량생산에서 품질의 균질성에 큰 제한요소로 적용한다.

이러한 문제점을 해결하기 위해서 커패시터와 스위치를 이용한 switched-capacitor 회로가 개발되었다. switched-capacitor 회로의 가장 기본적인 구조로 그림 11와 같은 회로의 예를 들 수 있다.

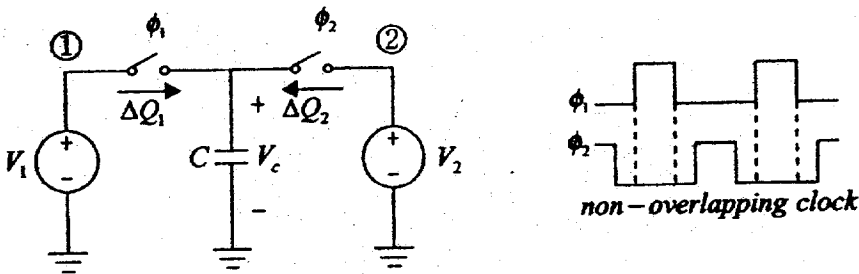


그림 11 switched-capacitor 회로의 동작원리

그림11 의 회로에서 두 개의 스위치는 각각 클록 ϕ_1, ϕ_2 에 의해 on-off 되며 두 클록은 non-overlapping clock 으로 두 스위치가 절대로 동시에 on되지 않아야 한다. 커패시터에 충전되어 있는 전하의 양 Q 는 커패시터 양단에 가하여진 전압 V 에 의해

$$Q = CV \quad (4)$$

로 주어짐을 고려하여, 초기에 ϕ_2 가 on되어 있었다면 ϕ_2 일 때 커패시터에 걸리는 전압 $V_c(\phi_2)$ 은 V_c 가 되며, 이때 커패시터에 충전되어 있는 전하량 $Q(\phi_2)$ 는

$$Q(\phi_2) = CV_2 \quad (5)$$

가 된다. ϕ_2 가 off되고 ϕ_1 이 on되면 커패시터 양단에는 V_1 이 걸리므로 커패시터의 전하량 $Q(\phi_1)$ 은

$$Q(\phi_1) = CV_1 \quad (6)$$

이 된다. 그러므로 커패시터에 있던 전하량 $Q(\phi_2)$ 와 새로이 만족되어야 하는 전하량 $Q(\phi_1)$ 의 차이에 해당하는 양 만큼의 전하가 스위치를 통하여 V_1 으로부터 공급되거나 커패시터로 부터 빠져 나오게 된다. 이 때 흐르는 전하량은 다음과 같다.

$$\Delta Q_1 = Q(\phi_1) - Q(\phi_2) = C\{V_1 - V_C(\phi_2)\} = C(V_1 - V_2) \quad (7)$$

ϕ_1 이 on된 후 궁극적으로 커패시터에는 CV_1 의 전하가 남게 된다. 이러한 상황에서 ϕ_1 이 off 되고 ϕ_2 가 on되면 커패시터 양단에는 V_2 가 걸리므로 CV_2 의 전하를 가져야 하므로 다음과 같은 양의 전하가 스위치를 통하여 흐르게 된다.

$$\Delta Q_2 = Q(\phi_2) - Q(\phi_1) = C\{V_2 - V_C(\phi_1)\} = C(V_2 - V_1) = -\Delta Q_1 \quad (8)$$

클록주기가 T일 때 노드 ①에서 노드 ②로 흐르는 평균 전하량은

$$\Delta \frac{Q}{T} = \frac{C}{T}(V_1 - V_2) \quad (9)$$

로 주어지며, 전류의 정의가 단위시간 동안 흐르는 전하의 양이므로 그림11 회로에서 단위시간 T동안 두 노드 사이에 흐르는 평균 전하량 I_{av} 는

$$I_{av} = \Delta \frac{Q}{T} = \frac{C}{T}(V_1 - V_2) \quad (10)$$

로 주어진다. 여기에서 두 노드 간에 흐르는 전류가 두 노드의 전압차이에 비례하므로, 이는 마치 다음과 같은 등가저항을 갖는 저항처럼 생각되어질 수 있다.

$$R_{eq} = \frac{V_1 - V_2}{I_{av}} = \frac{T}{C} \quad (11)$$

즉, 클록 주파수가 신호에 비하여 충분히 빠른 경우는 switched-capacitor가 저항과 같은 역할을 함을 알 수 있다.

스위치는 집적회로에서 그림12와 같이 MOS 트랜지스터를 사용하며 소스와 드레인의 정의가 신호에 따라 바뀌게 되므로 N MOS-FET의 벌크는 V_{SS} 로 P

MOS-FET의 벌크는 V_{DD} 로 연결하여 줌으로써 드레인 또는 소스와 벌크간에 역방향 바이어스를 유지 할 수 있다.

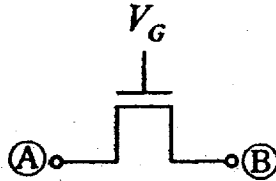


그림 12 MOS-FET 스위치

N-MOS 트랜지스터의 경우 게이트 전압 V_G 가 다음의 조건을 만족할 때 트랜지스터가 turn-on 되어 선형영역에서 동작하게 된다. 이때 드레인과 소스 사이의 채널저항이 작아져 $V_A \approx V_B$ 의 조건을 만족하게 된다.

$$V_G > V_A + V_T, \quad V_B + V_T \quad (12)$$

여기에서 위의 식(12)를 만족하여야 하므로 실제로 처리 할 수 있는 신호의 범위는

$$V_{signal} < V_G - V_T \quad (13)$$

로 주어진다. 여기에서 V_T 는 MOS-FET 회로의 경우와 같이 벌크 효과에 의해 큰 값을 갖는다. 그러나 스위치에서는 스위치가 turn-off되어 있을 때의 저항이 커야 하므로 depletion mode MOS-FET를 사용할 수 없다.

MOS 트랜지스터를 스위치로 사용하고자 할 때 앞서 설명한 신호범위 외에 여러 가지 현실적 제한요소가 존재한다. 스위치가 off되어 있을 때 스위치 양단간의 저항은 무한대이어야 하나 실제로는 유한한 값을 갖게 되므로 스위치를 통하여 수 pA 정도의 누설전류가 흐르며, 이로 인하여 커패시터에 저장된 신호가 시간이 지남에 따라 전하를 잃어 파괴된다. 또한 스위치가 on되었을 때 이상적으로는 두 단자간 저항 값이 0이어야 하나 두 단자간의 유한한 저항 값이 존재하며 그림13 과 같이 저항에 의한 시상수가 있어 스위칭 속도가 제한된다. MOS 스위치가 충분하게 on되어 있을 때는 트랜지스터가 선형영역에서 동작하며,이 때 스위치의 저항값은 N MOS-FET의 경우

$$R_{eq} = r_{ds} = \delta \frac{v_{ds}}{\delta} i_{ds} = \frac{L}{KW(V_{GSQ} - V_T - V_{DS})} \approx \frac{L}{KW(V_{GSQ} - V_T)} \quad (14)$$

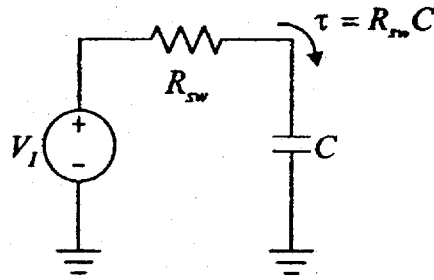


그림 13 MOS 트랜지스터 스위치의 ON스위치에 의한 시정수

식(14)과 같이 구하여 지며 여기에서 스위치가 on되어 있어 $V_{DS} \approx 0$ 이다.

$$R_{sw} = \frac{L}{KW(V_{GS} - V_T - V_{DS})} \approx \frac{L}{KW(V_G - V_S - V_T)} \quad (15)$$

저항값이 신호전압에 따라 영향을 받음을 알 수 있다. 예를 들어 N MOS-FET를 사용하는 경우에는 그림 14(a)와 같이 신호전압이 높을 때는 스위치를 완전하게 on시키기 어려우며 on저항이 충분히 작지 않아 시정수가 커짐

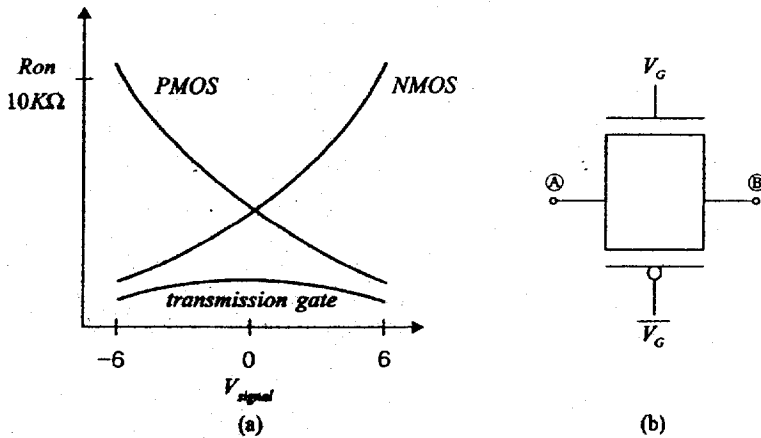


그림 14 transmission gate

으로써 스위치가 on되어 있는 동안 커패시터가 완전히 충전 또는 방전되지 못할 수 있다. N MOS트랜지스터와 P MOS트랜지스터가 서로 반대의 경향을 가지고 있으므로 N MOS트랜지스터와 P MOS트랜지스터를 그림 14(b)와 같이 병렬로 사용함으로써 넓은 신호범위에 대하여 스위치를 turn-on시킬 수 있

다. 이러한 스위치를 transmission gate라 한다. 이때 전압은 N MOS, P MOS에 각각 서로 반대로 주어져야 한다. switched-capacitor 회로에서 일어나는 또 한가지 문제점은 clock feed through 이다. 그림 15와 같은 회로에서 트랜지스터의 게이트와 소스 또는 드레인 사이에는 기생 커패시턴스가 존재하며 클록에 의해 게이트 전압이 변화 할 때 이 전위변화가 트랜지스터의 기생 커패시턴스를 통하여 C_S 에 저장되어 있는 전하량을 변화시킴으로써 신호를 변화시키게 된다.

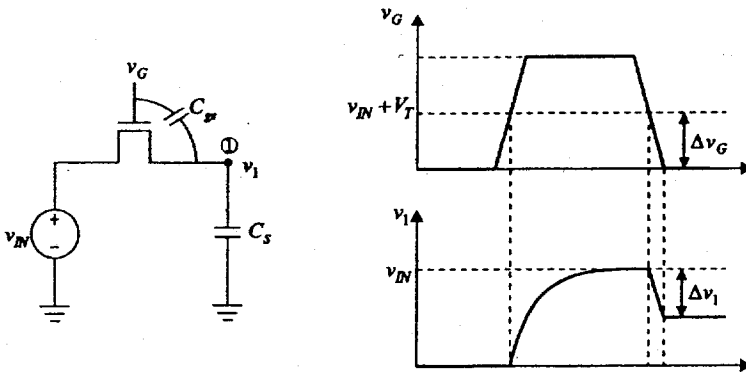


그림15 Clock feedthrough

그림 15에서 클록전압이 증가하여 $V_G > V_{IN} + V_T$ 를 만족하면서 스위치가 on되며, 스위치를 통하여 전하가 C_S 로 흘러 들어가 궁극적으로는 C_S 는 v_{IN} 에 해당하는 전압이 충전된다. 이러한 상황에서 스위치를 off시키기 위하여 v_G 를 낮추면 $v_G = v_{IN} + V_T$ 인 시점에서 스위치가 off되며 C_S 는 v_{IN} 과 분리된다. 여기에서 스위치를 완전히 off시키기 위하여 v_G 를 계속 감소시키면 C_{gs} 의 한쪽 노드에 Δv_G 에 해당하는 전위의 변화가 생기면서 C_{gs} 와 C_S 의 전하가 이러한 전위의 변화를 만족시키기 위하여 변화하게 된다. 이때 노드 ①을 공통으로 하고 있어 각 커패시터에서 일어나는 전하의 변화는 동일하여야 하므로 다음과 같이 주어진다.

$$\Delta Q = C_{gs} \frac{d(v_G - v_1)}{dt} = C_S \frac{dv_1}{dt} \quad (16)$$

이를 정리하여

$$(C_s + C_{gs}) \frac{dv_1}{dt} = C_{gs} \frac{dv_G}{dt} \quad (17)$$

의 미분방정식을 얻을 수 있으며, 각 노드에서 전위의 변화량은 다음과 같은 관계를 가짐을 알 수 있다.

$$(C_s + C_{gs}) \Delta v_1 = C_{gs} \Delta v_G \quad (18)$$

여기에서 Δv_G 는 그림15에서와 같이 $v_{IN} + V_T$ 이므로 노드 ①의 전압변화 Δv_1 은 다음과 같이 구하여 진다.

$$\Delta v_1 = \frac{C_{gs}}{C_s + C_{gs}} (v_{IN} + V_T) \quad (19)$$

즉 스위치가 turn off될 때 C_s 의 전압에 Δv_1 정도의 전압변화가 생기게 되며 이러한 현상을 clock feedthrough라 한다. 그러므로 이러한 전압변화를 최소화하기 위해서 C_s 는 C_{gs} 에 비하여 충분히 커야 한다. 그러나 C_s 가 지나치게 크면 스위치의 on 저항값과의 시정수가 커서 커패시터가 충전되는 시간이 길어짐으로써 높은 클록 주파수를 사용할 수 없게 된다. 마찬가지로 C_{gs} 를 적게 하기 위하여 트랜지스터의 크기를 지나치게 작게 설계한 경우 on 저항값이 커서 시정수가 커지게 된다. 그러므로 스위치로 사용되는 트랜지스터의 크기는 C_s 와 속도를 고려하여 적절히 선택하여야 하며 수 pF이내의 커패시터를 사용하는 경우 트랜지스터는 최소 크기를 사용하는 것이 일반적이다. clock feedthrough를 최소화하기 위하여 그림 16과 같이 커패시터의 양단에서 동시에 스위치가 작동되도록 함으로써 feedthrough가 서로 상쇄되게 할 수 있다. 이러한 구조를 bilinear switched-capacitor 구조라 한다.

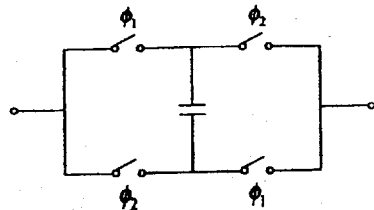


그림 16 Bilinear switched-capacitor 구조

일반적으로 switched-capacitor는 OTA와 함께 사용되어 Active-RC와 같은 기능을 하는 회로를 실현할 수 있다. switched-capacitor 회로의 장점 중의 하나가 저항을 부하로 구동하지 않기 때문에 증폭기의 출력저항이 높은

OTA를 사용함으로써 OP Amp를 사용하는 경우와 같이 출력단 회로에 의해 소모되는 전력과 실리콘 면적을 없앨 수 있다는 점이다.

3-2. 필터의 실현

Switched-capacitor 적분기는 그림 17과 같이 구성되며 점선으로 표시되어 있는 부분이 Active-RC회로에서 저항에 해당한다. 그러나 switched-capacitor 회로의 실제의 동작은 이산시간 시스템으로 동작한다.

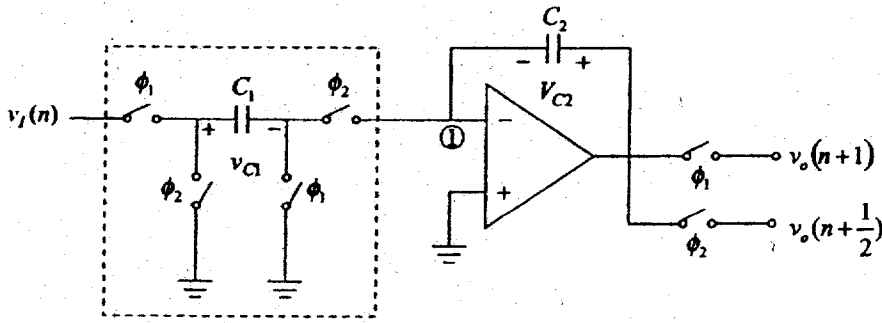


그림 17 비반전 Switched-capacitor적분기 회로

그림 17에서 Clock ϕ_1 이 on되면 C_1 에는 다음과 같이 v_I 에 상응하는 전하가 충전된다.

$$Q_1(\phi_1) = C_1 v_I(\phi_1) \quad (20)$$

ϕ_1 이 off된 후 ϕ_2 가 on될 때 노드 ①은 virtually grounded되어 있으므로, C_1 양단간의 전압은 0이 되어야 하므로 C_1 의 전하는 다른 전류 경로가 없으므로 C_2 로 이동하게 된다. C_2 에 초기전하 $Q_2(\phi_1)$ 이 있었다면, ϕ_2 일 때 C_2 의 전하는

$$Q_2(\phi_2) = Q_1(\phi_1) + Q_2(\phi_1) \quad (21)$$

이 되며, 이에 따라 C_2 의 전압은

$$v_{C2}(\phi_2) = \frac{Q_1(\phi_1)}{C_2} + v_{C2}(\phi_1) = \frac{C_1}{C_2} v_I(\phi_1) + v_{C2}(\phi_1) \quad (22)$$

으로 주어진다. ϕ_2 클록이 끝난 후 다음 번 ϕ_1 클록에서 출력을 읽어냄으로써

안정된 출력을 얻을 수 있다. 위와 같은 동작이 반복되면 매 클록 ϕ_1 때 v_I 의 전압이 C_1 에 의하여 전하로 교환되고 ϕ_2 일 때 이 전하가 C_2 로 옮겨짐으로써 C_2 에 축적되게 된다. n 번째, ϕ_1 클록 때의 입력전압을 $v_I(n)$ 이라 하고 C_2 의 초기전압이 0이었다면 n 번째 ϕ_2 클록 후의 출력전압 즉, $n+1$ 번째 ϕ_1 클록 때의 출력전압 $v_O(n+1)$ 은 다음과 같이 주어진다.

$$v_O(n+1) = \frac{C_1}{C_2} \sum_{k=0}^n v_I(k) \quad (23)$$

연속적인 신호를 다루는 회로에서는 신호의 시간에 대한 응답을 미분방정식으로 표현하고 정상상태에 대한 해석은 라플라스 변환을 사용하는 것과 달리 switched-capacitor 회로는 이산시간 신호를 처리하는 difference equation으로 시간에 대한 응답을 표현하며 정상상태에 대한 해석은 Z-변환을 사용한다.

식 (23)을 difference equation으로 표현하면

$$v_O(n+1) = v_O(n) + \left(\frac{C_1}{C_2} v_I(k) \right) \quad (24)$$

와 같이 표현되어진다. 이를 Z-변환을 취하면

$$zV_O(z) = V_O(z) + \frac{C_1}{C_2} V_I(z) \quad (25)$$

로 ϕ_1 일 때 출력을 읽어낼 때의 전달함수 $A(z) |_{\phi_1}$ 는 다음과 같이 구하여지며, 이는 비반전 적분기를 구성한다.

$$A(z) |_{\phi_1} = \frac{V_O(z)}{V_I(z)} = \frac{C_1}{C_2} \frac{1}{z-1} \quad (26)$$

ϕ_2 일 때 출력을 취하는 경우에는 ϕ_1 일 때 출력을 구하는 경우보다 1/2주기 지연이 있게 되므로 이때의 전달 함수 $A(z) |_{\phi_2}$ 는 다음과 같이 구하여진다.

$$A(z) |_{\phi_2} = \frac{C_1}{C_2} \frac{1}{z-1} z^{\frac{1}{2}} \quad (27)$$

반전적분기를 구성하기 위해서는 그림18과 같이 클록을 배열한다.

여기에서 클록 ϕ_2 일 때 C_2 은 0으로 방전되며, ϕ_1 일 때 노드 ④에는 $v_I(n)$ 전압이 인가되어 커패시터의 ④면에는

$$Q_A = C_1 v_I(n) \quad (28)$$

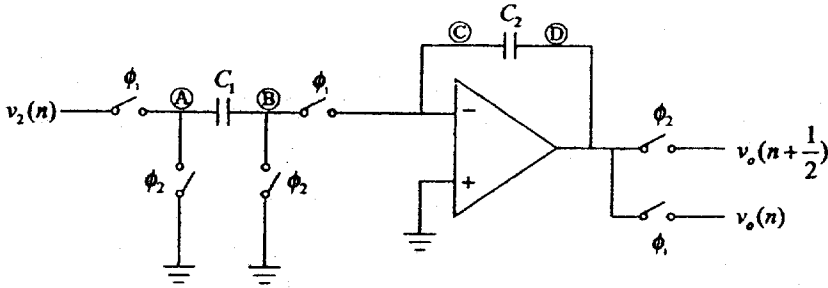


그림 18 반전 Switched-capacitor적분기

의 전하가 유도된다. 이때 ②면에는 Q_A 에 상응하는 반대 전하가 유도되어야 하나 OP Amp의 입력단자로는 전류가 흐를 수 없으므로 ②면에는 $-Q_A$ 가 유도되기 위하여 C_2 의 ③면에는 ②면의 전하가 부호가 반대이면서 같은 양의 Q_A 전하가 유도되어 한 개의 노드에서 전체 전하량이 0으로 보존된다. 같은 이유로 C_2 의 ③면에 Q_A 의 전하가 유도되므로 출력노드인 ④면에는 $-Q_A$ 의 전하가 유도되게 되어 C_2 의 초기전압이 0인 경우 출력전압은

$$v_o(\phi_1) = \frac{-Q_A}{C_2} = \frac{-C_1}{C_2} v_i(n) \quad (29)$$

로 주어진다. 이와 같은 과정을 반복하면 C_2 에는 전하가 계속적으로 축적되어 n 번째 클럭 ϕ_1 에서의 출력전압 $v_o(n)$ 은

$$v_o(n) = \frac{-C_1}{C_2} \sum_{k=0}^n v_i(k) \quad (30)$$

으로 주어지며, 이를 difference equation으로 표현하면

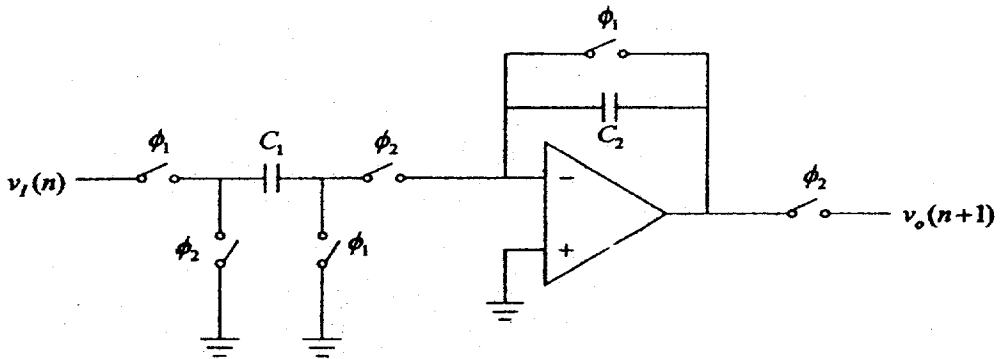
$$v_o(n) = v_o(n-1) - \frac{C_1}{C_2} v_i(n) \quad (31)$$

로 표현된다. 이를 Z-변환을 취하여 다음의 식을 구할 수 있다.

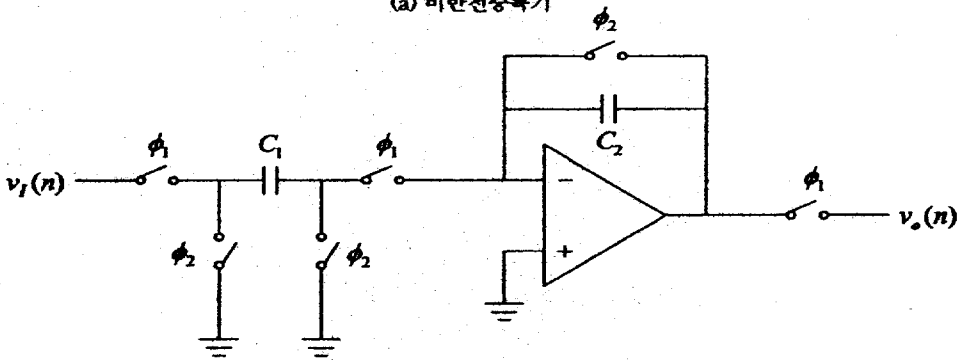
$$V_o(z) = z^{-1} V_o(z) - \frac{C_1}{C_2} V_i(z) \quad (32)$$

이로부터 전달함수를 다음과 같이 구할 수 있다.

$$A(z) \big|_{\phi_1} = \frac{V_o(z)}{V_i(z)} = -\frac{C_1}{C_2} \frac{z}{z-1} \quad (33)$$



(a) 비반전증폭기



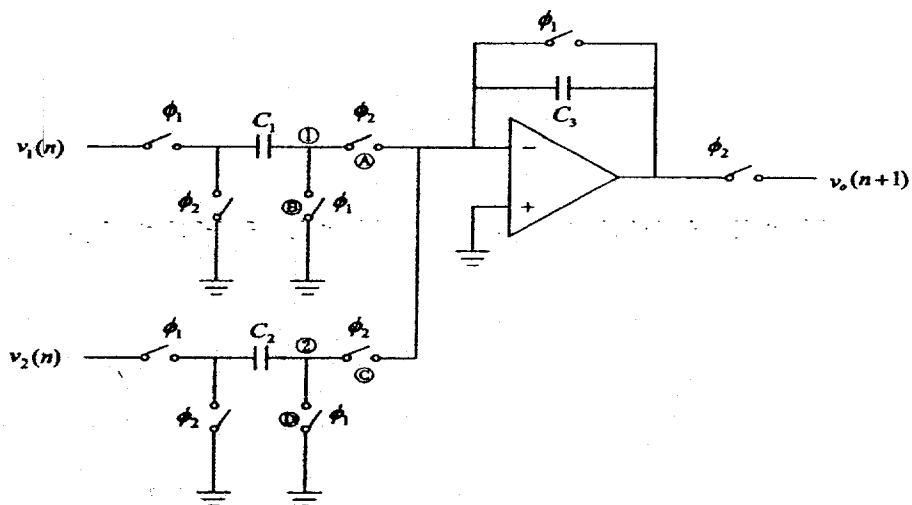
(b) 반전증폭기

그림 19 Switched-capacitor 증폭기

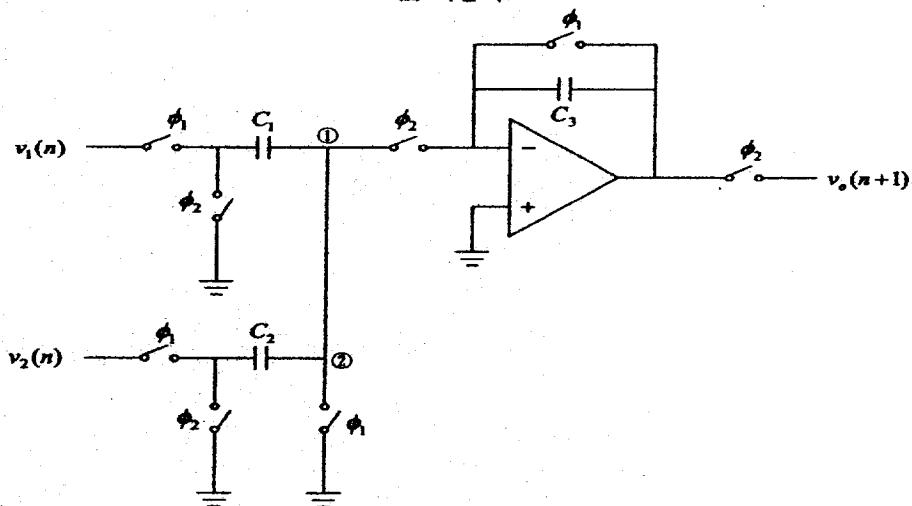
안정된 출력을 얻기 위하여 ϕ_2 일 때 출력을 취하는 경우는 입력과 출력사이에 $1/2$ 클록 delay가 있게 되며 전달 함수를 다음과 같이 구할 수 있다.

$$A_o(z) \mid_{\omega_2} = -\frac{C_1}{C_2} \frac{1}{z-1} \quad (34)$$

switched-capacitor 증폭기는 그림 19와 같이 OTA 피드백 루프에 있는 커패시터를 매 주기마다 방전시킴으로써 전하가 축적되지 않도록 하여 줌으로써 실현 할 수 있다. 두 개의 신호를 더하기 위해서는 그림 20과 같이 입력 부분의 switched-capacitor 회로를 입력의 수만큼 더하여 줌으로써 실현이 가능하다. 이때 스위치의 ㉠, ㉢, ㉤의 역할은 ϕ_2 기간동안 안 노드 ①과 ②를 OP Amp의 입력노드에 연결하고 ϕ_2 기간 동안 노드 ①과 ②를 접지에 연결하는 동일한 역할을 하므로 그림 20(b)와 같이 스위치를 공유하여 사용할 수 있다.



(a) 기본회로



(b) 스위치가 공유된 회로

그림 20 Switched-capacitor 가산기

이와 같은 회로에서 출력전압 $v_o(n+1)$ 은

$$v_o(n+1) = \frac{C_1}{C_3} v_1(n) + \frac{C_2}{C_3} v_2(n) \quad (35)$$

으로 주어진다. 감산기를 구현하기 위해서는 그림 21과 같이 ϕ_1 일 때 두 입

력전압사이에 커패시터 C_1 을 연결하여 전압차이에 해당하는 전하를 구한 후, ϕ_2 일 때 전하를 C_2 에 전달함으로써 두 전압의 차를 구하는 감산기를 실현할 수 있다.

switched-capacitor 회로의 가장 큰 장점은 이득 및 시정수가 소자의 절대 값에 의존하지 않고 커패시터의 비율에 의하여 정하여짐으로써 공정의 변화에 대한 영향이 적을 뿐만 아니라 온도 및 바이어스 조건의 영향도 받지 않는다는 점이다. 더욱이 집적회로에서 커패시터 비율 오차 범위는 0.1% 정도까지 실현할 수 있어 높은 신뢰성과 정확성을 얻을 수 있다는 점이다.

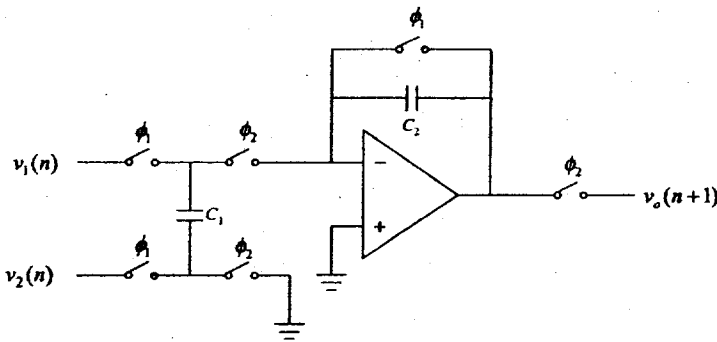


그림 21 Switched-capacitor 감산기

또한 앞서 설명한 블록들을 조합하여 복잡한 이산시간 시스템을 손쉽게 실현할 수 있다는 장점이 있다. 이러한 관점에서 switched-capacitor 회로는 아날로그 시스템에서 가장 중요한 회로설계 기법이라 하여도 지나침이 없다고 할 수 있다.

Switched-capacitor 회로에서는 증폭기의 게수 및 적분기의 시정수가 커패시터의 비율에 의하여 결정되므로 시스템의 특성(이득, 주파수) 등을 바꾸기 위해서는 커패시터 비율을 바꾸어야 한다. switched-capacitor 회로에서는 MOS-FET회로와 같이 전압에 의하여 커패시터 값을 바꿀 수 없으므로 그림 22와 같은 binary weighted capacitor bank를 사용하여 원하는 커패시터 값을 스위치를 사용하여 선택함으로써 digitally programmable 한 회로를 구현할 수 있다.

weighted capacitor bank를 사용하여 원하는 커패시터 값을 스위치를 사용하여 선택함으로써 digitally programmable 한 회로를 구현할 수 있다.

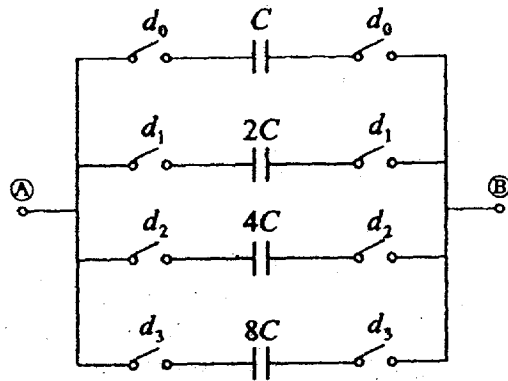


그림 22 Binary weighted capacitor bank

이러한 회로에서 커패시터를 2의 배수로 그림 22와 같이 사용한 경우 노드 ㉠-㉡ 간의 전체 커패시터는 스위치의 상태에 따라 다음과 같이 구하여진다.

$$\begin{aligned}
 C_{AB} &= (d_0 + 2d_1 + 4d_2 + 8d_3 + \dots)C \\
 &= C \sum_{i=0}^N d2^i
 \end{aligned} \tag{36}$$

여기에서 d_i 는 i 번째 스위치를 조정하는 2진 자릿수로 스위치가 on되는 경우 $d_i=1$ 이 되며, off되는 경우 $d_i=0$ 이다. 이와 같이 디지털 시스템에 의해 커패시터 값을 선택하므로써 가변 switched-capacitor 회로를 구현할 수 있다. 그러나 programmable한 2진수 자릿수가 늘어날수록 필요로 하는 커패시터의 크기가 2의 지수형태로 늘어나 자릿수가 많은 경우 매우 큰 커패시터 값이 요구되며, 작은 커패시터와 큰 커패시터의 비율을 정확하게 유지하기 어려우므로 실제 사용 가능한 자릿수는 5~6bit정도로 제한된다.

4. 저역통과 필터의 실현

4-1. RC 저역통과 필터의 실현

2차 저역필터 루프 쌍2차 회로, 또는 간단히 방정식을 유도해 내기 위해, 2차 고역 통과 전달 함수를 고려해 보기로 하자.

$$\frac{V_{hp}}{V_i} = \frac{Ks^2}{s^2 + s(\omega_o/Q) + \omega_o^2} \quad (37)$$

여기서 K는 고주파 이득이다. 식 (37)에서 두 분수의 각각의 분자에 다른 분수의 분모를 곱한 다음, 그 결과의 식을 S^2 으로 나누면,

$$V_{hp} + \frac{1}{Q} \left(\frac{\omega_o}{s} V_{hp} \right) + \left(\frac{\omega_o^2}{s^2} V_{hp} \right) = KV_i \quad (38)$$

가 얻어질 것이다. 이 식에서, V_{hp} 를 시정수가 $1/\omega_o$ 인 회로에 통과시킴으로써 $(\omega_o/s)V_{hp}$ 신호를 얻을 수 있고, 또 이 신호를 또 다른 동일한 회로에 통과시킴으로써 V_{hp} 를 포함하는 세 번째 신호, 즉 $(\omega_o^2/s^2)V_{hp}$ 를 얻을 수 있다는 것을 알 수 있을 것이다. 그림23(a)에 이와 같은 2차적분기 배열을 위한 블록도를 나타냈다. 이 그림에서, 각각의 회로를 밀러 반전 회로로 실현한다는 예상 아래, 저역필터 블록들에 마이너스 부호를 할당한 점에 주목하기 바란다.

종속 접속된 두 개의 저역필터를 구동하는 입력 신호 즉 V_{hp} 를 어떻게 형성해야 하는가 하는 문제가 남을 것이다. 이를 위해, 식(38)을 재정리하여 V_{hp} 를 V_{hp} 의 1차 적분된 항과 2차 적분된 항 그리고 V_i 의 항으로 나타내면,

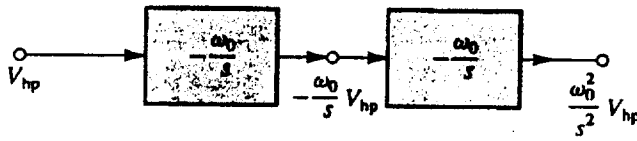
$$V_{hp} = KV_i - \frac{1}{Q} \frac{\omega_o}{s} V_{hp} - \frac{\omega_o^2}{s^2} V_{hp} \quad (39)$$

가 얻어질 것이다. 이 식은, 그림 23(b)의 가중 가산기를 이용함으로써 V_{hp} 를 얻을 수 있다는 것을 암시한다. 그림 23(c)에 보인 것처럼, 그림 23(a)의 저역필터 블록들과 그림 23(b)의 가산기 블록을 결합시킴으로써 완전한 블록도 실현을 성취할 수 있다는 것을 쉽게 알 수 있을 것이다.

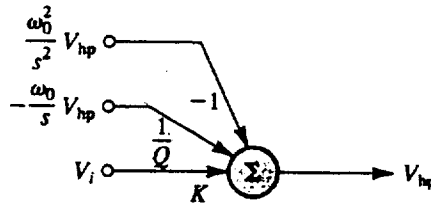
그림 23(c)의 실현에서, 가산기의 출력에서 V_{hp} 를 취함으로써 식 (37)의 고

역-통과 전달 함수 $T_{hp} \equiv \frac{V_{hp}}{V_i}$ 를 실현할 수 있을 것이다. 첫 번째 저역필터의 출력에 나타나는 신호가 $-(\omega_o/s)V_{hp}$ 이고, 이것이 대역통과 함수

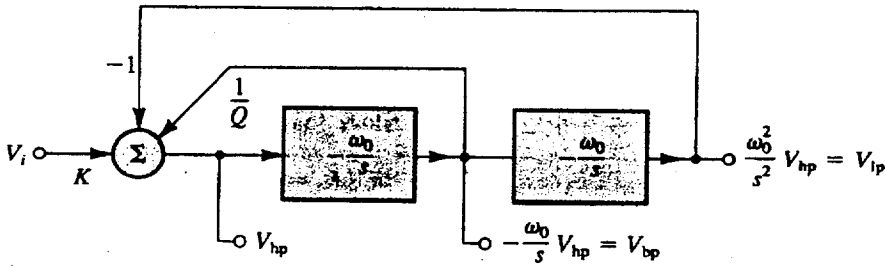
$$\frac{(-\omega_o/s)V_{hp}}{V_i} = \frac{K\omega_o s}{s^2 + s(\omega_o/Q) + \omega_o^2} = T_{bp}(s) \quad (40)$$



(a)



(b)



(c)

그림 23 2차 저역필터 방정식 블록도 실현의 유도

를 실현한다는 것을 알 수 있을 것이다. 따라서, 첫 번째 저역필터의 출력 신호를 V_{bp} 라고 명명했다. 실현된 대역통과 여파기의 중심주파수 이득이 $-KG$ 라는 점에 주목하기 바란다. 마찬가지로, 두 번째 저역필터의 출력에서 실현된 전달함수가 저역 통과 함수

$$\frac{(\omega_o^2/s^2)V_{hp}}{V_i} = \frac{K\omega_o^2}{s^2 + s(\omega_o/Q) + \omega_o^2} = T_{hp}(s) \quad (41)$$

라는 것을 보일 수 있을 것이다, 따라서, 두 번째 저역필터의 출력을 V_{hp} 라고 명명했다. 실현된 저역통과 여파기의 직류 이득이 K라는 점에 주목하기 바란다.

그림 23(c)에 블록도 형태로 보인 2차 저역필터루프가 세 가지의 기본적인 2차 여파기 함수, 즉 LP, BP, 그리고 HP를 동시에 실현한다고 결론지을 수 있을 것이다. 이와 같은 다용도성 때문에 이 회로는 여러 응용에 널리 사용되며, 그런 의미에서 이 회로를 만능 능동 여파기(universal active filter)라고 부르기도 한다.

그림 23(c)의 2차 저역필터 루프방정식을 연산 증폭기 회로로 실현하기 위해, 각각의 저역필터를 $CR=1/\omega$ 인 밀러 저역필터 회로로 대체할 수 있을 것이고, 가산기 블록을 입력에 플러스와 마이너스 가중치 모두를 할당할 수 있는 연산 증폭기 가산 회로로 대체할 수 있을 것이다. 그 결과의 회로를 그림 24(a)에 나타냈다.

ω_o , Q , 그리고 K 가 주어지면, 이 회로의 설계는 간단할 것이다. 즉, $CR=1/\omega_o$ 가 되도록 저역필터들의 소자 값, 즉 C 와 R 값을 적당하면서 실질적인 값들로 선택할 수 있을 것이다. 가산기와 연관된 저항기들의 값을 구하기 위해, 중첩의 원리를 이용해 가산기의 출력을 그것의 입력의 식으로 나타내면 다음과 같은 식을 얻을 수 있을 것이다.

$$V_{hp} = \frac{R_3}{R_2 + R_3} \left(1 + \frac{R_f}{R_1}\right) V_i + \frac{R_2}{R_3 + R_2} \left(1 + \frac{R_f}{R_1}\right) \left(-\frac{\omega_o}{s} V_{hp}\right) - \frac{R_f}{R_1} \left(\frac{\omega_o^2}{s^2} V_{hp}\right) \quad (42)$$

여기서 먼저, 식 (42)과 (39)의 우변 마지막 항들을 같게 놓으면,

$$R_f/R_1 = 1 \quad (43)$$

을 얻을 것이다. 이 식은, 우리가 R_1 과 R_f 의 값을 같은 값으로 선택하되 실질적이고 편리한 값들로 선택할 수 있다는 것을 의미한다. 다음으로, 식(42)과 (39)의 우변 둘째 항들을 같게 놓고 $R_1 = R_f$ 로 놓으면, 주어진 Q 를 실현하는데 필요한 R_3/R_2 의 비를 다음과 같이 얻을 수 있을 것이다. 즉,

$$R_3/R_2 = 2Q - 1 \quad (44)$$

따라서 우리는 R_2 또는 R_3 중의 하나에 대해 임의로 그러나 편리한 값을 선

택할 수 있을 것이다. 그리고, 다른 하나의 저항 값은 식(43)으로부터 R_3 / R_2 의 값을 대입하면,

$$K=2-1(1/Q) \quad (45)$$

를 얻어질 것이다. 따라서 이득 파라미터 K는 이 값으로 고정될 것이다. 위 방정식의 세 개 출력, 즉 LP, BP, 그리고 HP를 적당한 가중치로 더함으로써, 노치 함수와 전대역-통과 함수를 실현할 수 있을 것이다. 이와 같은 가산기를 그림 24(a)에 나타냈다. 이 가산기에 대해, 다음 식을 쓸 수 있을 것이다.

$$\begin{aligned} V_o &= -\left(\frac{R_F}{R_H} V_{hp} + \frac{R_F}{R_B} V_{bp} + \frac{R_F}{R_L} V_{lp}\right) \\ &= -V_i \left(\frac{R_F}{R_H} T_{hp} + \frac{R_F}{R_B} T_{bp} + \frac{R_F}{R_L} T_{lp}\right) \end{aligned} \quad (46)$$

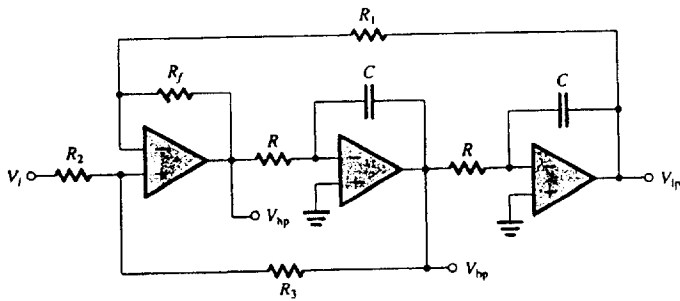
식 (37), (40), 그리고 (41)으로부터 T_{hp} , T_{bp} , 그리고 T_{lp} 를 각각 대입하면, 다음의 전체 전달 함수가 얻어질 것이다.

$$\frac{V_o}{V_i} = -K \frac{(R_F/R_H)s^2 - s(R_F/R_H)\omega_o - (R_F/R_L)\omega_o^2}{s^2 + s(\omega_o/Q) + \omega_o^2} \quad (47)$$

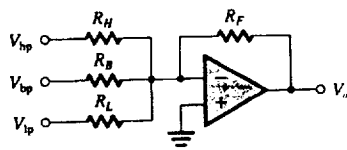
이 식으로부터, 가산기의 저항 값들을 적당히 선택함으로써 서로 다른 전송 영점들을 얻을 수 있다는 것을 알 수 있을 것이다. 예를 들어, $R_B = \infty$ 그리고

$$\frac{R_H}{R_L} = \left(\frac{\omega_n}{\omega_o}\right)^2 \quad (48)$$

으로 선택함으로써, 우리는 노치 함수를 얻을 수 있을 것이다.¹



(a)



(b)

그림 24 그림 23 (c)의 블록도의 필터

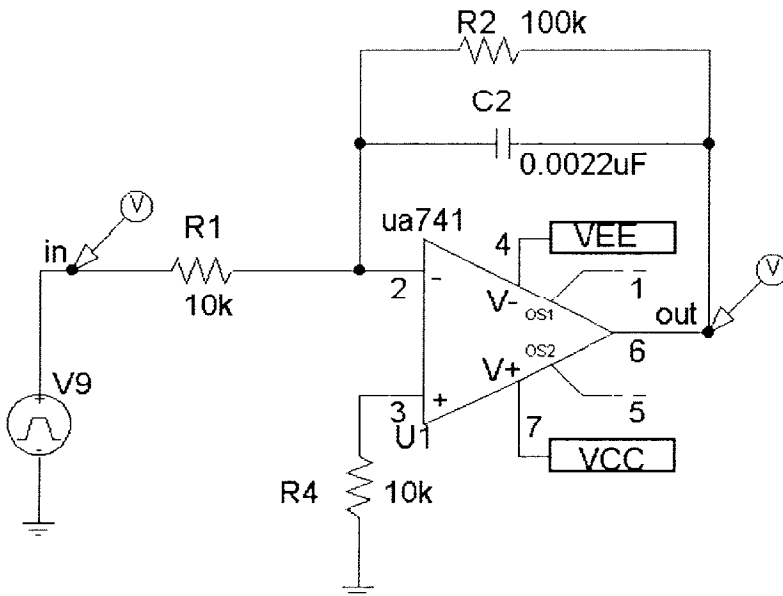


그림 25 RC 저역통과필터의 회로도

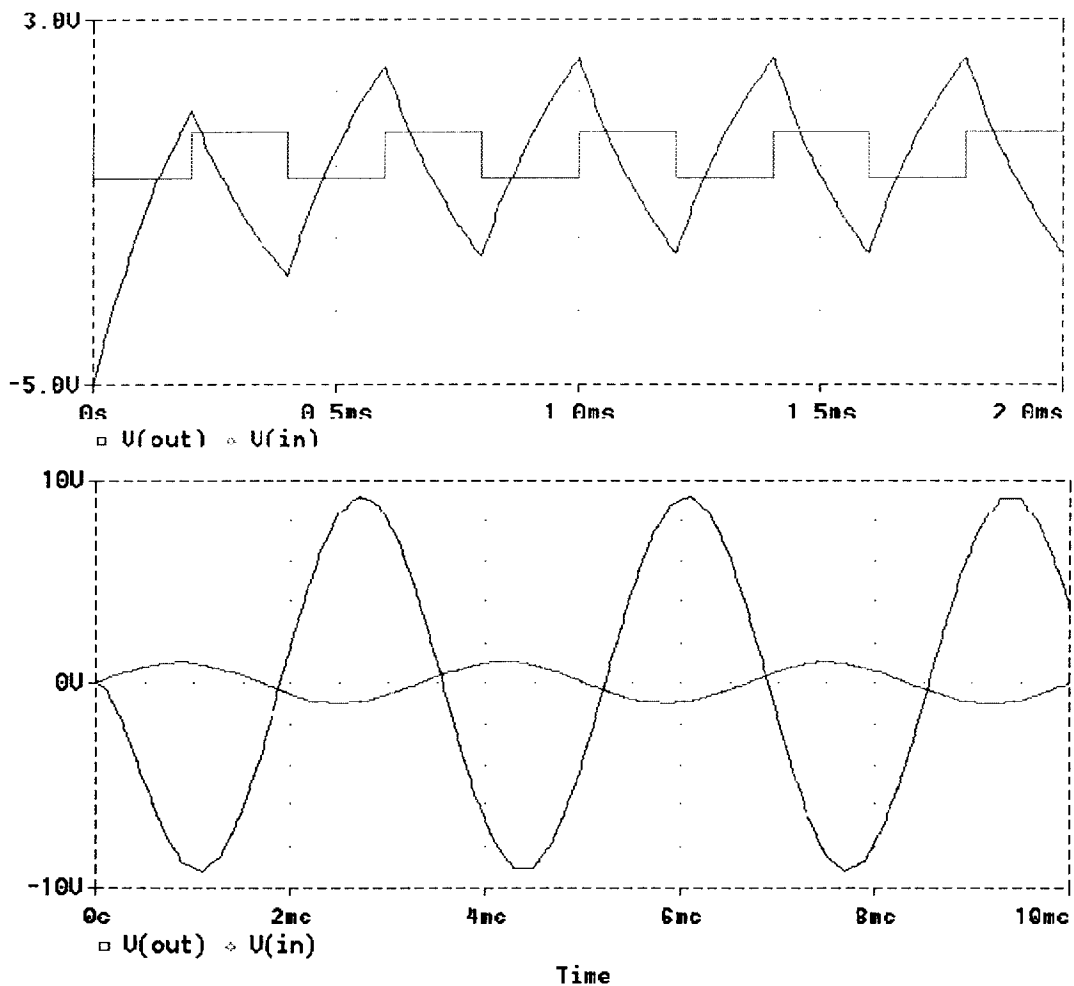


그림 26 RC저역필터의 회로도의 파형

그림 25, 26은 RC 저역통과필터의 기본적인 회로와 시간대별 전압파형으로 저역특성인 적분파형이 보이고있다.

4-2. MOSFET 스위치드 커패시터 필터

스위치드 커패시터 여파기 기술은, 충분히 빠른 속도로 두 회로 마디 사이에서 스위치 되는 커패시터가 이 두 마디를 연결하는 저항과 등가라는 사실에 기초를 두고 있다.

그림 27(a)의 능동-RC 저역필터를 생각해 보기로 하자. 이것은 앞 절에서 2차 저역필터 루프방정식에 사용했던 밀러 저역필터이다. 저역필터의 입력저항 R_1 을 접지된 커패시터 C_1 과 스위치 역할을 하는 두 개의 MOS 트랜지스터로 대체한 것이, 그림 27의 회로이다. 몇몇 회로에서는 더욱 정교한 스위치 구성이 사용된다.

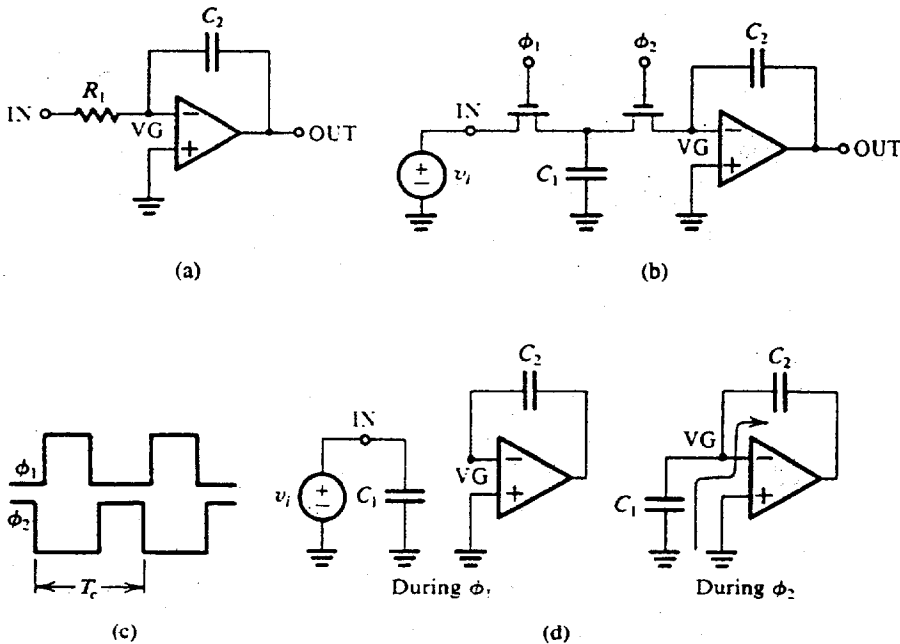


그림 27 스위치드 커패시터 필터의 원리

그림 27의 두 개의 MOS 스위치는 비중복 2위상 클록(nonoverlapping two-phase clock)에 의해서 구동된다. 그림 27에 클록 파형을 나타냈다. 여기서, 클록 주파수 f_c ($f_c = 1/T_c$)가 여파될 신호의 주파수보다 훨씬 높다고 가정할 것이다. 따라서 ϕ_1 클록 위상 동안 C_1 이 입력신호 전원 v_i 양단에 연결

되어 있을 때, 입력 신호의 변화는 무시할 수 있을 정도로 작을 것이다. 따라서, ϕ_1 동안, 커패시터 C_1 은 v_i 전압까지 충전될 것이다. 즉,

$$q_{C1} = C_1 v_i \quad (49)$$

그런 다음, 클록 위상 ϕ_2 동안, 커패시터 C_1 은 그림 27에 보인 것처럼 연산증폭기의 가상 접지 입력에 연결될 것이다. 따라서 커패시터 C_1 은 방전하게 될 것이고, 그것에 축적되어 있던 이전의 전하 q_{C1} 은 C_2 로 전달될 것이다.

위의 설명으로부터, 각각의 클록주기 T_c 동안 $q_{C1} = C_1 v_i$ 의 전하량이 입력 전원으로부터 추출되어 저역필터 커패시터 C_2 로 공급되었다는 것을 알 수 있을 것이다. 따라서 입력 마디(IN)와 가상 접지 마디(VG) 사이에 흐르는 평균 전류는

$$i_{av} = \frac{C_1 v_i}{T_c} \quad (50)$$

일 것이다. 만일 T_c 가 충분히 짧다면, 이 과정이 거의 연속적이라고 생각할 수 있을 것이고, IN과 VG 마디 사이에 사실상 존재하는 등가 저항 R_{eq} 를 다음과 같이 정의할 수 있을 것이다.

$$R_{eq} \equiv v_i / i_{av} \quad (51)$$

따라서

$$R_{eq} \equiv T_c / C_1 \quad (52)$$

일 것이다. R_{eq} 를 이용하여, 저역필터에 대한 등가 시정수를 다음과 같이 얻을 수 있을 것이다. 즉,

$$\text{시정수} = C_2 R_{eq} = T_c \frac{C_2}{C_1} \quad (53)$$

따라서, 여파기의 주파수 응답을 결정짓는 시정수가 클록 T_c 주기와 커패시터 비 C_2/C_1 에 의해서 결정된다는 것을 알 수 있을 것이다. 이들 파라미터들 다는 IC 공정에서 잘 조정될 수 있다는 점에 유의하기 바란다. 특히, 시정수가 커패시터의 절대값이 아닌 그들의 비에 의존한다는 점에 주목하기 바란다. MOS 기술에서 커패시터 비의 정확도는 0.1%까지 조정될 수 있다.

주목할만한 또 다른 점은, 적당한 클록 주파수(100 kHz)와 너무 크지 않은 커패시터 비로써 오디오 응용에 적합한 비교적 큰 시정수를 얻을 수 있다는

점이다. 커패시터가 IC 칩 상에서 비교적 큰 면적을 차지하므로, 이들의 값을 최소화해야 할 것이다. 이에 관련해서, 0.2 pF 정도의 작은 커패시터 값들로 위에서 언급한 비의 정확도를 얻을 수 있다는 것은 주목할 만한 사항이다.

그림 28에 보인 스위치드-커패시터 회로는 반전 저역필터를 실현한다. 2차 저역필터 루프 능동 필터는 하나의 반전 저역필터와 하나의 비반전 저역필터로 구성된다. 따라서 스위치드 커패시터 필터를 실현하기 위해서는, 한 쌍의 상보적인(complementary) 스위치드-커패시터 저역필터들이 필요할 것이다. 그림 28(a)는 비반전 저역필터 회로를 나타낸 것이다. 두 개의

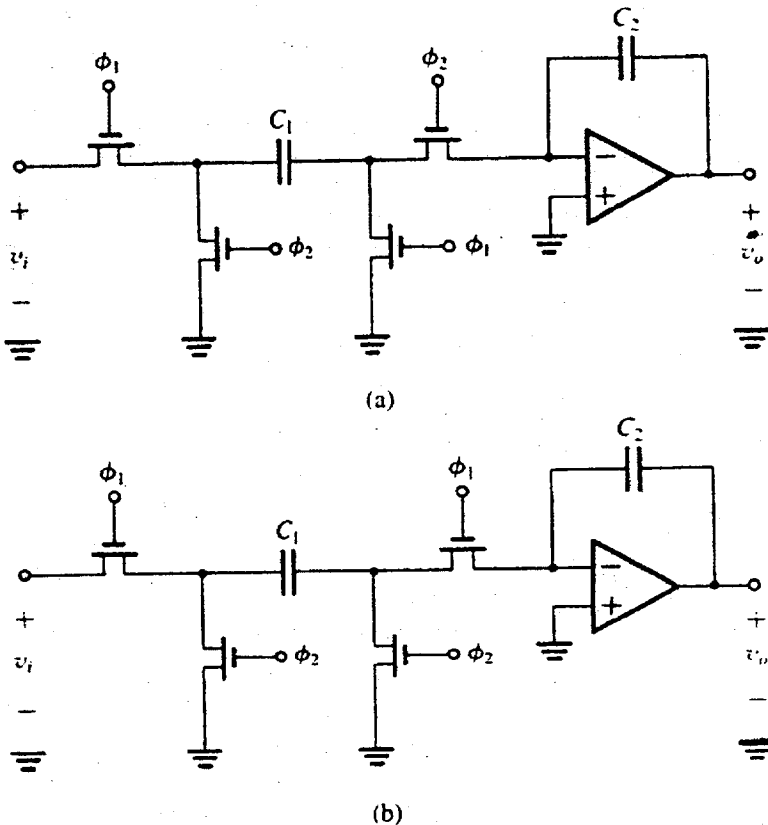


그림 28 스위치드 캐패시터 회로

클록 위상 동안의 이 회로의 동작을 추적해 보면, 부호가 반전되는 것을 제외하고는, 이 회로가 그림 27(b)의 기본 회로와 똑같은 방식으로 동작한다는 것을 알 수 있을 것이다.⁴

그림 28(a)의 회로는 비반전 저역필터 함수를 실현함과 동시에 표류 용량(stray capacitance)의 영향을 받지 않는다.

스위치들 중에서 두 스위치의 클록 위상을 반전시키면, 그림 28(b)의 회로가 얻어질 것이다. 이 회로는, 그림 27(a)의 회로와 같이 반전저역필터 함수를 실현한다. 그러나, 이 회로는 표류 용량의 영향을 받지 않는다. 여기서 그림 28의 한 쌍의 상보회로들이 스위치드-커패시터 필터의 설계에서 표준 빌딩 블록으로 사용하였다.

회로의 실현에 대해 생각해 보기로 하자. 그림 29(a)에, 그림 23에 다루었던 능동RC 2차저역필터 루프 회로를 나타냈다. 저역필터 2단과 반전기의 종속 접속을 하나의 비반전 저역필터로 간주한 후, 각각의 저항을 그것의 스위치드 커패시터 등가로 대체함으로써, 그림 29(b)의 회로를 얻을 수 있을 것이다. 첫 번째 회로 주위의 감쇠를 무시한다면, 귀환루프가 실제로 반전 회로와 비반전 회로로 이루어져 있다는 것을 알 수 있을 것이다. 감쇠를 위해 사용된 스위치드 커패시터의 클록 위상에 주목하기 바란다. 이들의 위상을 반전시키면, 귀환이 정 귀환으로 바뀔 것이고 극점이 s-평면의 우반으로 이동할 것이다. 한편, 입력 공급용 스위치드 커패시터 C_6 의 클록 위상은 그다지 중요하지 않다. 즉, 이들의 위상이 반전되면 단지 실현된 함수의 부호만 반대로 바뀔 것이다.

능동-RC 필터와 스위치드-커패시터 필터 사이의 대응 관계를 알았으므로, 우리는 이제 설계 방정식들을 유도 할 수 있을 것이다. 그림 29(a)의 회로를 해석하면

$$\omega_o = \frac{1}{\sqrt{C_1 C_2 R_3 R_4}} \quad (54)$$

을 얻을 것이다. R_3 와 R_4 대신에 그들의 스위치드-커패시터 등가 값들, 즉

$$R_3 = T_c / C_3 \text{ 그리고 } R_4 = T_c / C_4$$

를 대입하면, 스위치드-커패시터 여파기의 ω_o 를 다음과 같이 얻을 수 있을 것이다. 즉,

$$\omega_o = \frac{1}{T_c} \sqrt{\frac{C_3}{C_2} \frac{C_4}{C_1}} \quad (55)$$

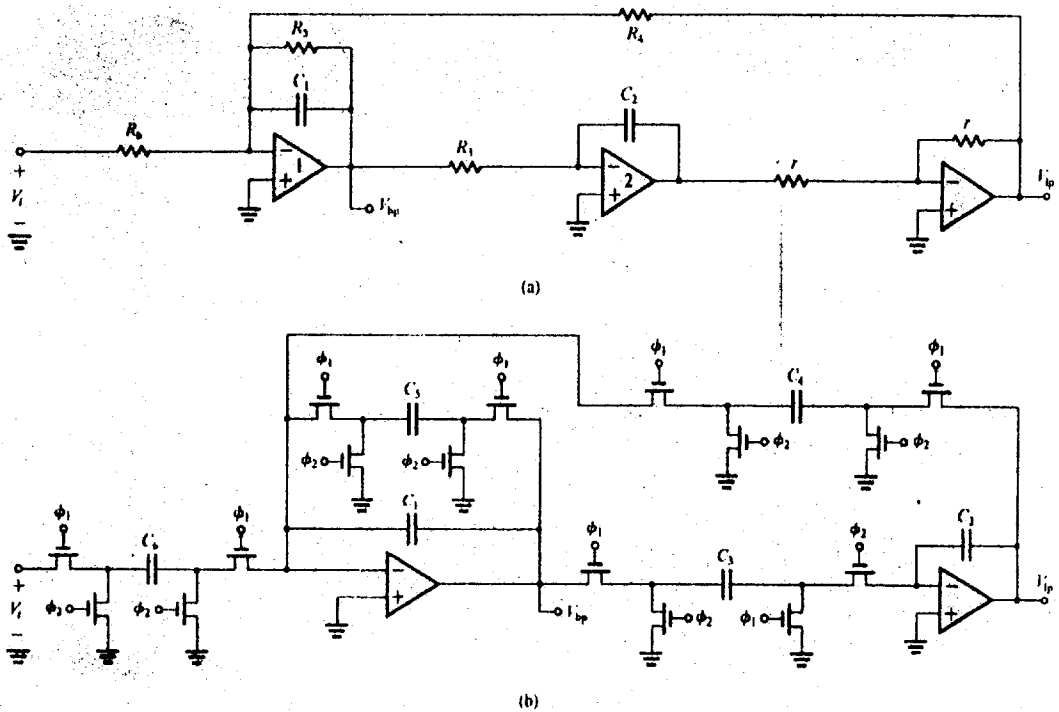


그림 29 2차능동 저역필터와 그에 대응하는 스위치드 캐패시터회로

두 회로의 시정수는 같게, 즉

$$\frac{T_c}{C_3} C_2 = \frac{T_c}{C_4} C_1 \quad (56)$$

이 되게 선택하는 것이 통례이다. 더 나아가 두 회로의 커패시터 C_1 과 C_2 를 같게, 즉

$$C_1 = C_2 = C \quad (57)$$

로 선택한다면,

$$C_3 = C_4 = KC \quad (58)$$

가 될 것이다. 여기서, K 는 식 (55)로부터

$$K = \omega_o T_c \quad (59)$$

일 것이다. 시정수가 같을 경우, 그림 29(a)의 능동-RC 회로의 Q 인수는 R_5/R_4 로 주어질 것이다. 따라서 이에 대응하는 그림 29(b)의 스위치드 캐패시터

회로의 Q 인수는

$$Q = \frac{T_c/C_5}{T_c/C_4} \quad (60)$$

로 주어질 것이다. 따라서 C_5 를

$$C_5 = \frac{C_4}{Q} = \frac{KC}{Q} = \omega_o T_c \frac{C}{Q} \quad (61)$$

의 관계로부터 선택해야 할 것이다. 대역-통과 필터 함수의 중심-주파수 이득은

$$\text{중심-주파수 이득} = \frac{C_6}{C_5} = Q \frac{C_6}{\omega_o T_c C} \quad (62)$$

로 주어질 것이다.

4-3. 컴퓨터 시뮬레이션

OR-CAD 프로그램을 사용하여 RC회로의 저역 통과 여파기를 구성하였다. 그림 30에서는 ua 741 OP-amp를 사용하였으며, 저항 $100k\ \Omega$ 과 정전용량 $0.01nF$ 를 사용하여 필터를 구성하였다. OP-amp의 구동전압은 DC 12V를 사용하였다.

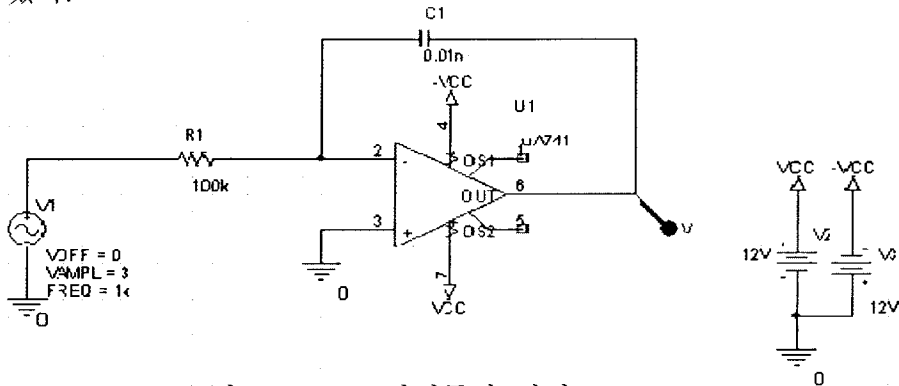


그림 30 RC 저역통과 필터

그림 31은 그림30의 주파수별 필터특성을 나타내고 있다. 파형은 100Hz에서 10MHz까지 100Hz 단위로 시뮬레이션 한 결과 파형으로 이상적인 특성 파형에 가깝게 나타나고 있다.

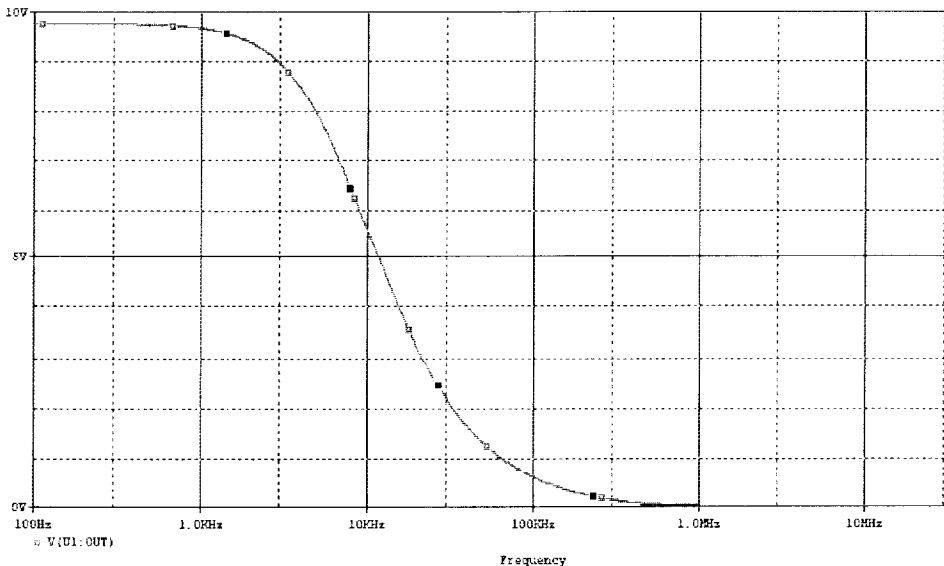


그림 31 RC 저역통과 필터의 결과 파형

그림 32는 그림 30의 필터에서 저항대신 스위치드 커패시터회로를 넣어 구성한 저역통과 필터이다. 스위치는 J174 FET를 사용하였으며 J1과 J4에 같은 신호를 J2와 J3에 같은 신호를 각각 넣었으며 클럭주파수는 10kHz를 사용하였다.

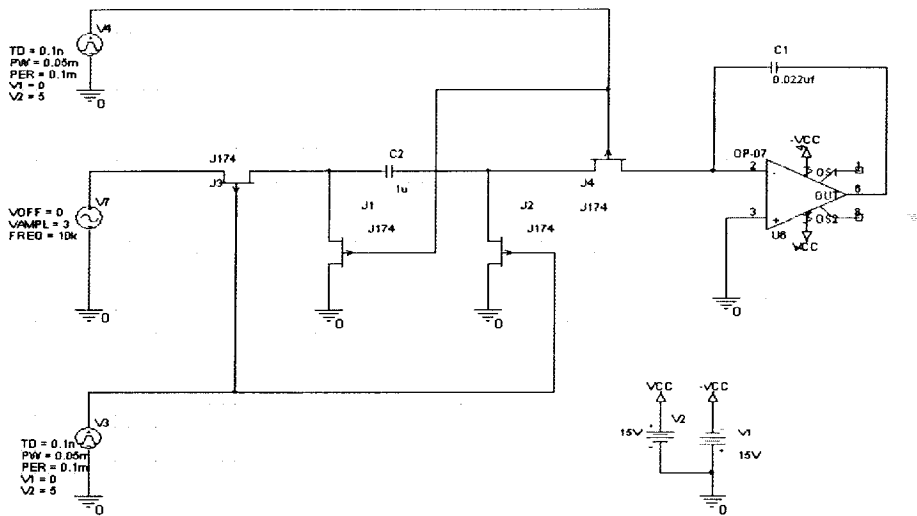


그림 32 스위치드 커패시터 저역통과 필터

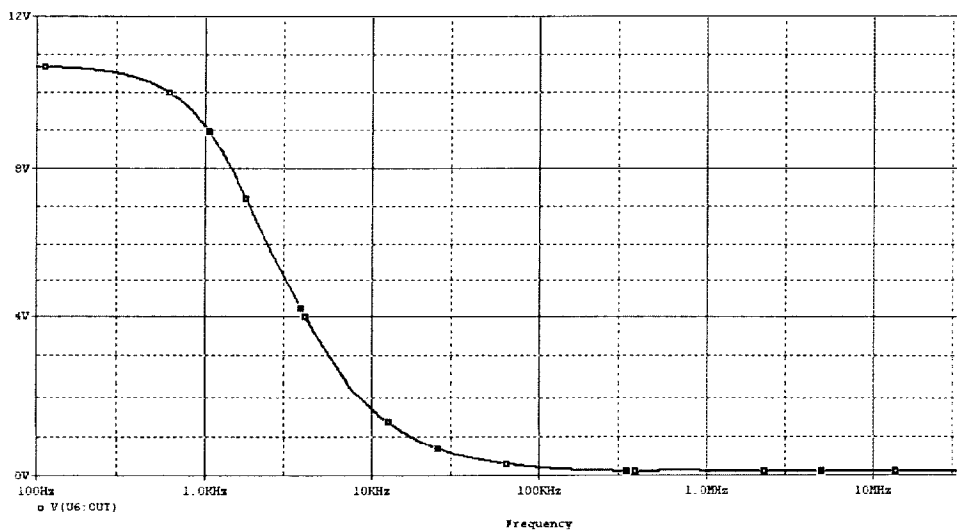


그림 33 스위치드 커패시터 저역통과 필터의 결과 파형

그림 33은 스위치드 커패시터 저역통과 필터의 시뮬레이션한 파형으로 그림 31과 같은 특성을 나타내고 있다.

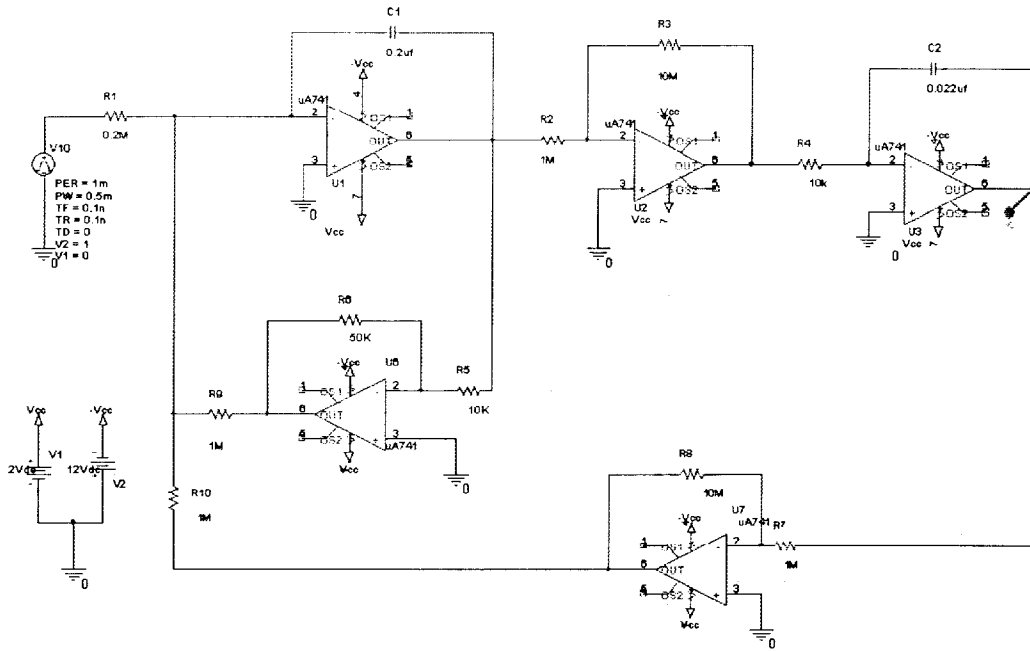


그림 34 2차 능동 RC 저역통과 필터

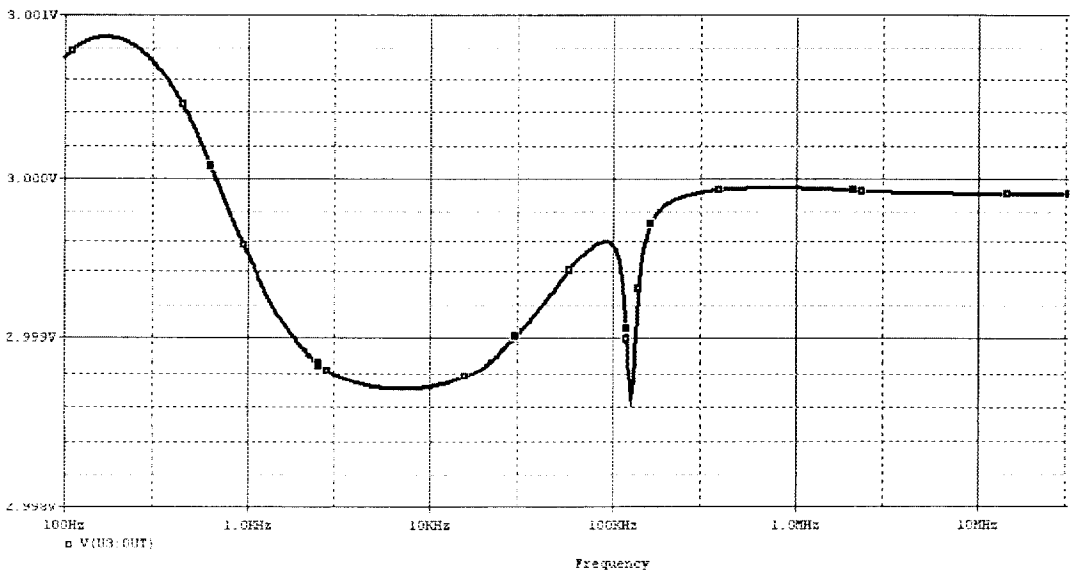


그림 35 2차 능동 RC 저역통과 필터의 출력 파형

그림 34는 두 개의 적분기와 증폭기, 그리고 가산기를 사용하여 그림 29 (a)의 2차 능동 저역통과 필터를 CAD를 사용하여 회로를 구성하였다. 그림 35는 그림 34의 2차 능동 RC 저역통과 필터의 시뮬레이션한 결과이다. 10KHz 부근까지는 저역특성을 보이며, 200kHz 까지는 대역통과 필터의 특성을 그리고 그 후반부는 고역통과 필터특성이 보인다.

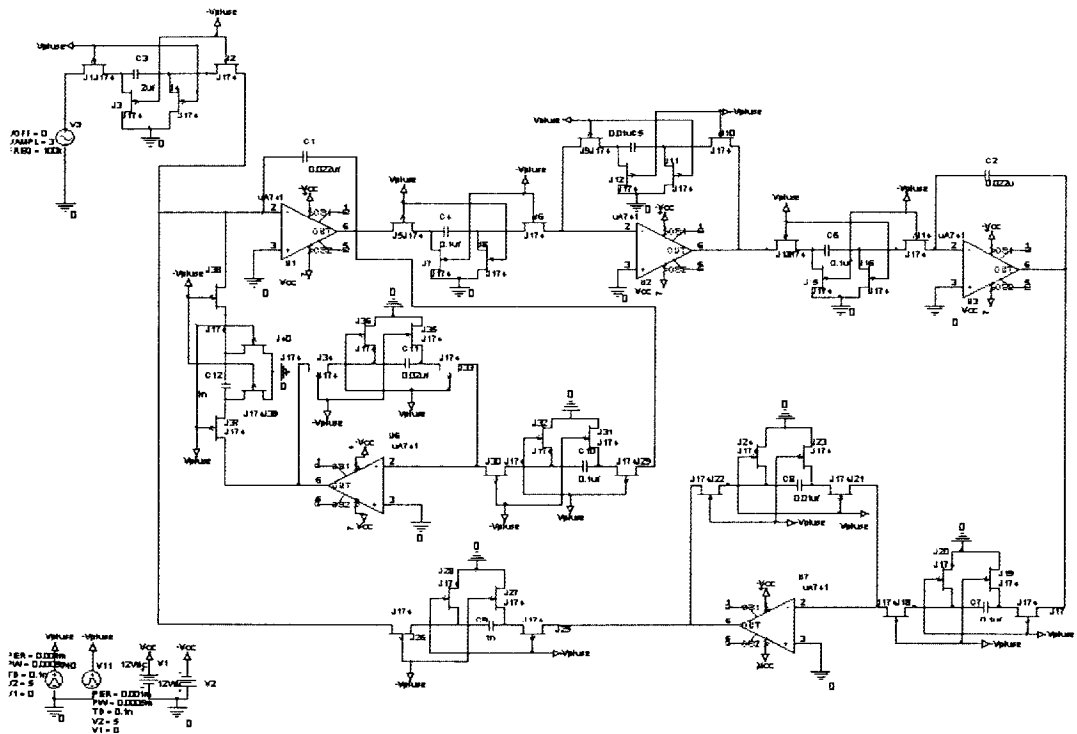


그림 36. 2차 능동 스위치드 커패시터 필터

그림 36은 그림 34의 2차 능동 RC 저역통과 필터에서 저항부분을 스위치드 커패시터 회로로 구성한 저역필터이다.

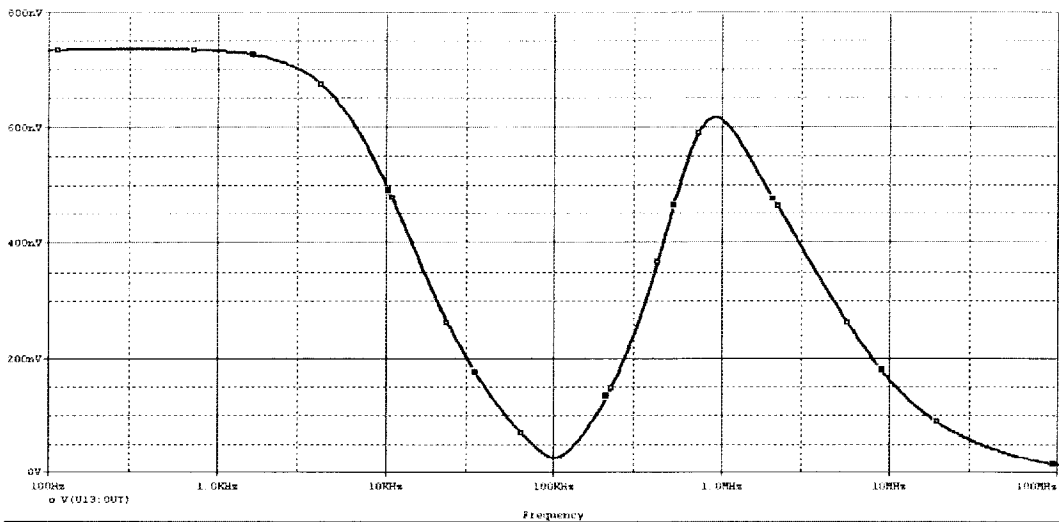


그림 37 2차 능동 스위치드 커패시터 필터의 파형

그림 37은 그림36의 시뮬레이션 결과 파형으로서 입력단의 스위치드 커패시터 회로의 커패시터 정전용량을 100uF으로 설정하여 나타낸 파형이다. 100kHz까지의 저역통과 구간을 확인하였다.

5. 결 론

본 논문에서는 스위치드 커패시터 능동 저역통과 필터를 구성하고 컴퓨터 시뮬레이션을 통하여 구성된 필터가 정확히 동작하고 있음을 확인하였다. 필터실현은 RC 적분기를 기본회로로 이용하였으며, 적분기의 R 대신 스위치드 커패시터 회로를 사용하였다. 스위치드 커패시터 회로는 커패시터 양단에 스위치소자인 FET를 이용하여 충·방전 할 수 있도록 동기 신호로 제어하였다. 회로구성은 가산기와 2단 적분기 그리고 반전증폭기만을 사용하여 2차 능동 저역통과 필터를 구성하고 시뮬레이션을 통하여 동작을 비교 검토하였다.

구성된 회로에서 2차 능동 RC저역통과 필터의 출력파형을 그림 35에서와 같이 확인 할 수 있었고, 더 나아가 대역통과필터, 대역제거필터, 고역통과필터 특성이 나타나는 것도 확인 할 수 있었다. 이러한 회로를 컴퓨터 시뮬레이션 한 결과 그림 37과 같은 파형을 확인 할 수 있었다. 이때 저역통과필터의 특성은 구성된 회로와 일치하고있으며, 대역통과필터, 대역제거필터 특성까지 일치함을 알 수 있다. 고역통과필터 특성은 그림 37에서 나타나지 않았으나 이는 시뮬레이션 틀의 한계로 사료된다.

6. 참 고 문 헌

- [1] Sendra and Smith, "Microelectronic Circuits" OXFORD, fourth edition , vol. 923-946, 1998
- [2] K.Hirano and S Nishimura, "Active RC filters containing periodically operated switches" IEEE Trans. Circuit Theory, vol. CT-19, MAY 1972
- [3] Allen and Sanchez-Sinencio, "Switched-Capacitor Circuits", Von Nortand Reinhold, 1984.
- [4] 심대운, "A study on the design technique of switched capacitor filter", 서울대학교대학원 석사논문집, 1987
- [5] Allstot, David j. "MOS switched capacitor ladder filters.", IEEE J. Solid-State Circuits. v13 n6 Dec, pp. 806-814, 1978
- [6] k. martin and A. S. Sedra, "Effects df the op amp finite gain and bandwidth on the performance of switched capacitor filters," IEEE Erans. Circuits and Systems, vol. CAS-28.no. 8, pp. 822-829, Aug. 1981.
- [7] D. J. Allstot and W. C Blanck, "Technological design considerations for monolithic MOS switched capacitor filtering system," Proc. IEEE, vol. 701,no. 8, pp 967-986, Aug. 1983
- [8] M.S. Lee and C. Chang, "Bilinear Switched-Capacitor Ladder Filters.", IEEE Trans. Circuits and Systems, August, pp.811-822, 1981.
- [9] J.T.Caves, M.A.Copeland, C.F.Ranim, S.D.Rosenbaum, "Sampled analog filtering using switched-capacitors as resistor equivalents." IEEE Solid State Circuits, vol. sc-12, no.6 pp. 592-600, dec. 1977.
- [10] 송한정, 권계달, "CMOS 스위치드캐패시터방식의 가칭주파수대 5차 타원형저역통과 여파기의 설계 및 구현." 전자공학회논문집, pp. 49-57, 1999.