공학석사 학위논문

저전압 2단 CMOS Class E RF 전력증폭기에 관한 연구

2002년 8월

부경대학교 대학원

전 자 공 학 과

김 성 우

공학석사 학위논문

저전압 2단 CMOS Class E RF 전력증폭기에 관한 연구

지도교수 권 태 하

이 논문을 공학석사 학위논문으로 제출함.

2002년 8월

부경대학교 대학원

전 자 공 학 과

김 성 우

김성우의 공학석사 학위논문을 인준함

2002년 6월 29일

주 심	공학박사	이 명 교	(인)
위 원	공학박사	최 혁 환	(인)
위 원	공학박사	권 태 하	(인)

목　　차

Studies on Low Voltage and Two Stage CMOS Class E RF Power Amplifier

Sung-Woo Kim

Department of Electronic Engineering, Graduate School,

Pukyong National University

Abstract

With the increasing popularity of wireless communication systems like cordless phones, wireless modems, personal communication, Bluetooth and HomeRF, higher levels of RF component integrations are required to reduce size and cost of products.

Bluetooth and many other small wireless communication systems require components that operate at low voltages with high efficiencies to extend battery life. So far, Gallium Arsenide technology has been the primary choice of radio engineers in implementing RF components due to its lower noise figure, higher gain and higher output power. However, we believe that CMOS is still a reliable technology for utilizing 2.4GHz frequency and offers a higher level of digital and analog integration with the advantage of reducing the power consumption and cost in comparison with GaAs.

In this paper, low voltage and two stage CMOS Class E RF power amplifier for ISM(Industrial/Scientific/Medical) Open Band is presented. The power amplifier operates at 2.4GHz Band, and is designed and simulated with a 0.6um CMOS technology and HSPICE simulator. The power amplifier is simple structure of two stage Class E power amplifier. The design procedure determing matching network was presented. The power amplifier is composed of input stage matching network, preamplifier, interstage matching network, power amplifier, and output stage matching network. The matching networks of input stage and interstage were constituted by pi(π) type and L type respectively.

이 연구는 반도체설계교육센터로부터의 부분적인 지원을 받아 이루어졌음.

At 2.45GHz operating frequency, and with a 2.5V supply voltage, the power amplifier delivers 23dBm output power to a 50Ω load with 45.3% power added efficiency(PAE) and 26dB power gain.

keyword : RF Power Amplifier, Two Stage, CMOS, Class E, Low Voltage, Bluetooth

이 연구는 반도체설계교육센터로부터의 부분적인 지원을 받아 이루어졌음.

I. 서 론

무선통신 방식은 시간과 공간에 크게 제약을 받지 않고 휴대가 간편한 소형, 경량화 된 단말기로 정보를 교환할 수 있는 이동통신과, 인공위성을 통하여 나라간 국경 없이 정보전달을 수행할 수 있는 위성통신으로 크게 분류할 수 있으나 이동통신으로 통칭되고 있다. 이동통신을 무선통신의 기술 발전 단계로 구분 할 때 제1세대는 아날로그 이동통신, 제2세대는 디지털 이동통신, 제2.5세대는 PCS(개인이동통신), 제3세대는 2GHz주파수대 IMT-2000, UMTS, Bluetooth등의 차세대 무선통신으로 구분된다.

특히 2GHz주파수대의 WLAN(Bluetooth, Home-Radio,...) 및 개인 휴대시스템에서는 한정된 축전지를 장시간 사용하기 위하여 낮은 공급 전압과 높은 효율, 소형화 및 경량화가 이루어져야 한다. 따라서 이와 같은 시스템의 응용에 저가격, 저전력 그리고 고집적 구현의 요구가 증대되고 있으며, 이러한 요구를 만족하기 위해 가장 먼저 해결되어야 할 과제는 송신단의 전력증폭기의 저전압, 고효율화라고 여겨진다.

현재 무선통신시장에서는 단거리 무선통신을 위한 기술로서 블루투스(Bluetooth: 2402MHz-2480MHz)가 휴대폰, PDA, PC, 심지어 TV나 냉장고와 같은 모든 가전기기의 네트워크 시대를 열어줄 기술로서 통신시장에서 큰 관심을 모으고 있다. 블루투스는 크기가 작고 저렴한 가격, 적은 전력소모로 휴대장치들과 네트워크 액세스 포인트, 기타 주변장치들 간의 작은 구역(10m 100m)내의 무선 연결(Radio Link, 2.4GHz ISM Open Band)을 위한 하나의 기술이다. 블루투스를 포함한 모든 무선통신 송수신기는 저가격, 저전력 그리고 고집적 구현의 요구가 증대되고 있다.[9-11]

기가헤르쯔 대역에서 낮은 전력손실, 낮은 기생 커패시턴스와 저항특성으로 인해 GaAs 기술에 많은 연구가 있어왔으나 높은 가격으로 인해서 저가격, 저전력 소모 그리고 고집적화 등에 큰 경쟁력을 가진 CMOS process가 미래의 주도적인 기술이 될 것으로 기대된다. 특히 RF 송수신단에서 가장 전력소모가 많은 부분인 전력증폭단은 낮은 공급전압에서 높은 출력전력과 고효율을 요구함으로 설계가 까다로울 뿐만 아니라 집적화가 어렵고 가격이 매우 비싸 CMOS 기술이 가장 적합하다 할 수 있다.

E급 전력증폭기는 VHF 대역(30MHz 300MHz)에 제한되어져 왔으나 최근에 기가헤르쯔 대역에서 하모닉 성분을 제어하는 기술과 함께 GaAs와 CMOS기술을 E급 RF 전력증폭기에 사용한 연구가 보고되었다.[5,12]

Table.1에는 본 논문의 배경이 된 전력증폭기에 대한 외국논문의 특성들을 요약하였다. 대부분 CMOS를 이용하여 800MHz~2GHz의 동작주파수와 2V~3.4V의 공급전압에서 20dBm~30dBm의 출력전력과 16%~62%의 전력부가효율을 나타내고 있다.

GaAs보다 전력손실이 적고 저가격의 큰 장점을 가진 CMOS를 이용한 RF가 점점 상용화 수준에 가까워 있으며 디지털 집적회로를 위해 투자되었던 CMOS 기술의 급속한 발전에 힘입어 머지않아 2 3GHz대역에 상용 제품이 나타나게 될 것으로 전망된다.

따라서 본 논문에서 설계한 CMOS RF 전력증폭기는 2.4GHz의 주파수대역에서 저전압과 낮은 RF입력 전력으로부터 고출력 및 고효율을 내며 최소 크기의 chip 제작과 이를 위한 입력단, 내부단 그리고 출력단의 Matching Network를 최적화하였다. 제안된 전력증폭기는 0.6㎛ CMOS를 사용하여 2단의 E급 RF 전력증폭기를 설계하였으며 그 특성을 HSPICE를 이용해 시뮬레

이션하였고 그 결과를 비교, 분석하였다. 레이아웃은 Mentor IC Station을 통해 수행되었다.

Table.1. Background for this paper

Reference	Tech.	Specification	Fo	Intergration	Chip Size
[1]	0.35um CMOS	2.5V, 23.5dBm 35% efficiency	1.9GHz	Off-Chip	-
[2]	0.35um CMOS	*2V, 30dBm* 41% efficiency	1.9GHz	Off-Chip	-
[3]	0.8um CMOS	2.5V, 30dBm *62% efficiency*	800MHz	On-Chip	1.5mm^2
[4]	0.8um CMOS	3V, *20dBm* *16% efficiency*	1.9GHz	On-Chip	-
[5]	0.8um GaAs	2.5V, 24dBm 50% efficiency	835MHz	On-Chip	8.4mm^2
[6]	GaAs	*3.4V*, 22.5% 29% efficiency	1.9GHz	-	-
[7]	Bipolar	3.3V 27dBm 35% efficiency	2GHz	-	-

II. 전력증폭기 이론

2.1 전력증폭기의 비선형성

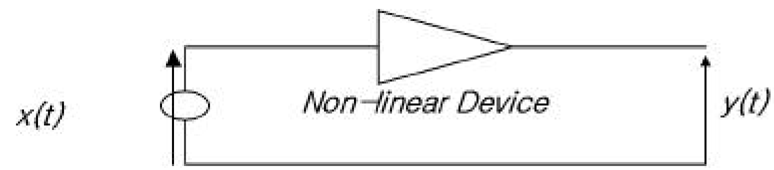


Fig.1. Nonlinear Device and Power Series

HPA(High Power Amplifier)에서의 증폭기는 비선형 증폭기로 일반적으로 입력신호의 크기가 증가함에 따라 이득이 감소하고 위상이 증가하는 특성을 지닌다. 비선형 증폭기는 power series로 입력 및 출력특성을 나타낼 수 있는데 다음의 식은 위상의 변화를 무시한 것이다.

$$y(t) = a_1 x(t) + a_2 x(t)^2 + a_3 x(t)^3 + \ ... \qquad (1)$$

여기서, $x(t)$는 증폭기의 입력, $y(t)$는 출력을 나타낸다.

식(2)와 같은 하나의 정현파의 신호가 증폭기에 입력되게 되면,

$$x(t) = A \cos(w_1 t) \qquad (2)$$

식(3)과 같은 출력 $y(t)$를 얻게 된다.

$$y(t) = \frac{1}{2} a_2 A^2 + (a_1 A + \frac{3}{4} a_3 A^3) \cos(w_1 t)$$

$$+ \frac{1}{a_2} A^2 \cos(2 w_1 t) + \frac{1}{4} a_3 A^3 \cos(3 w_1 t) + \ldots \qquad (3)$$

입력 주파수 w_1 이외에 DC성분과 $2w_1$, $3w_1$ 등의 하모닉스가 발생된다.

식(3)에서 a_3가 0보다 작으면 선형 출력 성분 $a_1 A \cos(w_1 t)$의 값이 $(a_1 A + \frac{3}{4} a_3 A^3) \cos(w_1 t)$값보다 작아지게 된다. 따라서 입력 성분이 커질수록 주파수 w_1의 출력 성분중 비선형 성분이 커지게 되므로 하모닉 성분에 의한 원래의 신호의 왜곡 현상이 발생하게 된다.

2.2 E급 전력증폭기 이론[8,14]

2.2.1 기본 개념

Fig.2는 이상적인 Class E 전력증폭기를 나타낸 것으로 MOSFET, L_{dc}, 리액턴스 성분 jX, 부하저항 R_L 그리고 L_0, C_0 공진기로 구성되어 있다.

여기서 MOSFET은 스위치로 동작하며 중심 주파수에서 입력신호에 따라 주기적으로 turn-on ↔ turn-off 되어진다. C_0와 L_0은 공진기로서 동작주파수에 해당되는 1차 고조파 성분만을 사인파 신호형태로 부하저항에 전달한다. 리액턴스 성분인 jX는 출력전압과 스위치양단의 전압간의 위상을 변화시킨다.

스위치로 동작하는 MOSFET에서는 실제로 유한한 내부저항과 스위칭시의 과도시간에 의해 전력손실이 발생하게 되는데 스위치의 전류와 전압은 같은 시간에 서로 겹치지 않아야 이상적인 Zero의 전력손실을 얻을 수 있다.

스위치가 Turn-Off되었을 때 L_{dc}(RF Chock) 통한 전류가 부하와 C_P로 흐르게 되는데 이때 C_P는 스위치의 양단 전압을 아주 낮게 유지하게 하지만 충전되었다가 다시 접지로 방전되면서 전력손실을 발생시킬 수 있다.

회로내의 각 성분에 대해 관련된 서식은 다음과 같다.[8]

공진기의 인덕터,

$$L_0 = \frac{QR_L}{w_o} \quad (4)$$

공진기의 커패시터,

$$C_0 \approx C_1\left(\frac{5.447}{Q}\right)\left(1+\frac{1.42}{Q-2.08}\right) \quad (5)$$

수동소자의 기생성분을 포함하는 C_P

$$C_P = \frac{1}{w_0 R_L \left(\frac{\pi^2}{4} + 1\right)\left(\frac{\pi}{2}\right)} \approx \frac{1}{w_0 (R_L \times 5.447)} \qquad (6)$$

부하로 전달되는 최대 출력전력 P_O,

$$P_O = \frac{2}{1 + \left(\frac{\pi^2}{4}\right)} \times \frac{V_{DD}^2}{R_L} = 0.577 \times \frac{V_{DD}^2}{R_L} \qquad (7)$$

Fig.3은 E급 증폭기의 드레인 양단에서의 전압, 전류특성을 나타낸 것이다. 이상적인 경우 스위치가 turn-on되었을 때 스위치에는 Zero전압이 나타나야하며 기울기가 Zero를 유지하고, turn-off 되었을 때 드레인 전류는 Zero의 값을 가진다.

그러나 실제의 경우 스위칭소자가 무한히 빠르지 못하므로 스위칭소자 내에서의 전력손실이 발생하게 된다. 즉 turn-on 기간 동안 zero의 값과 기울기를 가지기 어렵고 turn-off의 반주기 동안은 Fig.3에서 나타나듯이 드레인 전류의 최대값이 turn-off → turn-on의 과도기간에서 보이므로 실제 설계시 주요 전력손실 부분으로 예상할 수 있다.

MOSFET는 내부의 기생저항성분으로 인해 전력손실이 발생됨으로 손실을 최대한 줄이기 위해서 가능한 큰 게이트 폭을 가지도록 설계되어야 한다.

MOSFET의 기생저항성분은 최대효율에 영향을 미치는 성분이고 기생커패시턴스는 최대동작주파수를 제한한다.

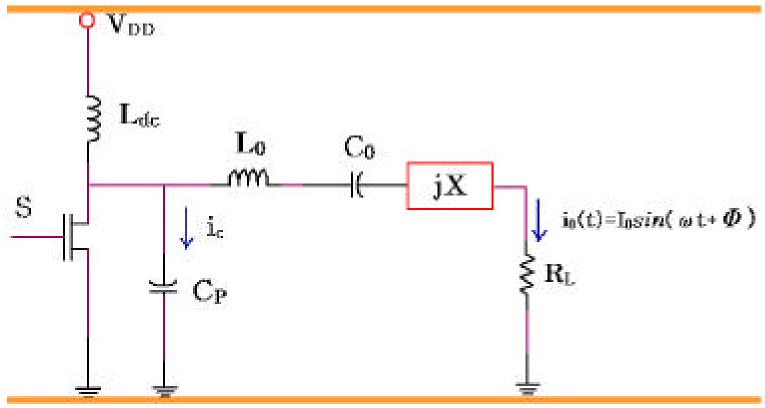


Fig.2. Single-ended FET Class-E resonant tuned power amplifier

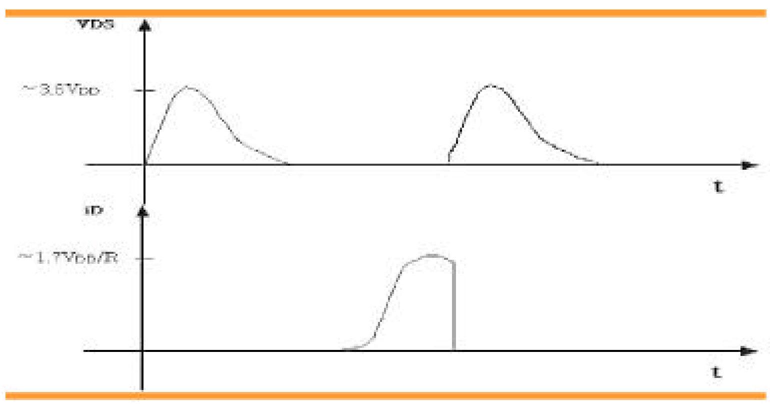


Fig.3. Drain Waveforms of Class E Amplifier

2.2.2 관련 주요서식

전력증폭기의 특성과 관련된 주요 서식을 아래에 나타내었다. 드레인 효율을 (10)식에 나타내었는데 RF 출력전력과 DC 입력전력만을 포함하고 있어 전력 이득의 정보는 없음을 확인 할 수 있다. 따라서 또 다른 효율 표현식으로 (9) 식처럼 전력이득의 정보를 가지는 전력부가효율(PAE: Power Added Efficiency)로 나타내며 드레인 효율(η) 보다 그 값은 항상 작다.

① Power Gain(전력 이득)

$$G_P \equiv 10\log\left(\frac{P_{out}}{P_{RF\,in}}\right) \tag{8}$$

P_{out} ; Output Power, $P_{RF\,in}$; RF Input Power

② Power Added Efficiency(PAE: 전력부가효율)

$$PAE \equiv \frac{P_{out} - P_{RF\,in}}{P_{dc}} \tag{9}$$

P_{dc} ; DC Power

③ Drain Efficiency (η)

$$Drain\ Efficiency\ (\eta) \equiv \frac{P_{out}}{P_{dc}} \tag{10}$$

④ Quality Factor(Q)

$$Q \equiv w_0 \frac{energy\ stored}{average\ power\ dissipated} \tag{11}$$

III. 저전압 2단 CMOS E급 RF 전력증폭기 설계

3.1 설계 순서

전력증폭기의 설계를 위해 우선 목표로 하는 전력증폭기의 특성값들을 설정하고 그에 적절한 능동소자의 선택을 한다. 그리고 회로 설계 이론을 바탕으로 최적·최상의 회로의 설계 후, 최적의 임피던스 매칭네트워을 구성하여 시뮬레이션을 통해 각각의 구성 성분값들을 튜닝 과정을 통해 추출한 후 분석하게 된다. 이어서 레이아웃을 수행하고 칩의 제작에 들어가게 된다. 그 일련의 과정을 Fig.4에 간략하게 나타내었다.

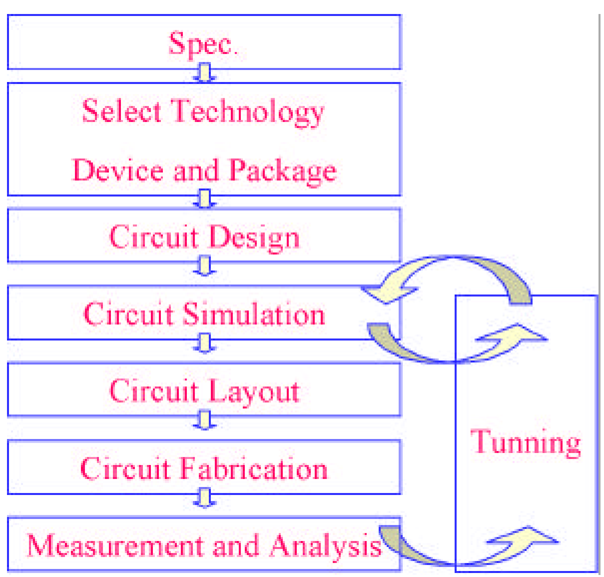


Fig.4. Design Flow

3.2 제안된 2단 RF 전력증폭기

2단 전력증폭기의 설계에 있어 기본적인 2단 구조를 Fig.5에 나타내었다. 임피던스 매칭 네트웍을 기준으로 크게 입력단, 내부단 그리고 출력단으로 구분할 수 있다. 전력증폭기이므로 전력 매칭으로 인한 낮은 이득값으로 인해 첫단은 이득 증폭단으로 구성되고 출력단은 전력 증폭단으로 구성된다.

내부단에서는 비선형 왜곡성분을 제어하기 위해 여러 가지 기술들을 사용하는 것을 볼 수 있는데[11], 수동소자의 수가 많이 요구되어 전력증폭기의 크기가 커지는 단점을 가지고 있다.

출력단은 큰 전압과 전력을 다루어야 하므로 FET 능동소자를 사용할 경우 채널폭이 클수록 큰 출력전력을 얻을 수 있다.

본 논문에서 제안한 간단한 구조의 저전압 2단 CMOS E급 RF 전력증폭기를 Fig.6에 나타내었다. 입력단의 C_b는 DC Blocking 커패시터이고 입력단과 출력단에는 50Ω의 입력 임피던스를 가지도록 각각 매칭네트웍을 구성하였다. 능동소자의 드레인과 공급전압사이에 RFC(RF chock), 즉 RF 신호에 대해서 개방회로로 동작하는 L_{dc2}와 L_{dc1}, 중심주파수에서 resonator역할을 하는 L_0, C_0, 입력단과 출력단 사이에 RF 신호가 왜곡되지 않고 전달 되도록 L-type의 내부단 임피던스 매칭으로 구성하였다.

출력단은 E급 증폭기의 부하로 구성되며 RFC는 튜닝작업을 통해 비교적 낮은 값이 선택되었다. Quality factor(Q)의 값이 클 경우 설계된 회로의 결과특성은 우수해지나 실제 구현시 칩의 크기가 상당히 커지거나 복잡해지는 단점이 있어 그 값이 5가 넘지 않도록 제한하였으며 스미스 차트를 이용하여 공진기 및 임피던스 매칭네트웍의 최적화 작업을 수행하였다.

칩 크기의 최소화를 목적으로 수동소자의 수를 줄이기 위해 특별히 내부단에서 하모닉성분을 제어하는 기술을 사용하지 않으면서 전제 회로의 매칭네트웍의 튜닝작업을 통해 원하는 신호만을 출력으로 전달하도록 최적화 작업을 수행하였다.

출력단에서의 능동소자는 전력증폭기 역할을 함으로 큰 값의 채널폭(4000㎛ 이상)을 요구하고 있으나 제안된 회로에서는 그 크기를 절반 이상으로 줄여서 설계하였고, 제작될 칩의 최소화를 고려하여 레이아웃을 수행하였다.

이득 증폭단인 입력단에서는 27dB의 전압이득을 보였으며 2단 전력증폭기의 드레인효율(η)은 45.3%, 전력부가효율(PAE)은 약 45%, 출력전력(P_{out})은 23dBm, 전력이득(G_p)은 26dB를 보였다. 그리고 레이아웃 결과에 따른 전체 칩의 크기는 $0.7mm^2$였다.

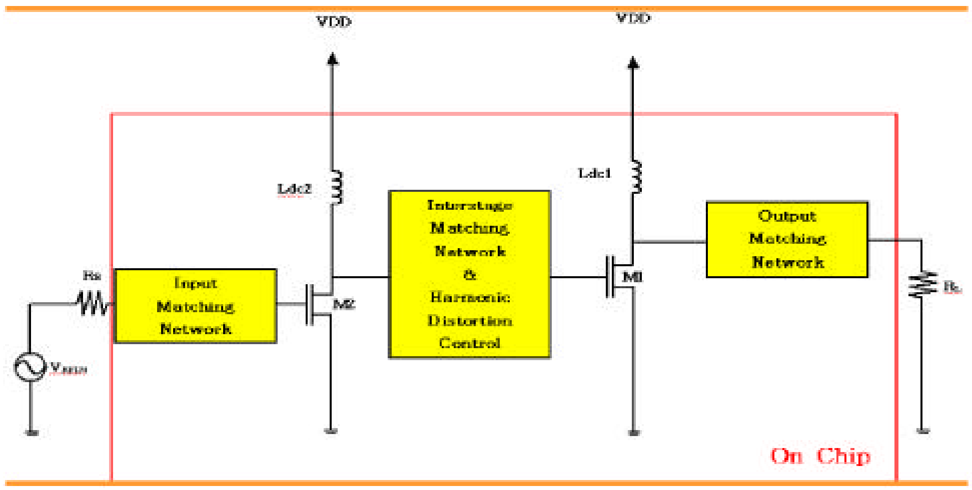


Fig.5. Basic Structure of Two Stage Power Amplifier

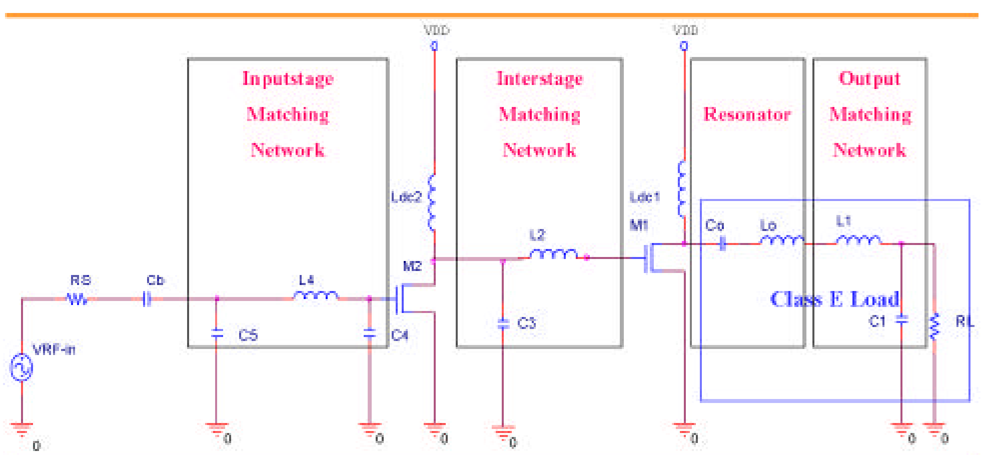


Fig.6. Proposed Two Stage CMOS Class E RF Power Amplifier.

3.3 임피던스 매칭네트웍

제안된 전력증폭기의 각 단의 매칭네트웍의 최적화를 위한 기본 구성도를 Fig.7에 나타내었고 L-match 형태를 Fig.8에 나타내었다. 칩의 크기와 구현의 용이성을 고려해서 전체적으로 Q값이 5이하로 제한하여 수행하였다.

먼저 50Ω의 부하저항에 200mW 이상의 출력전력을 나타내도록 출력단에서부터 최적화 작업을 수행하였다. E급 구성된 전력 증폭단의 부하 임피던스 네트웍은 Downward impedance transformer의 형태로 구성하였다.

내부단은 처음엔 pi 형태가 적절했으나 각단의 매칭네트웍의 구성 후 출력신호의 크기 및 중심 주파수가 크게 떨어지는 현상을 보여 전체 회로의 튜닝 작업과정을 통해 Upward impedance transformer가 가장 적절한 구성으로 판단되었다. 입력단에서의 구성은 높은 Q값에 잇점이 있는 pi 매칭 네트웍이 적절하였다.

출력단 매칭네트웍의 실제 튜닝후 가장 큰 출력전력을 보이는 R_{in1}값은 16Ω이었다. 그리고 R_{in2}값은 16Ω으로 매칭을 위한 최적의 값은 61Ω이었으며 R_{in3}값은 입력 임피던스인 50Ω이다.

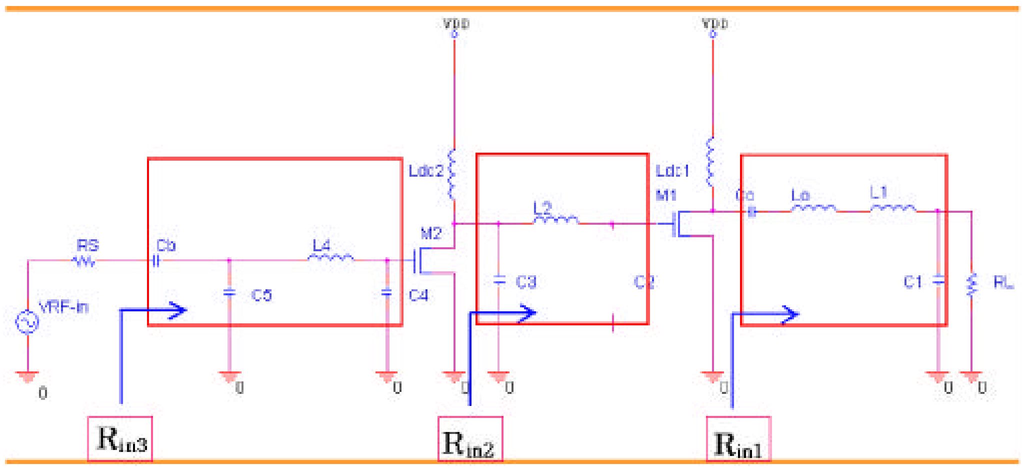
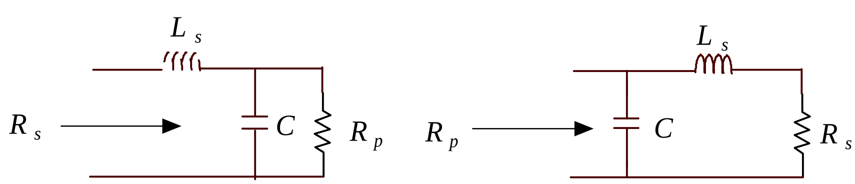


Fig.7. Schematic for Impedance Matching Network Optimization



(a) (b)

Fig.8. Downward(a) and Upward(b) impedance transforme

$Q^2>>1$**일 때**, L-match **형태는 아래 관계식을 만족한다**.

$$R_p \approx R_s Q^2 = R_s \left(\frac{1}{w_0 R_s C} \right)^2 = \frac{1}{R_s} \frac{L_s}{C} \tag{12}$$

$$R_p R_s \approx \frac{L_s}{C} = Z_0^2 \tag{13}$$

$$Q \approx \sqrt{\frac{R_p}{R_s}} \tag{14}$$

3.3.1 출력단 매칭(R_{in1})[8]

출력단의 임피던스 매칭네트웍 최적화 작업은 Sokal의 이론을 바탕으로 M1의 입력에 이상적인 사각파를 인가하여 최대 출력전력이 나타나도록 구성하였으며, Fig.9에 스미스 차트를 이용한 최적화 과정을 간략히 나타내었다. 실제 E급 전력증폭기의 이론식[8]의 계산값과 거의 일치하는 결과 값을 보였고 E급 전력증폭단의 공진기의 L_0와 C_0는 Q값이 5정도의 값을 가지도록 설정하였다.

R_{in1}을 1Ω 50Ω의 영역에서 튜닝 작업을 수행하였다. 실제 L_0와 C_0는 임피던스 매칭네트웍의 성분 값에 영향을 주지 않는다.

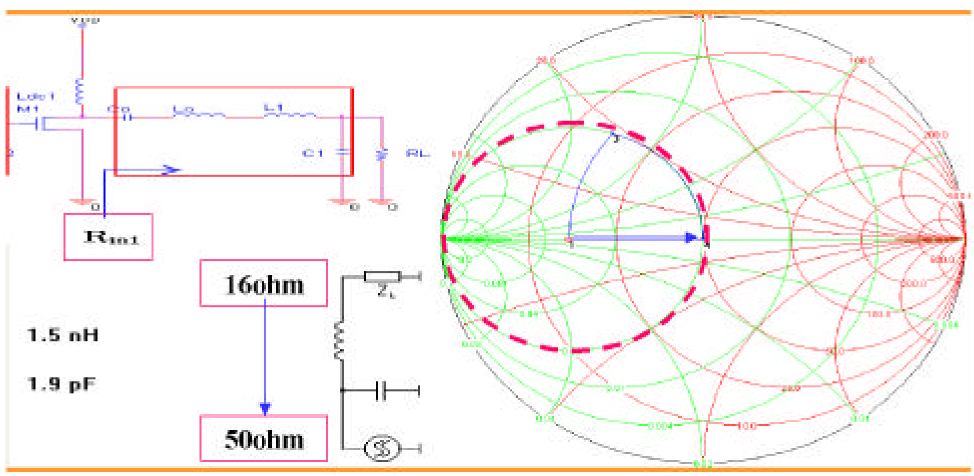


Fig.9. 스미스차트를 이용한 출력단 매칭.

3.3.2 내부단(Interstage) 매칭(R_{in2})

내부단의 임피던스 매칭네트워크은 M2의 출력신호가 왜곡성분이 없는 이상적인 신호로 가정하고 하모닉 성분의 왜곡없이 M1의 출력단의 드레인 전압 및 전류가 이상적으로 나타나도록 튜닝을 통해 최적화 작업을 수행하였으며 R_{in1}=16Ω으로 임피던스 매칭이 되도록 R_{in2}을 설정하였다. 스미스 차트를 이용한 최적화 과정을 Fig.10에 나타내었다.

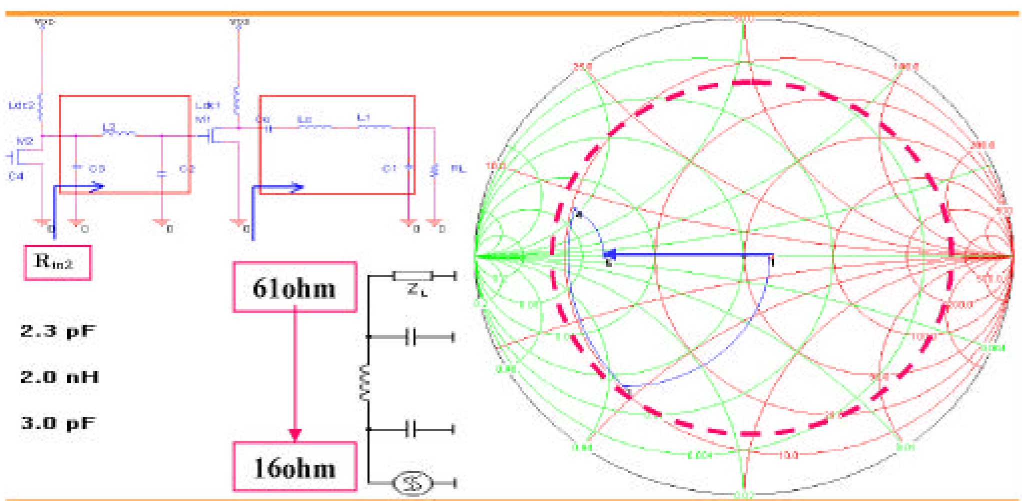


Fig.10. 스미스차트를 이용한 내부단 매칭.

3.3.3 입력단(Inputstage) 매칭($R_S = R_{in3}$)

입력단의 매칭네트웍은 RF 입력 신호가 선형적으로 전달되기 위해 R_S = R_{in3}=50Ω이 R_{in2}=61Ω에 임피던스 매칭이 되도록 튜닝작업을 통해 최적화 되었다. 스미스 차트를 이용한 최적화 과정을 Fig.11에 나타내었다.

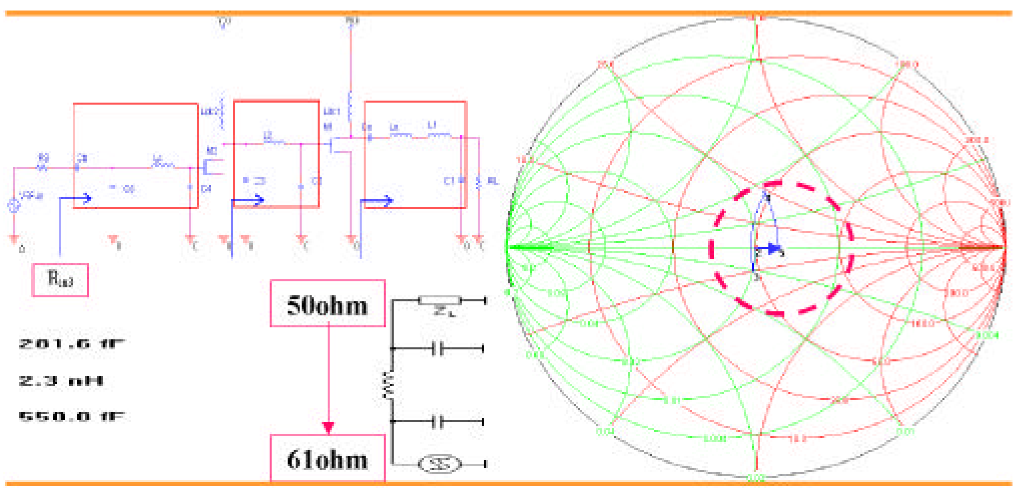


Fig.11. 스미스차트를 이용한 입력단 매칭.

Ⅳ. 시뮬레이션 결과 및 레이아웃

4.1 시뮬레이션 및 결과

본 논문에서는 0.6㎛ CMOS technology를 가지고 HSPICE Simulator를 이용하여 시뮬레이션을 수행하였다. 최대전력과 최대효율 얻기 위해 각 단의 성분값을 임피던스 매칭네트웍의 최적화 및 시뮬레이션 튜닝과정을 통해 최적값을 추출하였다. Hspice 회로 시뮬레이터의 netlist, 시뮬레이션 결과 data를 보여주는 list file 그리고 결과 파형을 나타내는 Avanwaves의 실행화면을 Fig.12에 간략히 나타내었다.

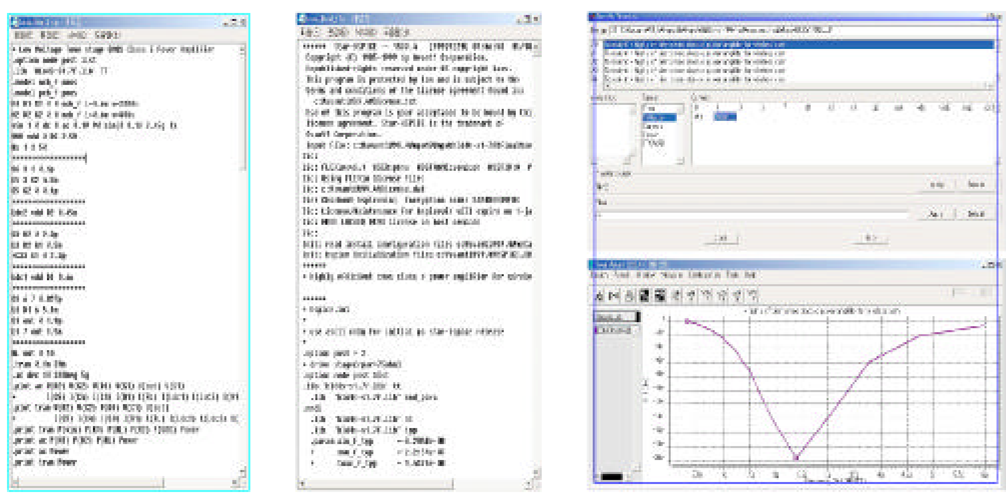


Fig.12. HSPICE Circuit Simulator

Fig.13은 시뮬레이션 결과 파형을 나타낸 것으로 V_{Drain}은 E급 증폭기의 전력트랜지스터의 드레인 양단의 드레인 전압을 나타내고, V_{OUT}은 부하저항에 나타나는 출력전압, 그리고 V_{Gate}는 출력단 M1의 게이트 입력 신호를 나타낸다.

부하 양단에 나타나는 출력전압은 최대 4.5V의 값을 보였으며 드레인 전압은 최대 9.5V의 값을 보였다. 그리고 출력전류의 최대값은 약 90mA를 나타내었다. 출력전압의 중심주파수는 2.44GHz로 입력신호와 동일하게 나타났다.

드레인 양단의 전압 V_{Drain}을 보면 스위칭시 turn-on상태(T2)에서 거의 zero의 기울기를 나타내지만 그 크기가 완전히 zero값을 보이지 않는 것으로 보아 약간의 전력손실이 발생한 것으로 생각된다.

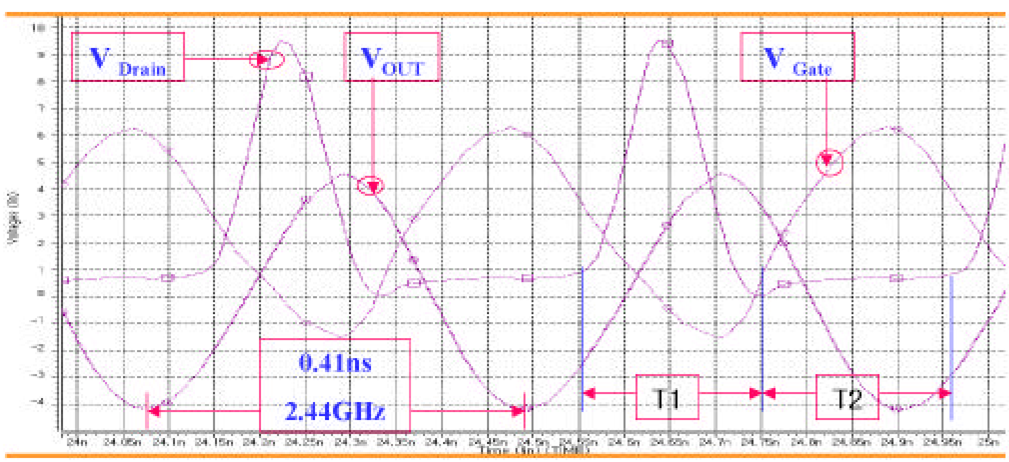


Fig.13. Voltage waveforms of the Class E Power Amplifier.

출력단의 E급 전력증폭기의 드레인 전류 I_{Drain}, 공급전압과 드레인 사이의 인덕터 L_{dc}에 흐르는 전류 $I_{L_{dc}}$의 시뮬레이션 결과 파형을 Fig.14에 나타내었다. turn-on → turn-off(T1)의 스위칭시 이상적으로 드레인 전류가 zero의 값을 나타내지 않는다. 즉 온→오프의 스위칭시 최대 드레인 전류를 보이고 turn-off(T1)이후에도 잔류전류가 있어 스위칭소자 내에서의 전력손실이 있음을 알 수 있으며 개선의 여지가 있음을 보여준다. 그러나 T2(turn-off)의 반주기 구간을 보면 드레인 전류가 드레인에 연결된 인덕터에 흐르는 전류보다 더 flat한 특성을 보여주고 있다.

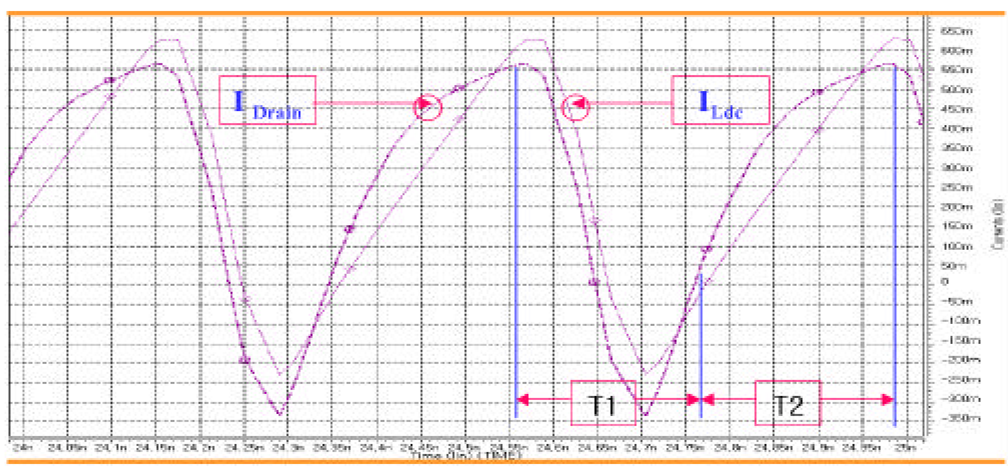


Fig.14. Current waveforms of the Class E Power Amplifier.

E급 증폭기의 전력 트랜지스터의 드레인 양단의 전류와 전압 파형을 Fig.15에 나타내었다.

스위칭 구간에서 드레인 전류와 드레인 전압이 오버랩(overlap)되는 부분은 스위칭소자 내에서 전력손실이 일어남을 알 수 있는데 실제 스위칭이 이상적으로 무한이 빠를 수 없음으로 나타나는 현상으로 이에 대한 연구가 좀더 이루어진다면 더 좋은 출력전력과 효율을 얻을 수 있을 것으로 사료된다.

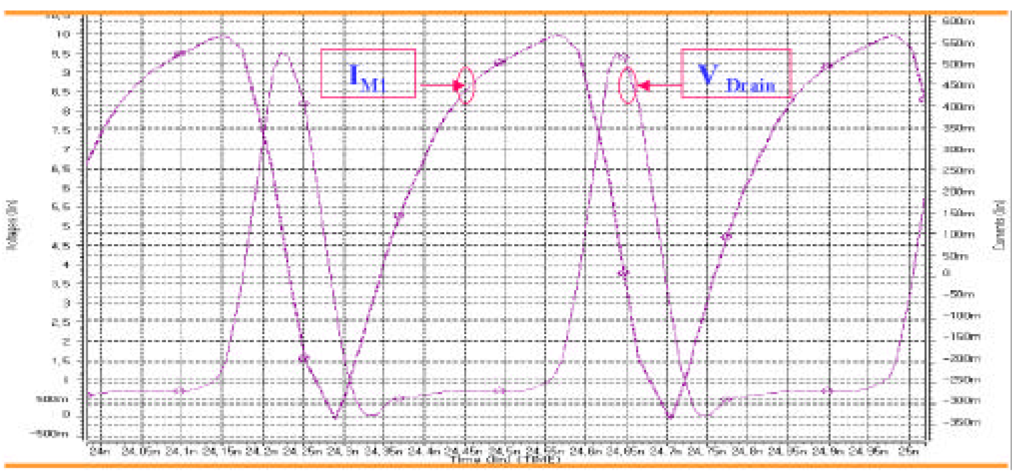


Fig.15. Waveforms of V_drain and I_M1.

공급전압 V_{DD}값의 변화에 따른 출력전력의 시뮬레이션 값을 Fig.16에 나타내었다. 출력전력은 공급전압에 따라 크게 영향을 받는 특성을 가진다.

본 연구에서 제안된 2단 RF 전력증폭기는 2.5V에서 약 202mW(23dBm)의 일정한 출력전력을 얻을 수 있었으며 2V 이하의 공급전압에서는 출력전력이 크게 떨어지는 현상을 보였다.

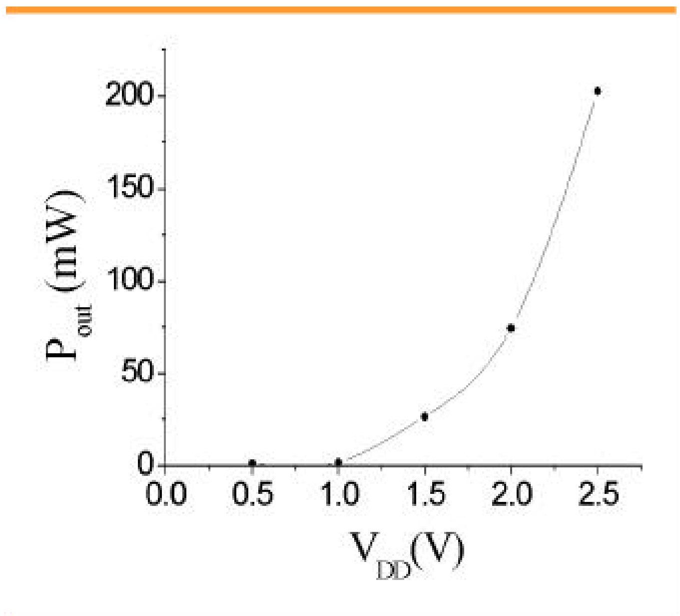


Fig.16. Output Power versus Supply Voltage.

공급전압 V_{DD}에 따른 출력전압의 시뮬레이션 결과값을 Fig.17에 나타내었다. 공급전압의 증가에 따라 출력전압의 크기가 거의 선형적으로 증가하였고 2.5V의 공급전압에서 최대값인 약 4.5V의 출력전압을 보였다.

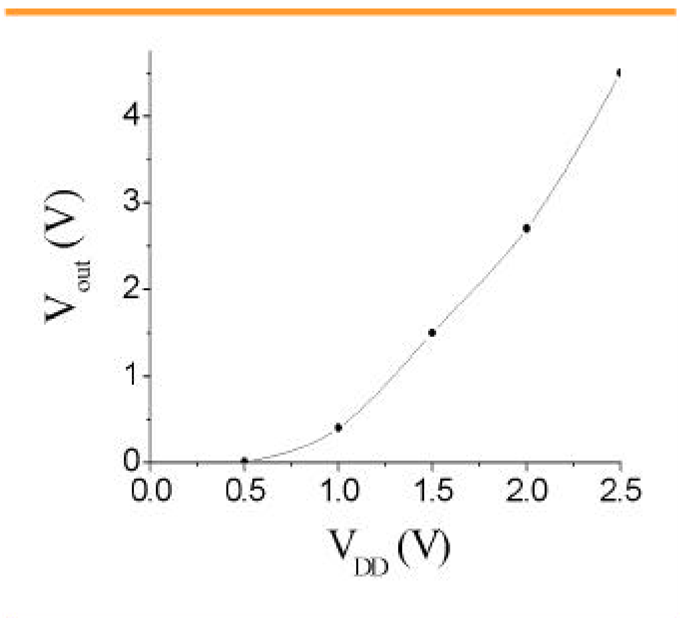


Fig.17. Output Voltage versus Supply Voltage.

공급전압 V_{DD}**에 따른 전력부가효율**(PAE: Power Added Efficiency)**의 시뮬레이션 결과 값을** Fig.18**에 나타내었다**. 2.5V**의 공급전압에서 최대값인 약** 45%**를 보였다**. 2V**의 공급전압에서의** PAE**와 비교했을 때 거의** 2**배 이상의 효율을 보이나** 2.5V **이상의 공급전압에서 효율은 크게 개선되지 않았다**.

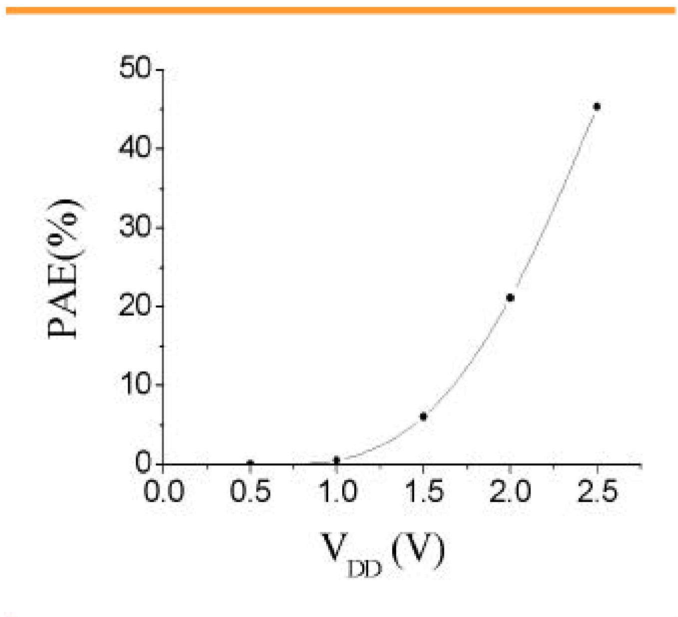


Fig.18. PAE versus Supply Voltage.

2.5V의 공급전압에서 2.4GHz Band 내의 주파수 변화에 따른 출력 전력과 전력부가효율의 시뮬레이션 결과를 Fig.19에 나타내었다.

2.4GHz 2.5GHz 내에서 약 200mW의 출력전력과 약 45%의 전력부가효율로 거의 일정한 값은 보여 2.4GHz 밴드내에서 주파수 변화에도 일정한 출력값을 나타냄을 알 수 있었다.

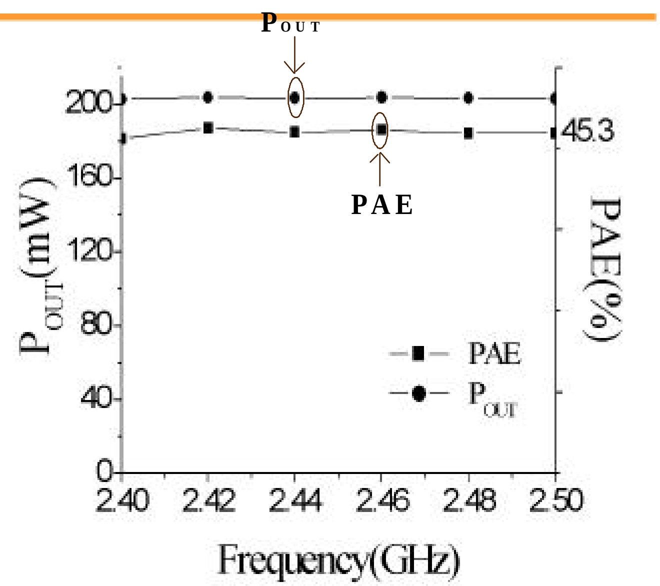


Fig.19. P_{out} and PAE versus Frequency. (Vdd=2.5V)

본 연구에서 제안된 저전압의 2단 CMOS E급 RF 전력증폭기의 설계 및 시뮬레이션 결과 값을 Table.2에 요약하였다.

0.6㎛ CMOS full custom을 이용하여 2.4GHz 밴드에서 간단한 구조인 2단의 E급 RF 전력증폭기를 설계 및 시뮬레이션을 수행하였다. 출력전압은 23dBm, 효율은 약 45%, 첫단의 전압이득은 약 27dB 그리고 전력이득은 약 26dB를 보였다.

Table.2. Result Summary

Parameter Name	Value
Technology of Implementation	0.6um CMOS Full Custom
Frequency Range	2.4GHz Band (ISM Open Band)
Maximum Output Power	23dBm
Drain Efficiency	45.3%
Power Added Efficiency (PAE)	45.3%
Power Gain at Maximum Output Power	26dB
Voltage Gain (First Stage)	27.2dB

4.2 레이아웃[13-14]

4.2.1 제안된 2단 RF 전력증폭기

제안 간단한 구조의 2단 CMOS RF 전력증폭기의 레이아웃은 현대 0.6㎛ CMOS technology의 design rule을 기준으로 Mentor사의 IC Station을 통해 수행되었다. 전체 칩의 크기는 0.7mm^2였고 그 결과를 Fig.20에 나타내었다.

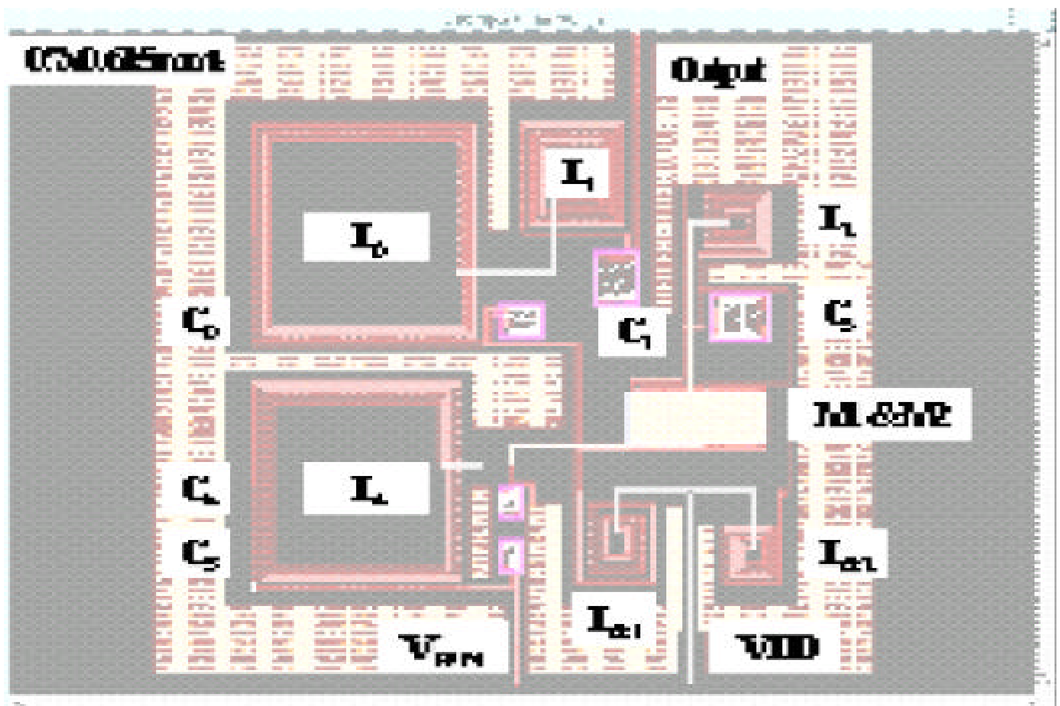


Fig.20. Layout using Mentor Tool(IC_Station)

4.2.2 능동소자(M1 and M2)

제안된 전력증폭기에서 이득 증폭단인 첫단의 능동소자 M2의 채널폭은 800㎛, 전력증폭단인 둘째단의 능동소자 M1의 채널폭은 2000㎛였다. 각단의 능동소자의 크기를 최소화하기 위해 Fig.21과 같이 레이아웃을 수행하였다. 최대 채널폭을 50㎛로 규격화하여 M1은 40개의 트랜지스터, M2는 16개의 트랜지스터를 각각 병렬로 연결하여 구성하였다.

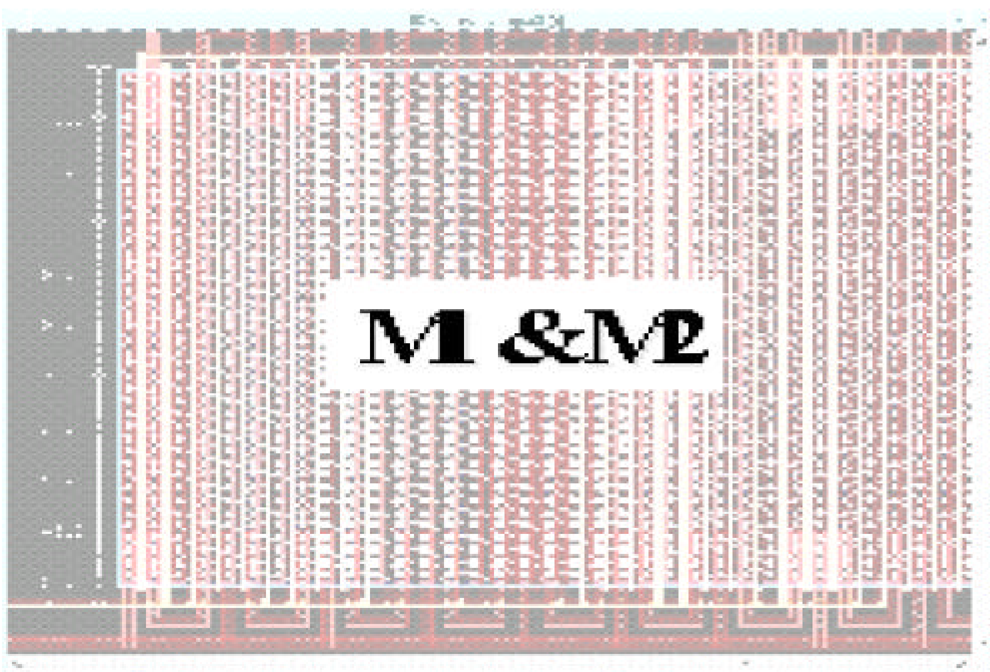


Fig.21. Layout of M1 and M2

4.2.3 커패시터

CMOS 공정에서 커패시터를 구현하는 방법으로 여러 가지가 있으나 본 논문에서는 폴리-폴리 커패시터(poly-poly capacitor) 방법을 사용하였다. 이 방법은 실리콘 산화막을 유전체 물질로 하는 평판 커패시터이므로 선형성이 아주 우수하며 기생성분도 $C_p < \frac{1}{10}C$로 우수한 특성을 나타낸다. 그리고 보다 정확한 커패시턴스 값을 얻기 위해 공통중심구조의 정합기법을 적용하여 커패시터 레이아웃을 수행하였다. 그 결과를 Fig.22에 나타내었다.

커패시턴스 계산,

$$C = \frac{\varepsilon_{ox} \times A}{d} \qquad (12)$$

(12)식에서 A는 커패시터의 단면적, d는 산화막의 두께 그리고 ε_{ox}는 산화막의 유전율을 나타낸다.

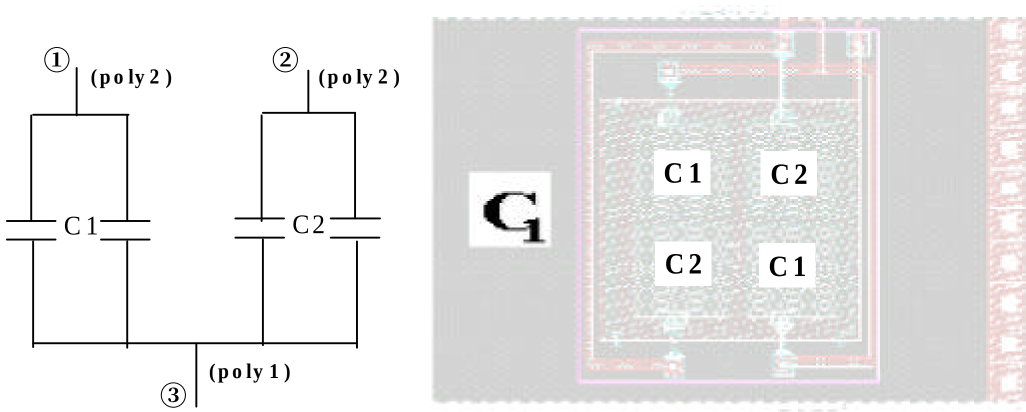


Fig.22. Circuit and Layout of Capacitor(C_1)

4.2.4 인덕터

본 논문에서는 'Hollow spiral inductor'[15]를 이용하여 인덕터를 레이아웃을 수행하였다. 에러율이 5%이하로 알려져 있다. Fig.23에 나타내었고 관련 서식은 아래와 같다.

$$L \approx \frac{45\mu_0 n^2 a^2}{22r - 14a} \qquad (13)$$

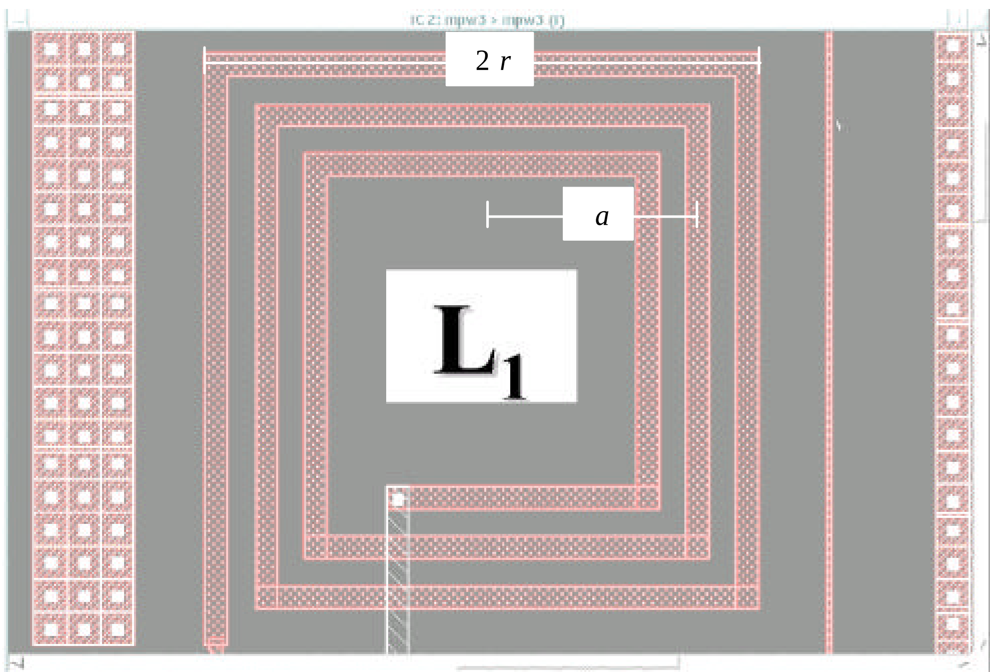


Fig.23. Layout of Inductor(L_1)

본 논문에서 제안한 전력증폭기와 외국의 논문들의 특성들을 Table.3에서 비교해 보았다. 본 논문에서 제안된 2단 전력증폭기의 특성이 우수하고, 칩의 크기는 $0.7mm^2$로 크게 줄였음을 확인 할 수 있다.

Table.3. Comparison with Foreign Study

Reference	Tech.	Specification	Fo	Intergration	Chip Size
This work	*0.6um CMOS*	*2.5V, 23dBm 45.3% efficiency*	*2.4GHz*	*On-Chip*	*$0.7mm^2$*
[1]	0.35um CMOS	2.5V, 23.5dBm 35% efficiency	1.9GHz	Off-Chip	-
[2]	0.35um CMOS	2V, 30dBm 41% efficiency	1.9GHz	Off-Chip	-
[3]	0.8um CMOS	2.5V, 30dBm 62% efficiency	800MHz	On-Chip	$1.5mm^2$
[4]	0.8um CMOS	3V, 20dBm 16% efficiency	1.9GHz	On-Chip	-
[5]	0.8um GaAs	2.5V, 24dBm 50% efficiency	835MHz	On-Chip	$8.4mm^2$
[6]	GaAs	3.4V, 22.5% 29% efficiency	1.9GHz	-	-
[7]	Bipolar	3.3V 27dBm 35% efficiency	2GHz	-	-

V. 결 론

본 논문에서는 0.6㎛ CMOS를 이용하여 간단한 2단 구조의 Class E RF 전력증폭기를 설계하였다.

임피던스 매칭네트웍의 최적화를 통해 수동소자의 수를 대폭 줄였고 전력증폭단의 채널폭을 기존보다 2배 이상 줄여 제작될 칩 사이즈를 최소화하였다.

HSPICE 회로 시뮬레이터를 사용하여 시뮬레이션 되었으며 Mentor사의 IC Station을 이용하여 레이아웃 하였다. 레이아웃된 칩의 크기는 최종 $0.7mm^2$ 였다.

본 논문에서 제안된 전력증폭기는 2.4GHz Band의 동작주파수와 2.5V의 공급전압에서 50Ω의 부하저항에 최대 4.5V의 출력 전압과 90mA의 출력전류를 얻었다.

이득 증폭단인 첫째단에서 27dB의 전압이득을 얻었고 전력 증폭단인 둘째단에서 23dBm (200mW)의 출력전력을 얻었으며, 약 45%의 전력부가효율(PAE)을 얻었다.

본 논문에서의 제안된 2단 전력증폭기의 출력전력과 효율면에서 본다면, ISM Open Band(2402MHz 2480MHz)용 Bluetooth의 전력증폭단[Class 1< 100mW (10dBm)>, 2< 2.5mW (4dBm)>, 3< 1mW (0dBm)>]의 응용에 사용가능할 것으로 사료된다.

참 고 문 헌

[1] Giry, A. Fourniert, J.-M. Pons, M. "A 1.9 GHz low voltage CMOS power amplifier for medium power RF applications" Radio Frequency Integrated Circuits (RFIC) Symposium, 2000. Digest of Papers. 2000 IEEE, pp. 121-124, 2000.

[2] King-Chun Tsai Gray, P.R. "A 1.9-GHz, 1-W CMOS class-E power amplifier for wireless communications"Solid-State Circuits, IEEE Journal of , Volume: 34 Issue: 7, pp. 962-970, July 1999.

[3] S. David, M. McFarland, "A 2.5V, 1W Monolithic CMOS RF Power Amplifier", Hewlett-Packard Laboratories, Palo Alto, California, IEEE Custom Intergrated Circuits Conference, pp. 189-192, 1997.

[4] Chen, Y.J.E. Hamai, M. Heo, D. Sutono, A. Yoo, S. Laskar, J. "RF power amplifier integration in CMOS technology", Microwave Symp. Dig. 2000 IEEE MTT-S International, vol.1, pp. 545-548, 2000.

[5] Sowlati, T. Salama, C.A.T. Sitch, J. Rabjohn, G. Smith, D. "Low voltage, high efficiency GaAs Class E power amplifiers for wireless transmitters", Solid-State Circuits, IEEE Journal, vol. 30, pp. 1074-1080, Oct. 1995.

[6] K. Yamamoto and al., "A GaAs RF Transceiver IC for 1.9GHz Digital Mobile Communication Systems", ISSCC, pp. 340-341, 1996

[7] S. Weber and G. Donig, "An Integrated 2GHz 500mW Bipolar Amplifier", RFIC, pp. 139-142, 1997.

[8] N. O. Sokal and A. D. Sokal, "Class E-A new class of high-efficiency tuned single-ended switching power amplifiers", IEEE J. Solid-State Circuits, vol. SC-10, pp.168-176, June 1975.

[9] A. Rofougaran, G. chang, J. J. Rael, J. Y. C. Chang, M. Rofougaran, P. J. Chang, M. Djafari, M. K. Ku, E. W. Roth, A. A. Abidi, and H. Samueli, "A single-chip 900-MHz spread-spectrum wireless transceiver in 1-mm CMOS-Part I: Architecture and transmitter design", IEEE J. Solid-State Circuits, vol. 33, pp. 513-534, Apr. 1998.

[10] Larson, L.E. "Integrated circuit technology options for RF ICs-present status and future directions" Solid-State Circuits, IEEE Journal of, vol. 33, pp. 387 -399, March 1998.

[11] P. Gray and R. Meyer, "Future direction of silicon IC's for RF personal communications", in Proc. Custom Integrated Circuit Conf., pp. 83-90, May 1995.

[12] Hung-Lung Tu. S and Toumazou, C. "Highly efficient CMOS class E power amplifier for wireless communications", Circuits and Systems, ISCAS '98. Proceedings of the 1998 IEEE International Symposium on, vol. 3, 1998.
[13] 박홍준, “CMOS 아날로그 집적회로 설계”, Sigma Press, 1999.
[14] Thomas H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits", Published by the press syndicate of the Univ. of Cambridge. 1998.
[15] H. A. Wheeler, “Simple Inductance Formulas for Radio Coils”, IRE Proceedings, p. 1398, 1928.
[16] K.K.Youn, H.C.Cho and J.K.Rhee, "Design of MMIC Power Amplifier using Power HEMT at 1740 1780MHz", 대한전자공학회, 제21권, 제2호, pp. 675-678, 1998.
[17] T. Cho, E. Dukatz, M. Mack, D. Macnally, M. Marringa, S. Mehta, C. Nilson, L. Plouvier, and S. Rabii, "A single-chip CMOS direct-conversion transceiver for 900MHz spread-sprectrum digital cordless phones," in ISSCC Dig. Tech. Papers, San Francisco, CA, Feb. 1999.
[18] Tan, Y. Kumar, M. Sin, J.K.O. Shi, L. Lau, J. "A 900-MHz fully integrated SOI power amplifier for single-chip wireless transceiver applications", Solid-State Circuits, IEEE Journal, vol. 35, pp. 1481-1486, Oct. 2000.
[19] Gupta, R. Allstot, D.J. "Parasitic-aware design and optimization of CMOS RF integrated circuits" Radio Frequency Integrated Circuits (RFIC) Symposium, 1998 IEEE, pp. 325-328, 1998.
[20] Yoshida, I. "2-GHz Si power MOSFET technology", Electron Devices Meeting, Technical Digest., pp. 51 -54, 1997.
[21] Ma, G. Burger, W. Shields, M. "High efficiency 0.4/spl mu/m gate LDMOS power FET for low voltage wireless communications", Microwave Symposium Digest, 1999 IEEE MTT-S International, vol.3, pp. 1195-1198, 1999.
[22] Krauss, H. L, C. W. Bostian and F. H. Raab, "Solid State Radio Engineering", Wiley, NY, 1980.
[23] Maryam Rofougaran, "A 900MHz RF Power Amplifier in 1㎛ CMOS for a Spread-Spectrum Communication Transceiver", a theses submitted in partial astisfaction of the requirements for the degree Master of Science in Electrical Engineering, Univ. of California., 1995.

[24] Tu, S.H.-L Toumazou, C. "Design of highly-efficient power-controllable CMOS class E RF power amplifiers", Circuits and Systems, ISCAS '99. Proceedings of the 1999 IEEE International Symposium on, vol.2, pp. 602-605, 1999.

[25] Yeung, T. Lau, J. Ho, H. C. Poon, M. C. "Design considerations for extremely high-Q integrated inductors and their application in CMOS RF power amplifier", Radio and Wireless Conference, RAWCON 98. 1998 IEEE, pp. 265-268, 1998

[26] G. G. Rabjohn, "Monolithic microwave transformers," M. Eng. thesis, Carleton University, Apr. 1991.

[27] Long, J.R. Copeland, M.A. "Modeling of monolithic inductors and transformers for silicon RFIC design" Technologies for Wireless Applications Digest, 1995., MTT-S Symposium on, pp. 129 - 134, 1995.

[28] "Modeling, characterization and design of monolithic inductors for silicon RFIC's" in Proc. Custom Integrated Circuits Conf. San Diego, CA, pp. 185 - 188, 1996.

[29] T. M. Hyltin, "Microstrip transmission on semiconductor dielectrics", IEEE Trans. Microwave Theory Tech., vol. MTT-13, pp. 777-781, Nov. 1965.

[30] K. K. Youn, H. C. Cho and F. K. Rhee, "Design of MMIC Power Amplifier using Power HEMT at 1740 1780MHz" S & IC Lab. Dept. of Elec. Eng. Dongguk Univ. MacAm, pp. 675-678, 1998.

[31] Jong-Sik Lim, Jong-Wook Kim, Man-Seok Uhm, Sung-Choon Kang and Jae-Moung Kim, "Development of MMIC SSPA for 20GHz Band", Satellite Communications System Department, Radio & Broadcasting Technology Laboratory, ETRI, Satellite Business Dvision, Hyundai Electronics Industries Co. Ltd., pp. 327-330, 1998.

[32] Young-Se Kwon, Dong-hyun Baek, "A Study on the Linearization of the RF power amplifier using the Feedforward method", Department of Electrical Engineering Korea Advanced Institute of Science and Technology, 1997.

[33] Tu, S.H.-L. Toumazou, C. "Design of highly-efficient power-controllable CMOS class E RF power amplifiers" ircuits and Systems, 1999. ISCAS '99. Proceedings of the 1999 IEEE International Symposium on, vol. 2, pp. 602-605, 1999.

[34] I. H. Lee, Y. S. Chae, D. An, K. K. Youn and F.K.Rhee, "Design of MMIC 2 Stage Power Amplifiers for 35GHz", S & IC Lab. of Elec. Eng. Dongguk Univ., pp. 637-640, 1998.

[35] Sun Wook Kim, Won Tae Kang, Chung Gu Kang, and Ik Soo Chang, "Design Method of Stable RF Power Amplifiers using 3dB Coupled Line", Dept. of Electronic engineering, Graduate School of Sogang University., pp. 800-807, 1997.
[36] Mistberger, F. Koch, R. "Class-AB high-swing CMOS power amplifier" , Solid-State Circuits, IEEE Journal of , vol. 27, pp. 1089-1092, July 1992.
[37] Yong Hoon Lim, Jeong Tae Seo, Dae Hee Youn, Kwang Lak Seo and Yong Soo Cho, "A nonlinear adaptive predistorter for the compensation of nonlinearities in high power amplifier", Dept. of Elec. Eng. Yonsei Univ. and Chungang Univ., pp. 825-834, 1993.
[38] Yil Park and Sangseol Lee, "Improvement of the Characteristics of a Feedforward Linear Power Amplifier", Dept. of Elec. Eng. and School of Electronic and Electrical Eng. Hanyang Univ., pp. 871-878, 1997.
[39] Akaiwa, Y, Y. Nagata, "Highly efficient Digital Mobile Communication with a linear Modulation Method,"IEEE Trans. Journal of selected Area in commum., vol. SAC-5, PP. 890 -895, June 1987.

감사의 글

이 논문이 완성되기까지 언제나 변함없이 자상한 미소와 큰 덕으로 감싸주시고 아낌없는 지도와 질책으로 학문하는 자세를 가르쳐주신 권태하 교수님께 깊은 감사를 드립니다. 대학원생활과 함께 이 작은 결실을 이루기까지 부족한 면을 친절하게 지적해주시며 아낌없는 배려와 충고, 그리고 조언을 해주신 최혁환 교수님, 이명교 교수님께 깊은 감사를 드리며, 더불어 많은 관심과 따뜻한 정으로 도움을 주신 전자, 컴퓨터, 정보통신공학과 교수님들께 깊은 감사를 드립니다.

대학 및 대학원 생활을 동거동락하며 희노애락을 함께 나누어 온 반도체소자 및 설계연구실 연구실원들, 친형같이 때론 친구같이 가까이서 온정과 허물없이 지내며 나의 부족함을 채워주었고 지금은 먼 이국땅에서 힘들지만 밝은 미래를 위해 유학 생활을 하고 있는 지열형, 힘들었지만 인내로 드디어 학위를 받는 재권이형, 새로운 왕국을 건설하기 위해 대전으로 자신의 무대를 옮긴 개창이, 군복무와 직장생활을 병행하고 있는 동명이인 성우, 취직시험 치르느라 정신이 없는 엽기 브라더스 세팔과 두팔, 시집가서 일본에서 남편 내조 잘 하고 있을 지영이, 늘 발랄하고 씩씩하게 대학원생활 열심히 하는 연구실의 막내 채돌이 모두에게 고마움을 전합니다.

대학원생활하며 늘 따뜻한 미소와 마음을 건네 주는 학위동기 브이방의 함정원씨, 항상 재미있는 제스처로 웃음을 선사하는 백세주의 대가 재환씨, 미워할 수 없는 브이방의 거짓말 선수 양치기 소녀 현숙이, 얼마전 장가가서 깨가 쏟아지고 있을 평소에는 조금은 이상한(?) 상안선배와 재우선배, 술과 함께 밤이 늦도록 많은 얘기를 나누었던 나와 너무나 비슷한 인생을 살아온 큰바위 얼굴 경욱이, 방송국에서 열심히 전파를 쏘고 있을 철범이와 기영이, 이론만

빠삭하고 실천력은 전혀 없는 연애박사 용수, 오래도록 서로 격려와 위로가 되어 주었던 고등동창 무지개 멤버 메뚜기, 상훈, 용주, 현수, 규현, 성문이를 비롯하여 보이지 않는 곳에서도 나를 생각해 주는 모든 사람들이 나에게는 소중한 사람들입니다.

끝으로 이 논문이 완성되기까지 하염없는 사랑과 자식의 앞날을 걱정해주신 아버님, 어머님께 깊은 사랑과 감사를 드리며, 너무나 아름다운 미소를 가지고 계시고 자식과 손자들 걱정이 끊임없으신 사랑하는 할머님, 따뜻한 위로와 용기로 마음의 힘이 되어주신 큰 누나와 매형, 모든 일에 책임감과 추진력으로 나의 본보기가 되어주시고 아낌없는 조언과 충고로 채찍질 해주는 심부름 잘 시키는 친형, 먼 오지에서 힘들지만 하나님의 일을 영광과 기쁨으로 건강하게 수행하고 있는 작은 누나에게도 깊은 감사를 드립니다. 마지막으로 삼촌에게 항상 웃음을 주는 조카 영은이에게도 고마움을 전합니다.

2002년 6월 김 성 우 올림