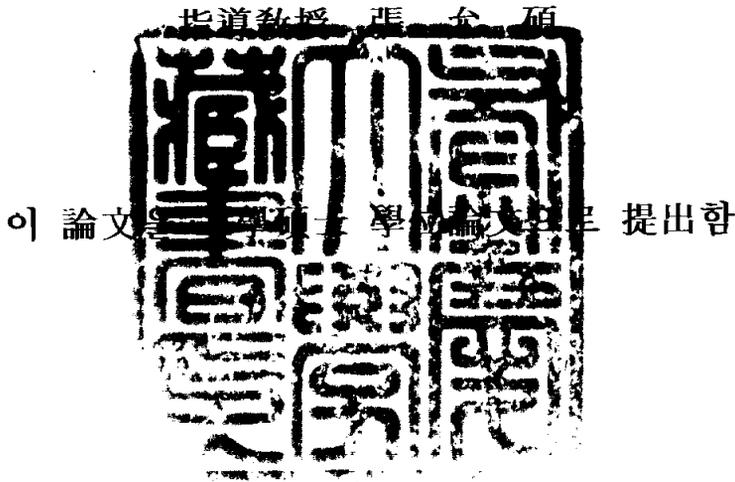


工學碩士 學位論文

플라즈마 디스플레이용 구동회로의
저전압화 모델 구현



2004年 2月

釜慶大學教 大學院

電氣工學科

金 聖 熏

金聖熏의 工學碩士 學位論文을 認准함

2003年 12月 26日

主 審 工學博士 金 榮 學



委 員 工學博士 魯 義 哲



委 員 工學博士 張 允 碩



목 차

표 목차	iii
그림 목차	iv
Abstract	v
제 1 장 서 론	1
1.1 연구 배경	1
1.2 연구 목적	2
제 2 장 기존의 PDP 구동회로	3
2.1 PDP 회로의 구성	3
2.1.1 방전 픽셀의 구조	3
2.1.2 픽셀의 구동	4
2.2 기존회로의 구동에 필요한 전압	5
제 3 장 제안 구동회로의 시뮬레이션과 실험결과	14
3.1 제안 PDP 구동회로	15
3.2 제안 회로의 시뮬레이션	15
3.2.1 Ideal Model을 사용한 전체구동회로의 시뮬레이션	15
3.2.2 스위칭 소자를 사용한 시뮬레이션	16
3.3 제안 회로의 구현 및 실험 결과	17
3.3.1 저전압·저주파 인가	17

3.3.2 저전압 · 고주파 인가	18
3.3.3 고전압 · 고주파 인가	19
3.4 제안 회로와 기존 회로와의 비교	20
제 4 장 결 론	34
참고문헌	35

표 목차

표 2.1 VGA급 AC-PDP 구동회로에 필요한 요소	13
표 3.1 기존의 회로와 제안한 회로의 특성 비교	33

그림 목차

그림 2.1	AC-PDP의 구조	7
그림 2.2	방전 픽셀의 등가 회로	8
그림 2.3	PDP 패널의 구동원리	9
그림 2.4	패널에 인가되는 전원 구동회로	10
그림 2.5	구동시 패널의 픽셀에 걸리는 펄스 신호 (Sustain · Scan · Data Pulse - ADS Method)	11
그림 2.6	이상적인 방전 유지 전압 파형	12
그림 3.1	본 논문에서 제시한 저전압 구동회로	21
그림 3.2	실시간 시뮬레이션 파형	22
그림 3.3	PSpice 시뮬레이션과 실험을 위한 회로	23
그림 3.4	$C_p=C_1=C_2=0.1\mu\text{F}$ 일때 출력 전압 · 전류	24
그림 3.5	$C_p=0.01\mu\text{F}$, $C_1=C_2=0.1\mu\text{F}$ 일때 출력 전압 · 전류	25
그림 3.6	$C_p=1\text{nF}$, $C_1=C_2=0.1\mu\text{F}$ 일때 출력 전압 · 전류	26
그림 3.7	12V, 3Hz 인가시 스위치에 걸리는 전압	27
그림 3.8	12V, 3Hz 인가시 C_p 양단에 걸리는 전압	28
그림 3.9	22V, 5kHz 인가시 스위치에 걸리는 전압	29
그림 3.10	22V, 5kHz 인가시 C_p 양단에 걸리는 전압	30
그림 3.11	40V, 5kHz 인가시 스위치에 걸리는 전압	31
그림 3.12	40V, 5kHz 인가시 C_p 양단에 걸리는 전압	32

Implementation of Low-Voltage Driving Method for Plasma Display

Sung-Hun Kim

*Department of Electrical Engineering, Graduate School,
Pukyong National University*

Abstract

Plasma Display Panel (PDP), the next generation display system, still has a demerit that needs switching devices and capacitors to stand up to high voltages because of the high driving voltages. Generally, the sustain circuit needs high voltage pulses in the driving circuit for AC-PDP. This is a key factor that increases not only the power consumption but the price of PDP. The demerit can be remedied if the sustain circuit can be driven with low supply voltage.

In this paper, we propose a driving circuit that can be operated with a lower voltage than that of the conventional circuit without reducing the discharge voltage. The circuit proposed in this paper has a merit to improve the electrical characteristics because it can be composed of switching devices with low voltage. The operation and efficiency of the circuit are confirmed with the computer simulations and the experiments using real devices. The features of the circuit proposed in this paper are as follows; (a)the power loss can be decreased by the use of low voltage, (b)the cost of the driving circuit for PDP can be reduced by the use of switching devices operated with low voltage.

제 1 장 서 론

1. 1 연구 배경

PDP (Plasma Display Panel)는 미래형 디지털 영상 디스플레이로서, PC, Video, HDTV등 다양한 입력 신호와 연결되어 기존 영상 디스플레이 장비보다 밝고 선명한 고화질의 영상을 재현 할 수 있는 미래형 멀티미디어 디스플레이 시스템이다. 특히 40"이상의 대형화면을 10cm 이하의 얇은 두께로 구현할 수 있어 공간 활용 및 미적 디자인 면에서 매우 큰 장점을 지니고 있다. 또한 대화면, 초경량, 초박형의 Digital Display를 실현하고 자발광에 의한 160°이상의 시야각을 보장하고, 정교한 이미지화질을 제공할 수 있으므로 영상 산업에 있어서 다양한 동반효과를 얻을 수 있게 되었다.

그 주된 특징을 살펴보면, 전체 27공정의 PDP는 다른 평판 디스플레이 방식과는 달리 생산성이 우수하고 구조도 간단하다. 또 각 셀(Cell)에 트랜지스터 등 외부 부품의 필요 없이 자체 구조만으로 높은 콘트라스트가 실현되고, 주사수가 1000개 이상의 대화면도 단지 전극(electrode)라인과 유리 패널, 격벽 등 자체 부품의 길이만을 늘리면 구현이 가능하기 때문에 벽걸이 TV에 적합하며 그 화질과 구동성도 우수하다. 특히, AC-PDP의 경우 방전시 발생된 전하가 유전체의 표면에 축적·저장되어 매우 긴 시간 동안의 방전기억이 가능하므로 동영상 구동이 용이하다. 앞에서 열거한 것뿐만 아니라 PDP는

미래형 디지털 디스플레이 매체로서는 매우 큰 장점을 지니고 있다.

1. 2 연구 목적

앞의 절에서 열거한 장점들을 좀 더 부각시키기 위해서는 아직까지도 개발되어야 할 부분이 많이 남아있다고 생각된다. 본 논문에서는 AC-PDP의 방전픽셀을 구동시키는 회로 중 Y-node를 통해 인가되는 방전유지전압에 대해 관심을 가지고 조금 더 나은 방안을 제시하려고 한다.

현재 국내에서 시판되고 있는 AC-PDP의 전압구동회로에서는 3개의 공급 전압원이 사용된다. 이 3개의 전압원에 의해 소비되는 열 및 전력 소모도 무시할 수 없을 정도이고, 효율 또한 재고하지 않을 수 없다고 생각된다. 따라서 보다 효율적인 전압 공급 방안을 기본으로 한 구동방식을 본 논문에서 제시 하고자 한다.

본 논문의 2장에서는 기존의 구동회로의 특징과 방전유지전압에 대하여 기술한다.

3장에서는 본 연구에서 제시한 회로의 컴퓨터 시뮬레이션 및 현재 시판중인 스위칭 소자를 사용하여 구성한 모델로 실험한 결과를 제시하고, 기존 모델과 비교·검토 한다.

끝으로 4장에서는 본 논문에서 제시한 방법에 대한 결과들을 정리·기술하고, 앞으로 나아가야 할 연구 방향에 대하여 기술한다.

제 2 장 기존의 PDP 구동회로

PDP는 DC형과 AC형 그리고 Hybrid형으로 나뉜다. 현재 거의 주를 이루고 있는 것은 AC-PDP이고 본 논문에서 기술할 내용도 이에 관한 것이다.

이 장에서는 본 연구에서 목적으로 하고 있는 저전압 구동회로와 비교하기 위해 현재 널리 쓰이고 있는 3개의 전압 공급원을 사용한 구동회로에 대해 소개하고 그 파형에 대한 분석결과를 제시한다.

2. 1 PDP회로의 구성

AC-PDP는 크게 패널, 구동 드라이버 및 콘트롤러와 공급 전원부로 나눌 수 있다. 패널은 픽셀로 이루어져 있고 구동 드라이버는 패널이 구동 할 수 있도록 전압을 인가하며 그 전원은 공급 전원부로부터 공급 받는다. 콘트롤러에서는 고해상도 이미지 컨버팅이 가능한 DSP칩을 사용하여 패널에 영상을 구현한다.

2. 1. 1 방전 픽셀의 구조

AC-PDP의 패널은 그림 2.1과 같은 구조로 이루어져있다. AC-PDP의 패널에서는 각각의 전극에 인가되는 펄스로 인해 영상이 구현된다.

패널을 구성하고 있는 방전 픽셀은 그림 2.2와 같은 구조로 되어 있다. 이러한 픽셀은 Capacitor와 같은 구조를 띄고 있으며 각 픽셀의 등가회로는 그림 2.2과 같다. 여기서 방전 Gap G는 픽셀 방전 동작을 근사화 하기위해 넣어 둔 것이며, Switch가 ON이 되면 픽셀이 방전한다. 이때 C_0 에는 방전전류에 상당하는 전류가 충전된다.

그림 2.2와 같은 방전 픽셀들이 모여 하나의 패널을 이루게 되는데 패널은 그림 2.3과 같은 원리로 동작하며 D, S간의 스위치가 같이 켜져서 전압이 발생하면 그림2.3의 패널에 문자 'P'가 표시 된다. [4]

2. 1. 2 픽셀의 구동

그림 2.4는 현재 사용되고 있는 node, 즉 그림 2.3에서 각 픽셀에 전원을 인가할 때 쓰이는 회로이다. 이것은 그림 2.2의 $V_{in-pulse}$ 에 160V를 인가하는 구동회로의 구조이며 여기서는 그림 2.3과 같은 픽셀을 C_p 로 나타내었다. C_p 에 걸리는 방전 전압차를 유지하기 위해서는 3개의 파워 서플라이에서 각기 전압을 공급하고 있다. 또한 각각의 스위칭 타이밍 제어를 통해 C_p 의 전압을 제어 한다. 이러한 제어를 통해서 구동할 때 픽셀의 각 node에 입력되는 pulse의 전위차는 약 160V 정도이다.

그림 2.4에서 3개의 공급 전압원이 있음을 확인 할 수 있는데, 이 3개의 공급 전압원은 각각 다른 용도로 쓰이고 있다. 이는 X-Y node와 방전유지회로(Sustain circuit)에 전압(Pulse)을 인가하기 위해서이다. 이 각각의 파워 서플라이는 서로 다른 일을 하는 SMPS

(Switching Mode Power Supply) 이고 이로 인해 앞서 기술한 바와 같이 이를 콘트롤하기 위한 모듈이 추가로 더 필요하게 되며, 비용도 증가하게 된다.

2. 2 기존회로의 구동에 필요한 전압

그림 2.3과 같은 AC-PDP 구동 회로를 통해 패널을 동작 시키려면 구동 시에 -80V를 Cp에 공급해야 하며, 그림 2.2와 같은 모양의 방전 유지 펄스를 Cp에 인가하여야 한다. 또한, 각 스위치를 제어하여, 이 방전유지 전압의 시간을 변화하여 Cp를 구동시켜야 한다.

표 2.1은 구동에 필요한 전압 및 AC-PDP의 구동 특징을 나타낸 것이다. VGA급 (640×480 pixel) PDP 패널을 구동시키기 위해서는 표2.1과 같은 요소들이 필요하게 되며, 패널을 구동시키기 위한 파형에 대한 설명을 다음 절에 첨가한다. 그 파형을 분석해 보면, 첫 시점에서 방전개시 전압인 -80V가 걸리게 되고, 이를 기점으로 방전 픽셀에 전위차가 발생하여, 패널의 픽셀들이 방전하여 영상을 표현 한다.

여기서 하나 주시해야할 점이 있다. 이러한 방전개시전압이 현재 다루어지고 있는 Y-node뿐만 아니라 Address, X-node에도 인가가 된다는 점이다. 여기서도 방전유지회로와 마찬가지로 개시 전압 후에 180V Pulse가 인가된다.

현재 쓰이고 있는 회로는 개시전압과 유지 전압의 파워를 각각 필요로 하고 있고, 이를 위해서는 그림 2. 3과 같은 회로를 구성하지

않을 수 없으며, 그리고 많은 수의 스위칭 소자들로 구성해야 한다. 본 논문에서는 전압원과 스위칭 소자의 개수를 저감시킬 수 있는 회로를 제안하고자 한다.

그림 2.5는 구동시에 발생하는 파형이고, 그림 2.6은 패널에 펄스를 인가하여 영상을 표시할 때의 방전유지 전압을 보여주고 있다. 이 그림들은 현재 패널을 구동 시키는 파형들이기 때문에 다음 장의 컴퓨터 시뮬레이션 및 실제 실험에서 나온 결과와 비교하여 본 논문에서 제시하는 방법의 실효성을 검토할 수 있는 기준이 될 것이다.

그림에서 살펴볼 수 있듯이 파형들은 처음에 방전을 시작하기 위해 신호를 준다. 이러한 신호들을 개시 전압이라고 한다. 이 개시 전압이 인가된 후에 신호를 Holding 시키기 위한 전압을 유지전압이라고 하고, 이 유지전압이 인가되고 있는 동안은 패널에 영상이 출력 된다. 이러한 전압을 조절해주는 회로의 기존모델은 그림 2.4에서 이미 나타내었다.

그림 2.4의 회로로 그림 2.5, 2.6과 같은 파형을 전극에 인가하기 위해서는 제어가 복잡하고 많은 전력이 소비될 것으로 생각된다. 만약에 단일전원을 사용하고 스위칭 소자의 개수를 줄일 수 있다면 이 두 가지 문제는 어느 정도 해소될 수 있을 것이라 생각된다. 다음 장에서는 이러한 문제점을 보완한 회로를 제안 하고, 그 실효성을 검토한 결과를 제시하겠다.

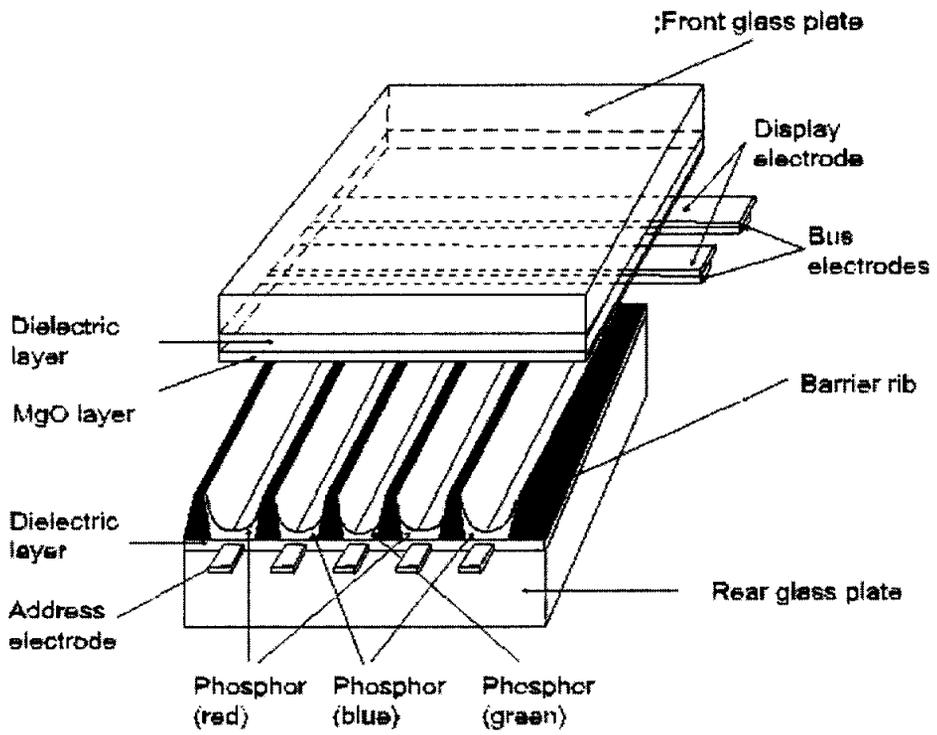


그림 2. 1 AC-PDP의 구조

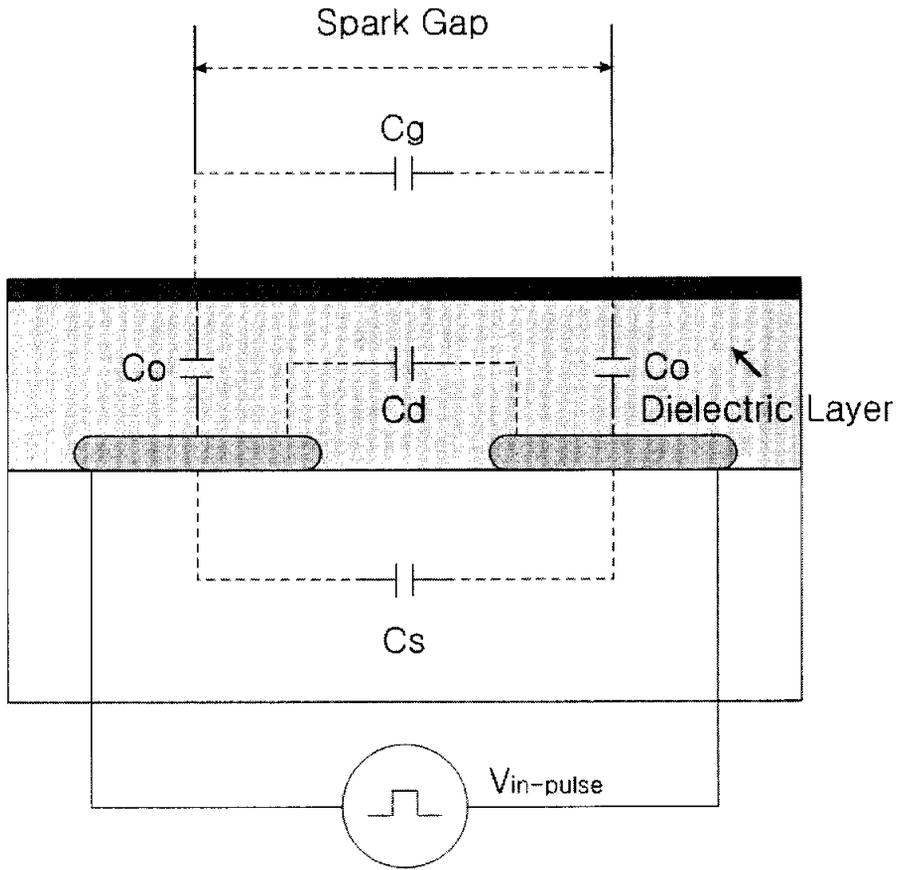


그림 2.2 방전 픽셀의 등가 회로

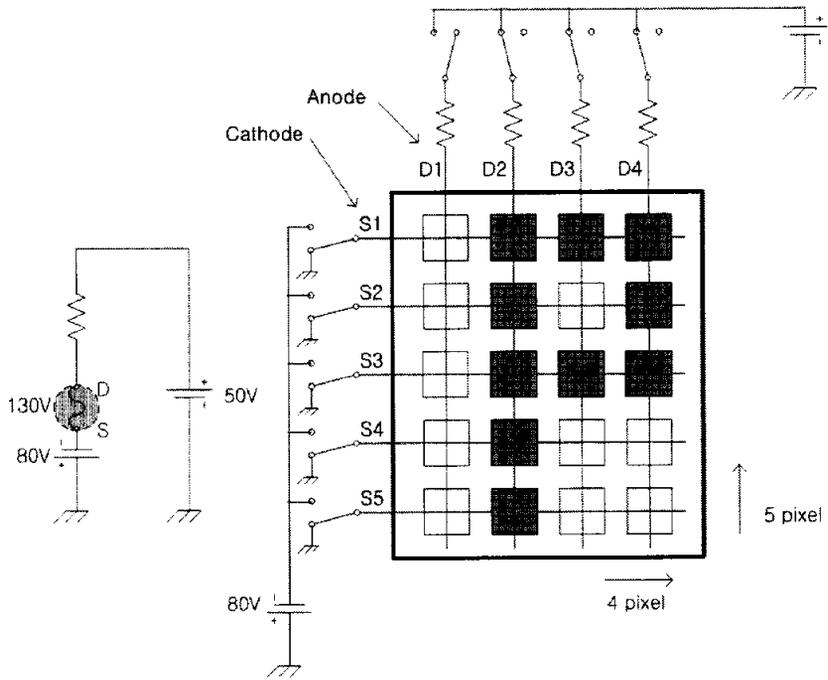


그림 2. 3 PDP패널의 구동 원리

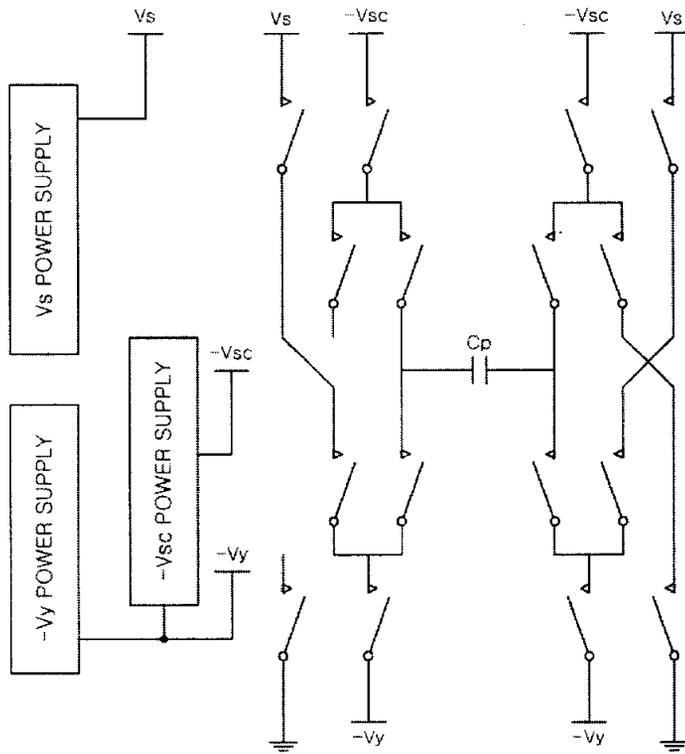


그림 2. 4 패널에 인가되는 전원 구동회로

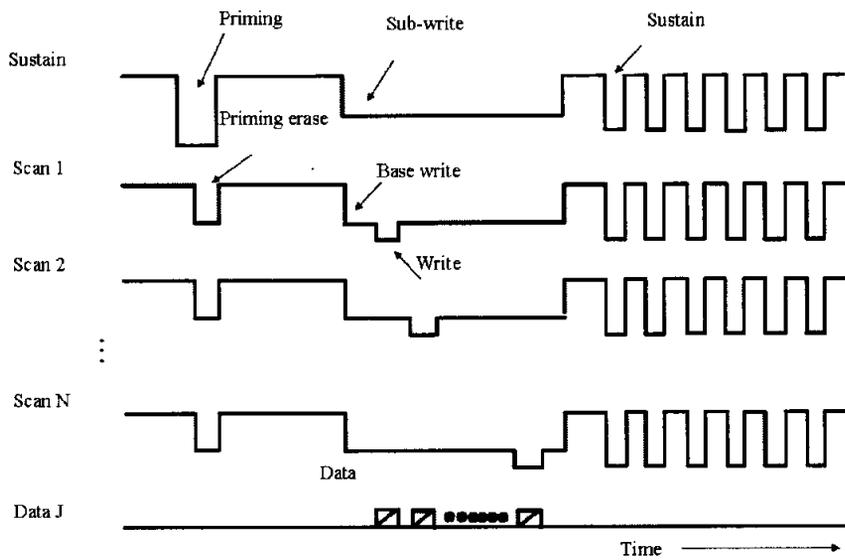


그림 2. 5 구동시 패널의 픽셀에 걸리는 펄스 신호
(Sustain · Scan · Data Pulse - ADS Method)

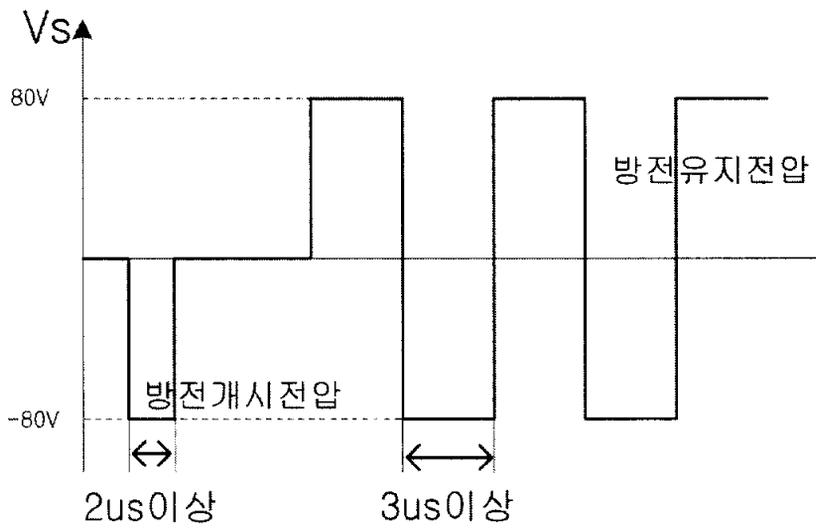


그림 2. 6 이상적인 방전유지전압 파형

표 2. 1 VGA급 AC-PDP 구동회로에 필요한 요소

Electrode	Number of Circuit	Voltage level	P-P Voltage level	Pulse width
Address	1920	2	50	3 μ s
Sweep/Sus	480	3	180	3 μ s
Sustain	1	3	180	3 μ s

제 3 장 제안 구동회로의 시뮬레이션과 실험결과

2장에서는 현재 사용되고 있는 PDP의 특징과 그 구동회로에 대해 관찰하였다. 기존의 회로에 대한 견해로서는 첫째, 많은 스위칭 소자를 필요로 한다는 것이다. 둘째로 3개의 공급 전압원으로 인한 효율의 손실이다. 3개의 전원을 쓰는 것은 각 전원을 제어하기 위해 또 다른 모듈을 필요로 하게 되어 비용이 상승하며, 그에 따른 효율도 떨어진다. 또한 3개에 공급 전압원에 의한 발열도 무시 못 할 요소 중 하나이다.

위와 같은 기존 회로의 비효율적인 측면을 보완하게 되면 여러 가지 손실과 단점을 줄일 수 있으리라 생각된다. 따라서 본 논문에서 제안한 회로는 그림 3.1에 나타낸다.

제안 회로는 실제 사용할 때 더 낮은 전압으로 구동하고 더 적은 개수의 소자를 필요로 하는 데에 중점을 두어 설계한 것이다. 먼저 그림 3.1의 회로를 검증하기 위하여 Simplorer V4.2와 Pspice를 사용하여 컴퓨터 시뮬레이션을 수행한다. 다음에 직접 회로를 구성하여 제안 회로의 실제 동작을 확인 한다.

3. 1 제안한 AC-PDP 구동 회로

그림 3. 1 은 본 논문에서 제시한 저전압 구동회로이다. 입력 전원은 40V로 단일 전원을 사용하며, 크게 4개의 부분으로 나눌 수 있

는데 각각의 부분들은 양방향으로 대칭성을 이루고 있다. 2부분은 Cp에 -80V를 가하게 되고 다른 한 방향으로는 +80V를 가하여 Cp에 160V의 전압이 가해지는 효과를 기대한다. 각 부의 다이오드들은 전류가 역류하는 것을 방지하며, 스위칭 시간을 두 부분으로 나누어 양의 값을 가질 때와 음의 값을 가질 때로 나누어 구동시킨다.

각 부분에 있는 4개의 콘덴서는 항상 40V를 충전 하고 있다가 스위치가 전압을 ON할 때 전압에 더해져 Cp에 인가 되도록 구성하였다. 향후 실제 영상을 패널에 표시할 때 콘트롤이 용이하도록 4개의 부분으로 나누었다. 각 부분은 Cp 양단의 4개의 스위치로써 조작하고 이를 Cp에 연결하였다.

3. 2 제안 회로의 시뮬레이션

이번 장에서는 본 논문에서 제시한 저전압 구동회로를 시뮬레이션 툴을 사용하여 그 타당성을 검증한다. 회로에 필요한 소자의 값과 그 영향 전압, 전류의 관계들을 시뮬레이션을 통하여 입증 해보고자 한다.

3. 2. 1 Ideal Model을 사용한 전체구동회로의 시뮬레이션

그림 3. 2는 본 논문에서 제시한 저전압 구동회로(그림 3.1)를

Simplorer V4.2를 통해 컴퓨터 시뮬레이션 한 결과파형을 나타낸 것이다.

스위칭 주파수는 100kHz이며, C_p 는 0.01 μ F를, 각 C는 0.1 μ F를 사용하였고 스위치는 Ideal Model을 사용하였다. 파형을 살펴보면 각 스위칭이 될 때 거의 정확히 전위차가 160V가 되는 것을 관찰할 수 있으며 그림 2. 6의 파형과 비교하여 봐도 별다른 차이점을 발견할 수 없었다.

3. 2. 2 실제 소자를 사용한 시뮬레이션

그림 3.1에서 제시한 저전압 구동회로에 대한 보다 정확한 시뮬레이션을 위해 PSpice를 이용하였다. PSpice를 이용하는 이유는 Simplorer는 전력전자용으로 특성화된 소프트웨어기 때문에 대략적인 측정만이 가능한 면이 있으며, 두 가지의 툴을 사용함으로써 보다 신뢰할 수 있는 결론을 얻기 위해서이다.

이번 시뮬레이션에서는 양단에 $\pm 80V$ 만을 구동시켜 C_p 에 걸리는 전압 전류 및 소자 값의 선택에 대한 고찰을 수행하였다. PSpice에서도 스위칭 주파수는 100kHz이지만, C_p 는 0.01, 0.1 μ F 와 1nF으로 변화를 주었으며, 저항의 값도 58 Ω 을 사용하였다. 스위치도 Ideal Model에서 실제 실험에 사용할 IRF630모델을 사용하였다.

그림 3.3은 시뮬레이션 Schematic화면을 캡처한 그림이다. 그림에서 C_p 는 C2이며 주파수 및 저항값, 소자들의 종류는 그림을 통해 알 수 있다. 그림 3.4, 3.5, 3.6은 C_p 의 값을 변화하여 시뮬레이션한 결과

파형이며 이를 관찰 하면 각 부분별로 전압을 충전하고 있는 콘덴서의 값과 C_p 의 관계를 알 수 있다. 결과를 보면 1nF일 때 가장 안정된 결과를 보이고 있으며, 전압을 충전하고 있는 콘덴서 보다는 C_p 가 작아야 됨을 알 수 있다. 전류는 스위치가 작동 될 때를 제외하고 거의 안정된 파형을 나타내고 있다.

3. 3 제안한 회로의 실제 구현 및 그 결과

그림 3.1에서 제시한 저전압 구동회로를 실제로 구성하였다. 각 스위칭 타임은 A, B로 나누었으며 각각 SWA, SWB로 나타내었다. 스위칭 주파수는 5kHz, 3Hz이며, C_p 는 0.01uF, C1, C2는 0.1uF를 사용하였고, 저항은 58Ω 그리고 스위치는 n-channel MOSFET인 IRF630을 사용하였다. 이 IRF630은 내압이 200V이고 최대전류가 약2A인 특성을 지니고 있다. 각 MOSFET의 게이트를 제어하기 위해서 고성능 마이크로 컨트롤러인 TI사의 TMS320c2407을 사용하였다. 이 실험에서는 앞서 보았던 시뮬레이션 회로를 사용하여 파형을 관찰하였으며, 저전압·저주파, 고전압·저주파, 고전압·고주파 부분으로 나누어 고찰 하였다.

3. 3. 1 저전압·저주파 인가

인가전압과 주파수 3Hz, 크기 12V인 전압을 인가하고 C_p 양단에 걸리는 전압을 디지털 오실로스코프로 측정하여 그림 3. 7에는 스위칭

소자에 걸리는 전압, 그림 3.8에는 Cp에 걸리는 전압 파형을 나타내었다. 스위치의 구동전압은 단락사고를 방지하기 위해 Deadtime을 20ms를 주었으며 저주파를 인가하였기 때문에 회로에 부착한 LED를 이용해 눈으로도 식별 할 수가 있었다.

출력 파형은 방전 시간이 길어져 그림 3.8과 같이 기울어짐을 관찰할 수 있었고, P-P(Peak to Peak) 전압은 약 40V를 유지 하였다.

3. 3. 2 저전압 · 고주파 인가

그림 3.8에서 볼 수 있는 주파수가에 의한 전압파형의 기울어짐 때문에 인가전압과 주파수 5kHz, 크기 22V의 전압을 인가하고, Cp양단에 걸리는 전압을 디지털 오실로스코프로 측정하여 그림 3.9에는 스위치 소자에 걸리는 전압, 그림 3.10에는 Cp에 걸리는 전압 파형을 나타내었다.

Deadtime은 40 μ s를 주었으며 앞서 보았던 전압의 기울어짐을 저주파에 의한 것이라 가정하고 주파수를 5kHz까지 올렸다. 회로에 부착한 LED를 이용해 눈으로 식별 할 수 없었으며, 오실로스코프로만 확인이 가능하였다.

실험 결과 출력 파형은 그림 3.10과 같이 기울어짐 현상이 없어졌으며, P-P(Peak to Peak) 전압은 약 88V를 유지 하였다. 이는 앞서 시뮬레이션 하였던 파형과 일치 하였으며 이 회로의 실효성을 뒷받침 해준다. 다만 고주파로 구동시키기 때문에 스위치에 흐르는 전류

를 측정하였다. 실제 10mA~20mA으로 유지 되었고, 때문에 스위칭 소자인 IRF630에 크게 영향을 미치지 않았다. 스위치에 걸리는 전압은 그림 3.9에서 보듯이 22V로서 입력 전압이 크게 변하지 않는 것을 보여 준다.

3. 3. 3 고전압 · 고주파 인가

그림 3.10에서 본 논문에서 제시한 회로의 가능성을 확인 할 수 있었다. 이번 절에서는 실제 구동에 필요한 전압을 구하고자, 주파수 5kHz, 크기 40V의 전압을 인가하고, Cp양단에 걸리는 전압을 디지털 오실로스코프로 측정하여 그림 3.11에는 스위치 소자에 걸리는 전압, 그림 3. 12에는 Cp에 걸리는 전압 파형을 나타내었다.

Deadtime은 40 μ s를 주었으며 스위치 소자에 걸리는 전압을 그림 3. 11에 나타내었다. 전압은 40V를 유지하고 있었으며, 처음 생각한 대로 C에서 충전된 전압과 합해져 Cp양단에 160V의 크기를 갖는 Pulse가 출력되었다.

실험 결과 출력 파형은 그림 3.12와 같이 시뮬레이션 파형과 거의 일치 하였으며, P-P(Peak to Peak) 전압은 약 155V로 패널을 구동시키는데 부족함이 없어 보인다. 소자에 흐르는 전류도 30mA ~ 50mA을 유지하였고 눈에 떨만한 이상현상은 나타나지 않았다. 회로를 구성하고 있는 다이오드로 인해 역전류가 발생하지 않고, 콘트롤러에도 거의 영향을 미치지 않았다.

3. 4 제안 회로와 기존의 회로와의 비교

마지막으로 제안한 회로의 실용성을 입증하기 위해 기존의 회로와 비교를 해보았다. 또한 기존의 회로에서 보다 개선된 점을 표 3.1 에 정리하였다. [1]

그림 3.12의 결과 파형과 실제 구동에 필요한 파형을 비교하면 거의 차이점을 찾아 볼 수 없음을 알 수 있다. 폐널방전에 필요한 전압 또한 스위치의 조작으로 얻어 낼 수 있다. 또 그림 3.8에서 살펴본 파형의 기울어짐은 3Hz라는 저주파 영역에서의 출력이다. 이것은 실제 방전에서 쓰이지 않는 영역이어서 크게 문제 될 것은 없으리라 생각된다.

먼저 기존의 구동회로에서는 160V의 고전압을 사용하지만, 제안 회로에서는 40V의 전압을 사용할 수 있도록 설계하여 저전압화 구동을 가능하게 하였으며, 스위칭 소자의 개수도 절반을 줄여서 단가 절감의 효과도 기대 할 수 있다. 회로의 구성도 보다 간단해져서 PDP의 부피를 줄이는 효과도 기대된다.

아울러 콘트롤러의 I/O 포트의 점유율이 낮아져 보다 다양한 콘텐츠도 개발 될 수 있고, 보다 값싼 콘트롤러로의 교체가 가능하다.

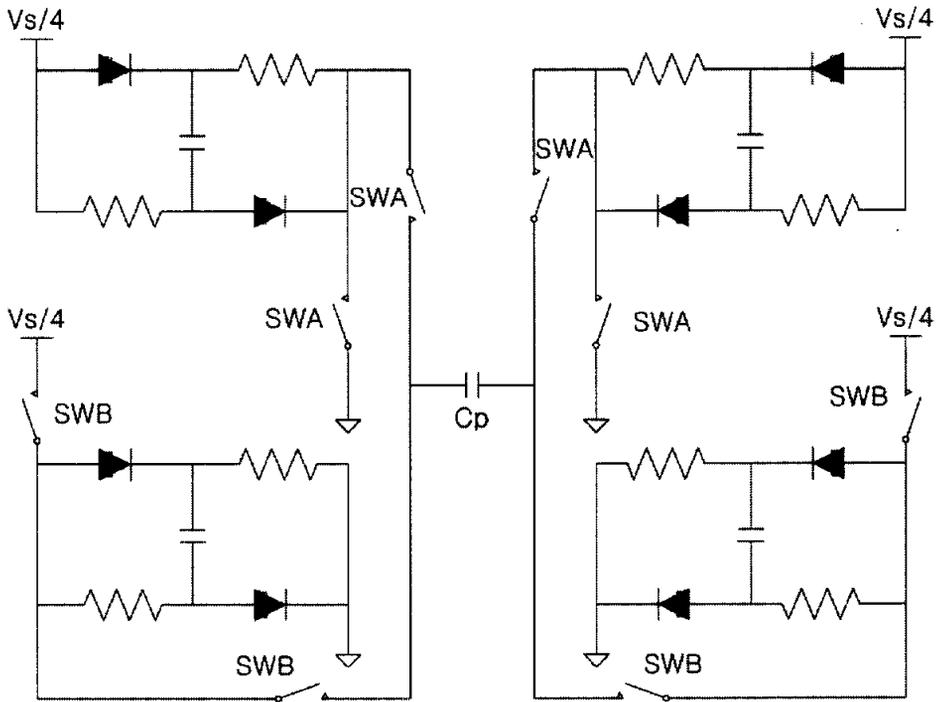


그림 3. 1 본 논문에서 제시한 저전압 구동회로

Voltage of Cp

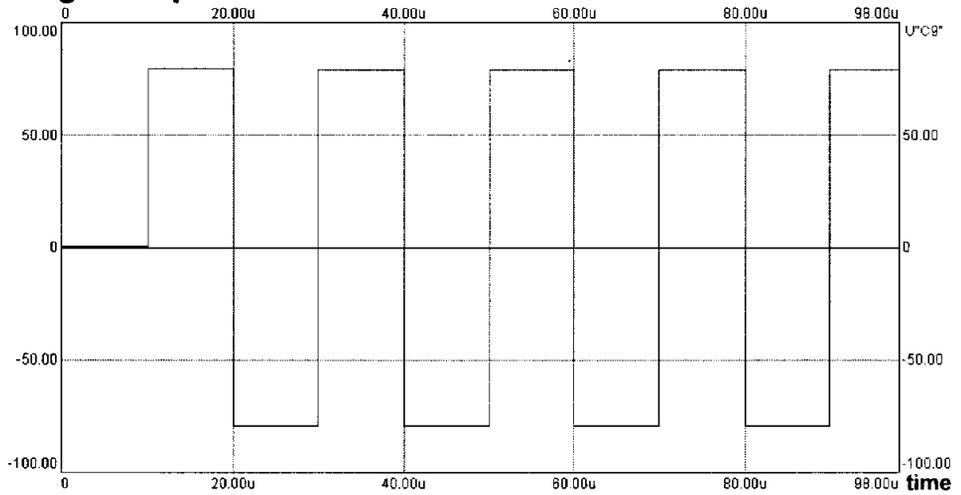


그림 3. 2 실시간 시뮬레이션 파형

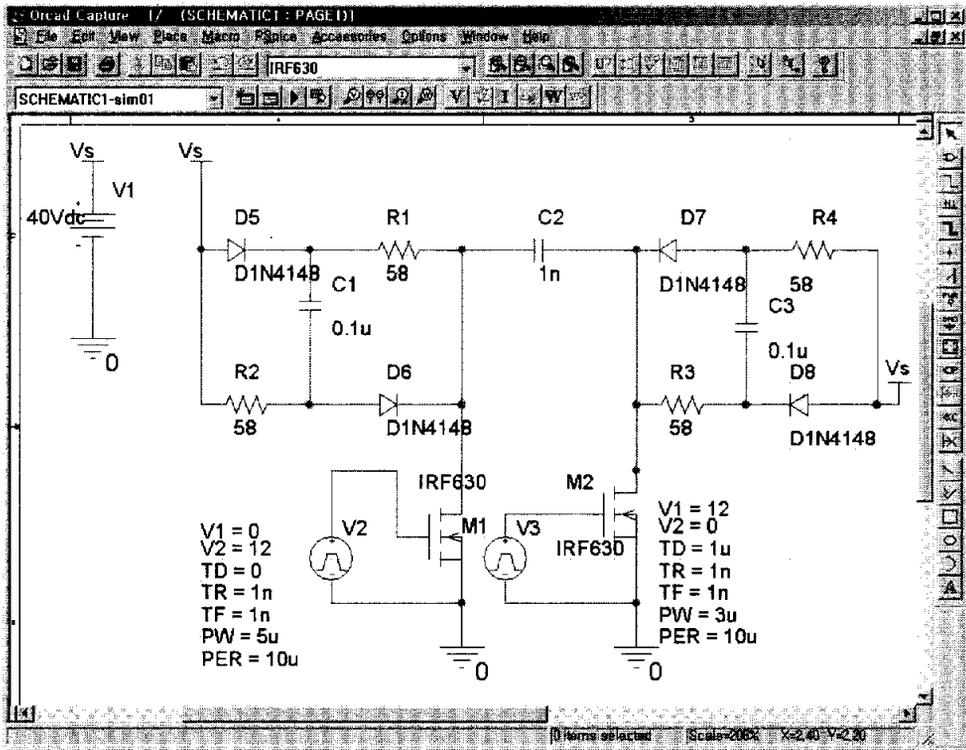


그림 3. 3 PSpice 시뮬레이션과 실험을 위한 회로

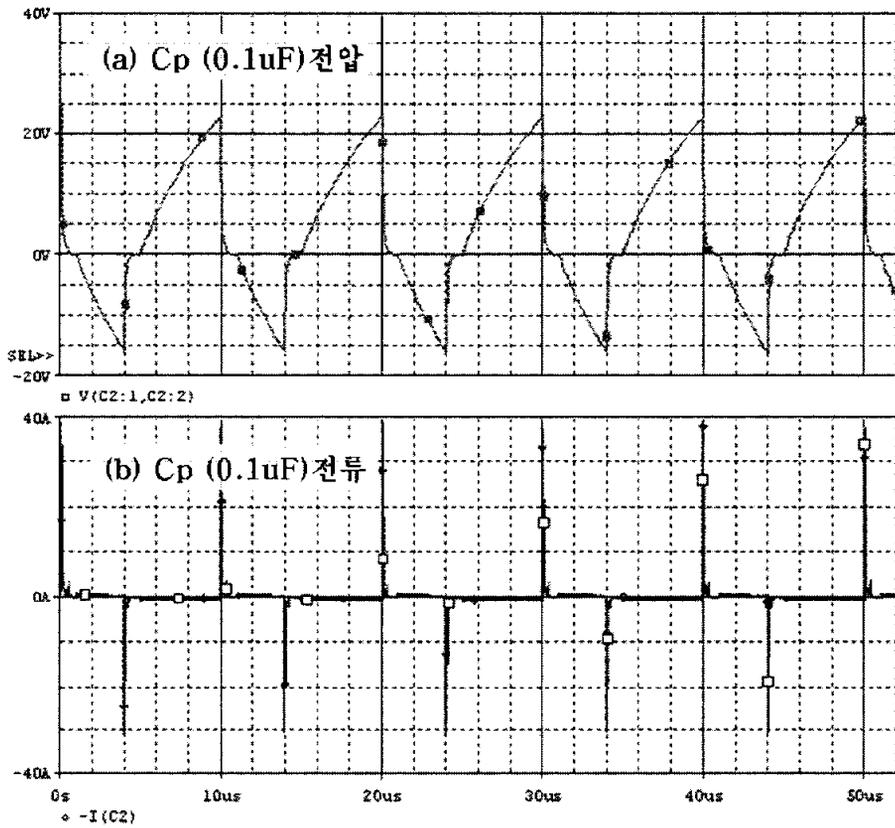


그림 3. 4 $C_p = C_1 = C_2 = 0.1\mu\text{F}$ 일 때 출력 전압 · 전류

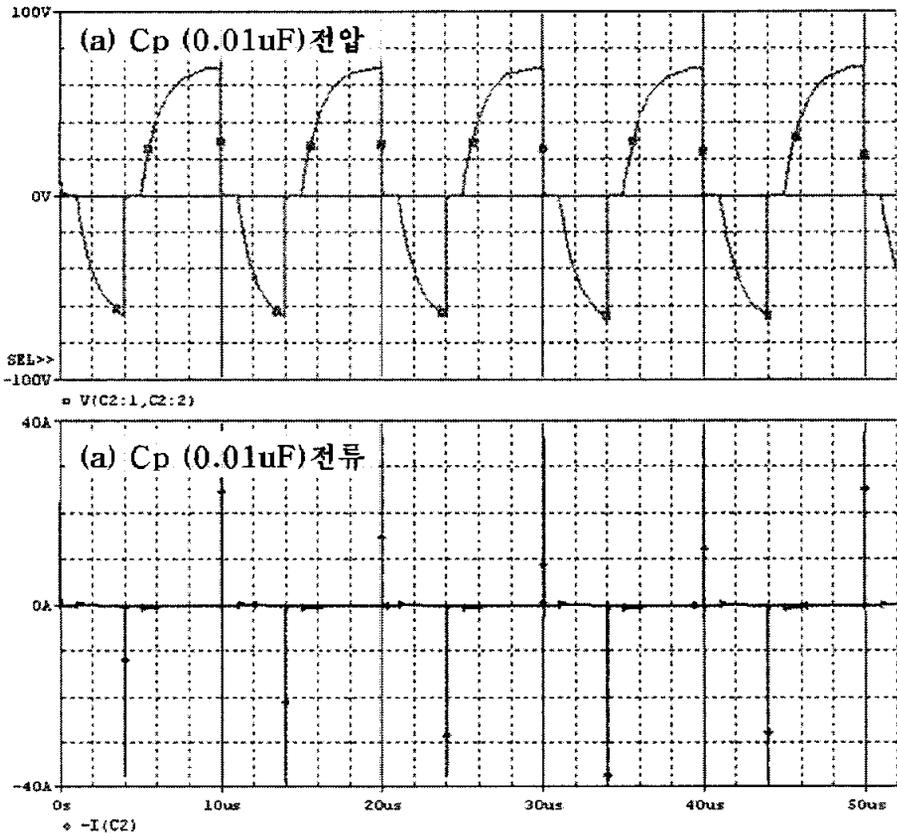


그림 3. 5 $C_p = 0.01\mu F$, $C_1 = C_2 = 0.1\mu F$ 일 때 출력
전압 · 전류

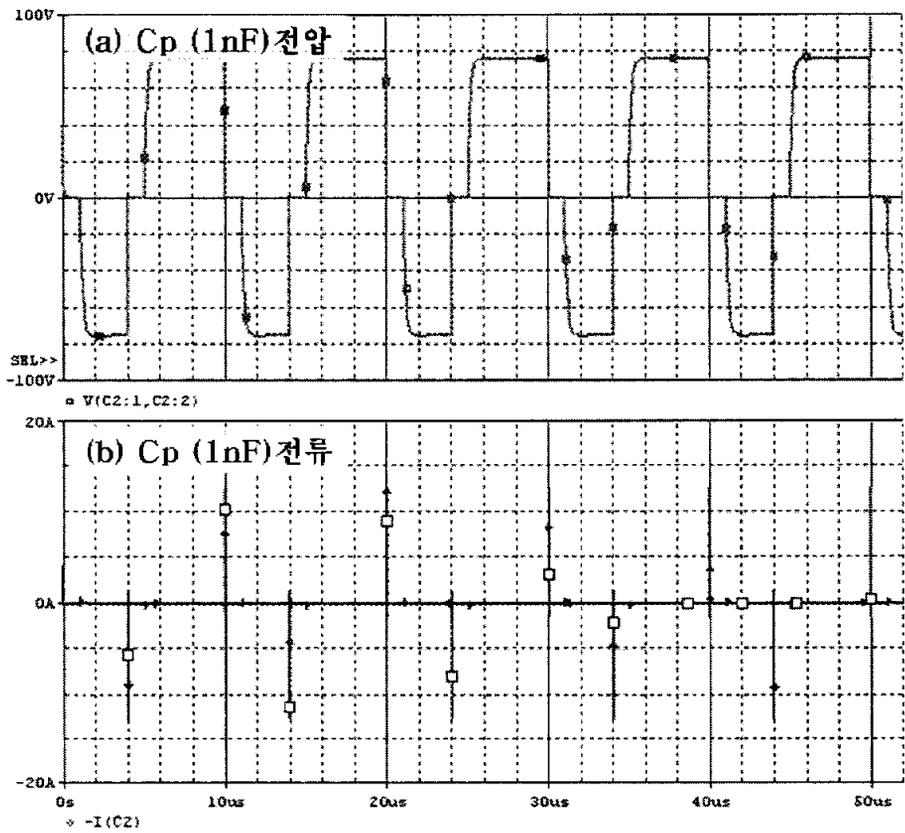


그림 3. 6 $C_p = 1\text{nF}$, $C_1 = C_2 = 0.1\mu\text{F}$ 일 때 출력 전압 · 전류

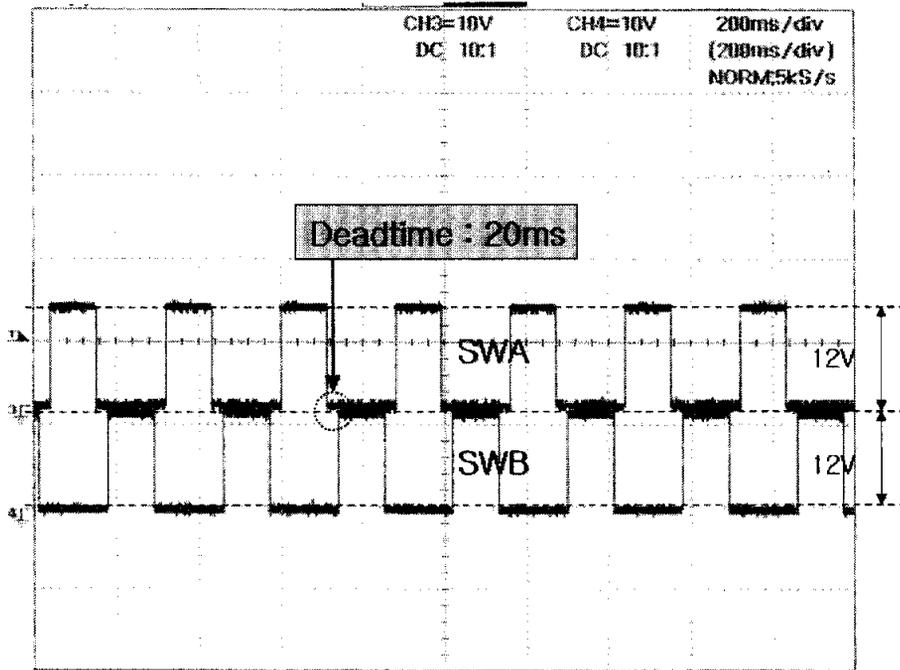


그림 3. 7 12V, 3Hz인가시 스위치에 걸리는 전압

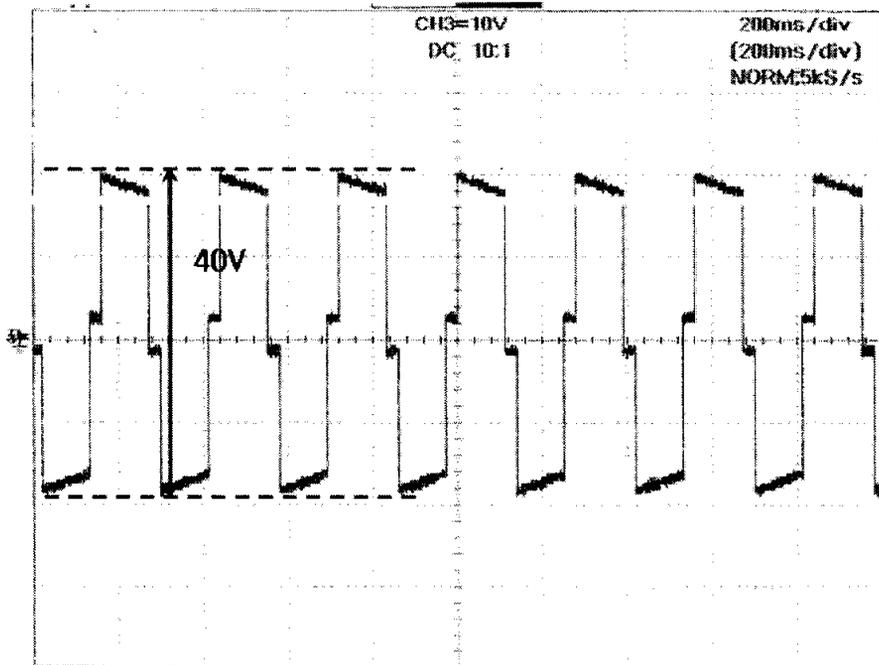


그림 3. 8 12V, 3Hz인가시 Cp양단에 걸리는 전압

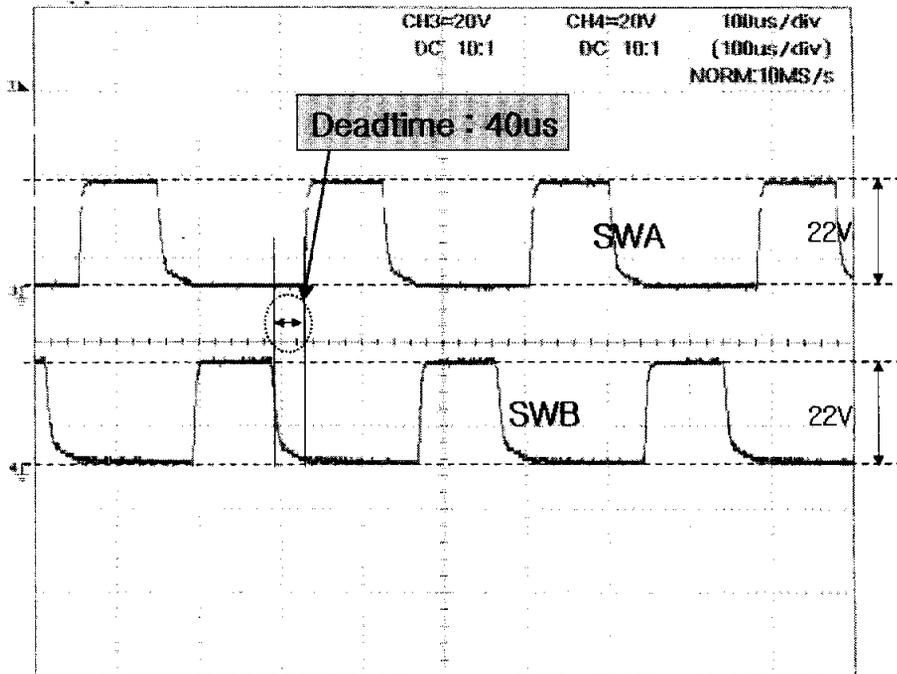


그림 3. 9 22V, 5kHz 인가시 스위치에 걸리는 전압

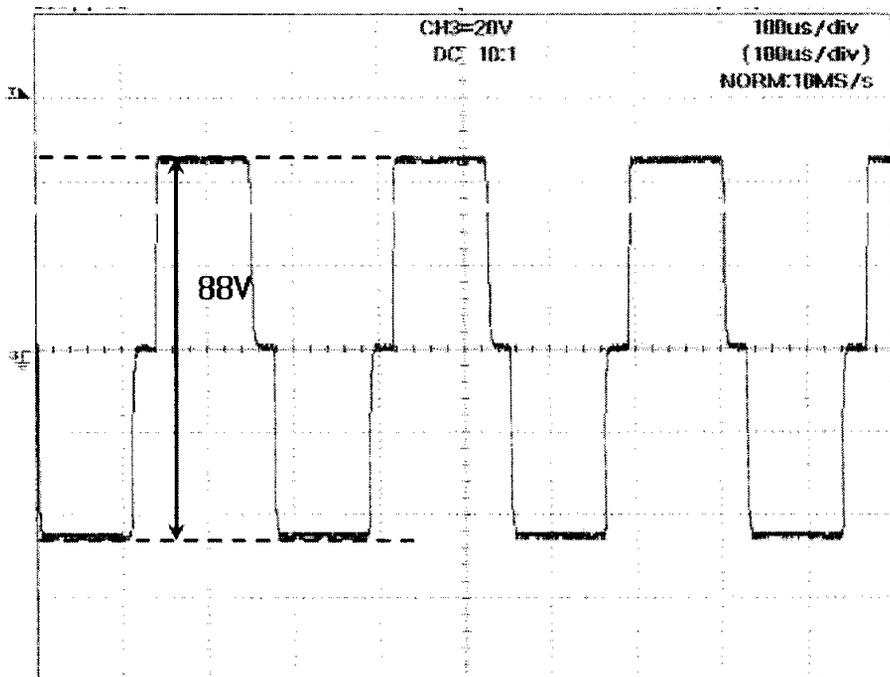


그림 3. 10 22V, 5kHz인가시 Cp양단에 걸리는 전압

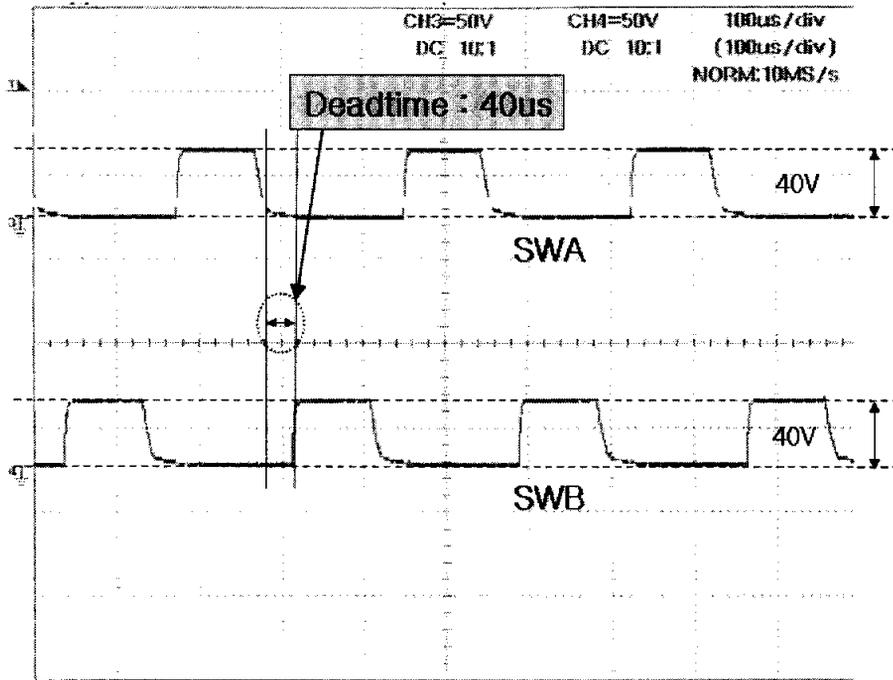


그림 3. 11 40V, 5kHz인가시 스위치에 걸리는 전압

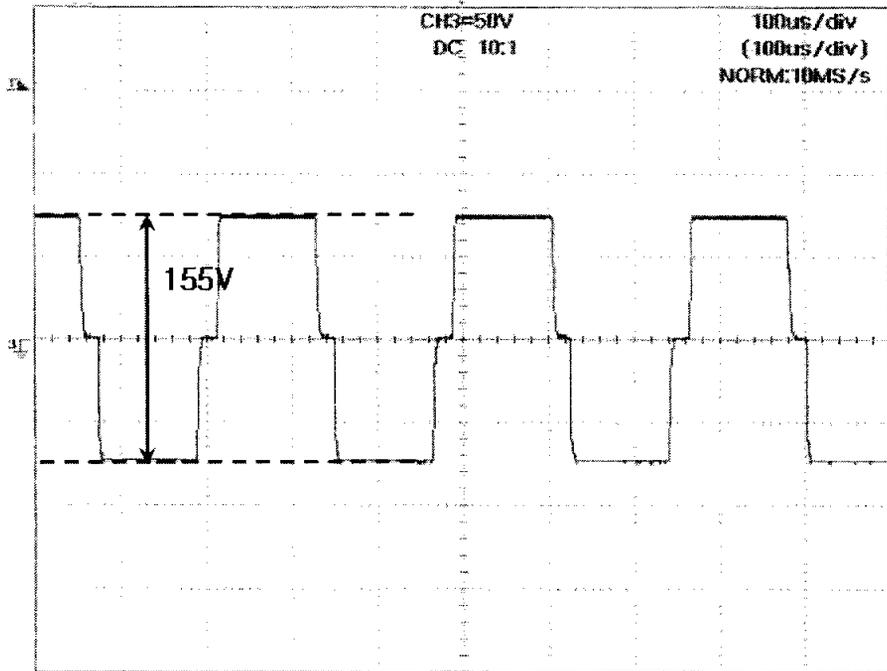


그림 3. 12 40V, 5kHz인가시 Cp양단에 걸리는 전압

표 3. 1 기존의 회로와 제안한 회로의 특성 비교

	기존의 회로	제안한 회로
인가 전압 (Oprating Voltage)	160V	40V
전력 손실 (Power Loss)	1	1/16
스위칭 소자 개수 (No. of Switching device)	16개	8개
스위칭 소자에 걸리는 전압 (Voltage of Switching device)	160V	40V
공급 전압원 개수 (No. of Power supply)	3개	1개

제 4 장 결 론

본 논문에서는 PDP 구동시 좀더 높은 효율을 가지기 위한 새로운 구동 회로를 제안하는데 그 목적을 두고 있다. 이를 위하여 먼저, 기존구동회로의 특징을 파악하였다. 다음에 구동회로에 인가하는 전압의 저감과 소자의 수를 줄이는 데에 목적을 두어 제안 모델을 설계하였다.

제안한 저전압화 모델의 실효성을 검증하기 위해서는 우선 컴퓨터 시뮬레이션을 수행하여 이론적으로 기대한 결과가 나타난다는 사실을 확인하였고, 그 다음에 실제 소자를 사용한 전자회로를 직접 구성하여 컴퓨터 시뮬레이션에서 나타난 결과와 유사한 결과를 얻을 수 있다는 점을 입증하였다.

위와 같은 뚜렷한 결과를 얻을 수 있다는 점으로 미루어 본 논문에서 제안한 저전압화 모델의 실효성은 충분히 입증된 것이라고 생각한다. 따라서, 목적으로 한 저전압화의 달성에 따라 보다 저가의 스위칭 소자를 사용할 수 있으며, 소자의 개수 또한 줄임으로써 PDP의 단가를 낮추는 데에 충분히 기여할 수 있으리라 기대한다. 아울러 보다 나은 모델의 연구에도 도움이 될 수 있는 효과도 기대해 본다.

참고문헌

- [1] 장윤석, 최진호, “저전력 AC PDP 구동회로의 설계”, 2003년도 대한전기학회 고전압 및 방전응용기술연구회 춘계학술대회 논문집, 20-23, 2003

- [2] C. C. Wang, Y. H. Hsueh. C. S. Chen and J. F. Huang, "A low-cost plasma display panel data dispatcher for image enhancement", IEEE Transactions on Consumer Electronics V.48 N.4 , 997-1003, 2002

- [3] S. C. Brown, "Basic data of plasma physics", John Wiley & Sons

- [4] 박정후, “플라즈마 디스플레이의 이해”, 제일출판사

- [5] Jian-Long Kuo, Tsung-Yu Wang, C. C. Tsai, Yu C. S. and Z. S. Chang, "Efficiency improvement on the PDP driver by using new pulse width modulated gray-level representation", Proceedings of thr 4th IEEE International Conference on Power Electronics and Drive Systems - Volume 2. 555 - 559, 2001

- [6] Tsai-Fu Wu, Chien-Chin Chen, Wen-Fa Hsu and Chien-Chou Chen. "Design and development of driving waveforms for AC PDPs", Conference Record of the 2002 IEEE Industry Applications Conference 37th IAS Annual Meeting - Volume 1, 334 - 341, 2002
- [7] H. Sumida, A. Hirabayashi and H. Kobayashi, "A high-voltage lateral IGBT with significantly improved on-state characteristics on soi for an advanced pdp scan driver IC", Proceedings of the 2002 IEEE International SOI Conference, 64 - 65, 2002
- [8] Y. Amano, J. Endo and B. K. Velayudhan, " A new Driving Method for Vertical Discharge PDP", Proceeding of the Fifth International Display Workshops, 551-554, 1998

감사의 글

오늘이 있기까지 긴 시간 동안 학문의 길을 열어주시고 깊은 사랑으로 지도해 주신 장 윤 석 교수님께 감사와 존경의 마음을 드립니다. 또한, 바쁘신 중에도 세심한 지도와 격려로 심사를 해주신 김 영 학 교수님, 노 의 철 교수님께 마음 깊이 감사드립니다. 그리고 지난 학업의 과정 동안 격려와 조언을 아끼지 않으신 김 인 동 교수님, 김 천 덕 교수님과 전기·제어계측공학부 교수님들께 진심으로 감사드립니다.

항상 곁은 일이 있을 때마다 웃음으로 편하게 위로하고 아낌없는 도움으로 저에게 힘을 보태주신 박 순 종 박사님, 윤 상 호 선생님과 전기공학전공 후배들에게도 고마움을 전합니다.

대학원 생활 동안 동거동락하며 저에게 힘을 보태어 준 전력전자 실험실의 종수와 대학원 동기인 제 창 우 선배님, 동훈에게도 감사의 말을 올립니다. 또 멀리서도 아낌없는 조언과 도움을 주신 김 상 철 선배님, 심 성 일 선배님, 박 구 렬 선배님, 도 태 권 선배님과 전기공학과 선배님들에게도 감사드립니다. 또한, 즐거움과 아픔을 함께 했던 생체전기연구실 식구들과 강 성 관 선배님, 문 상 호 선배님, 기 수, 중원, 성환, 성훈, 병철군을 비롯한 전력전자 연구실 선후배님들, 그리고 디지털 신호처리 연구실의 장 비 선배님, 미현, 혜영, 진영군에게도 감사드립니다.

지치고 힘들 때 의지할 수 있었던 친구 지덕, 주형과 송 유 태 선배님, 민욱, 병대, 주열, 봉인 군을 비롯한 전기공학과 '95학번 동기들과도 이 작은 기쁨을 나누고 싶습니다.

끝으로 이 날이 있기까지 오랜 시간 동안 사랑과 희생으로 보살펴주신 부모님께 무한한 감사와 존경의 마음으로 소홀했던 지난 시간들에 대해 이해를 구하며 이 논문이 조그마한 보답이 되기를 가슴속으로 빌어봅니다.

김 성 훈 올림