



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사 학위논문

주파수-전압 변환기로 잡음이 개선된

이산시간 루프필터 위상고정루프



2023 년 8 월

부 경 대 학 교 대 학 원

전 자 공 학 과

박 경 석

공학석사 학위논문

주파수-전압 변환기로 잡음이 개선된
이산시간 루프필터 위상고정루프

지도교수 최영식

이 논문을 공학석사 학위논문으로 제출함

2023 년 8 월

부경대학교 대학원

전자공학과

박경석

박경석의 공학석사 학위논문을 인준함

2023 년 8 월 18 일



주 심 공학박사 남 원 일



위 원 공학박사 최 영 식



위 원 공학박사 우 솔 아



목 차

Abstract

I. 서론	1
II. 위상고정루프의 기본 이론	3
2.1 위상고정루프의 구조 및 이론	3
2.2 기본 블록들의 동작특성	6
2.2.1 전압제어 발진기	6
2.2.2 전하펌프와 루프필터	7
2.2.3 위상-주파수 검출기와 주파수 분주기	10
2.3 전하펌프 위상 고정 루프의 선형적 분석	13
2.3.1 선형적 분석 - 안정도 평가	15
2.3.2 선형적 분석 - 대역폭 면적	17
2.4 구조에 따른 위상고정루프	18
2.4.1 II형 위상고정루프 (연속시간 루프필터)	18
2.4.2 I형 위상고정루프 (이산시간 루프필터)	19

Ⅲ. 주파수-전압 변환기로 잡음이 개선된 이산시간 루프필터 위상고정루프	20
3.1 기본블럭 회로설계	20
3.1.1 위상-주파수 검출기	20
3.1.2 전하펌프	21
3.1.3 전압제어발진기	22
3.1.4 주파수 분주기	25
3.2 제안한 위상고정루프와 새로운 블럭 회로설계	26
3.2.1 이산시간 루프필터	26
3.2.2 주파수-전압 변환기	29
3.2.3 제안한 위상고정루프	31
Ⅳ. HSPICE 시뮬레이션 결과	35
Ⅴ. 결론	41
참고문헌	42

A Noise Improved Discrete-Time Loop Filter Phase-Locked Loop with Frequency-Voltage Converter

Kyung-Seok Park

Department of Electronic Engineering, Graduate School,
Pukyong National University

Abstract

In this thesis, a Discrete-time Loop Filter(DLF) phase-locked loop with a Frequency-Voltage Converter(FVC) has been proposed. Discrete-time loop filter can improve spur characteristic by connecting the charge pump and voltage oscillator discretely unlike a conventional continuous-time loop filter. The proposed PLL is designed to operate stably by the internal negative feedback loop including the FVC acting as a negative feedback to the discrete-time loop filter of the external negative feedback loop. In addition, the phase noise is further improved by reducing the magnitude of the loop filter output voltage variation through the FVC. Therefore, the magnitude of jitter has been reduced by 1/3 compared to the conventional structure. The proposed phase locked loop has been simulated with HSpice using the 1.8V 180nm CMOS process.

I. 서 론

최근 통신 및 IT 분야에서 기술들이 빠르게 발전하면서 이를 뒷받침할 반도체 회로들이 까다로운 성능요건을 충족해야 하는 상황에 직면하였다. 기존에 많은 분야에 사용되었던 아날로그 회로는 공정 변수 및 온도 등에 매우 민감하다는 단점을 가지고 있다. 그리하여 기존의 아날로그 회로를 디지털 회로로 대체하거나, 새로운 디지털 회로 추가하여 회로시스템의 성능을 개선시키는 추세가 강하게 이어지고 있다.

집적회로에 필수적인 부품인 위상고정루프 중 아날로그 구조의 위상고정루프는 연속시간 루프필터를 사용한다. 아날로그 루프필터에 사용되는 저항은 정확한 값을 구현하기가 힘들고 온도에 의한 영향을 많이 받는다[1]. 또한 위상고정루프 구조 특성상 발생하는 기준신호 스퍼가 위상 잡음 특성을 나쁘게 한다.

이러한 점을 개선하기 위해 루프필터를 디지털 회로로 만들려는 연구가 많이 진행되어 연속시간 루프필터를 가진 II-형 위상고정루프 대신 커패시터와 스위치로 구성된 이산시간 루프필터를 가진 I-형 위상고정루프 등이 발표되었다. II-형 위상고정루프의 효과적인 연구 및 설계를 위해 위상고정루프 시스템의 이산시간 모델을 선보였고[2], 설계를 하는데에 있어서 이상적인 모델링을 위해 파라미터를 효율적으로 계산하는 이론이 연구되었다[3]. 현재까지 I-형 위상고정루프를 기반으로한 여러 구조가 제시되었다. 이산시간 루프필터와 단극성 전하펌프를 통해 스퍼를 크게 줄인 위상고정루프[4], 이산시간 루프필터를 이용해 확산 스펙트럼 변조 방식 위상고정루프 시스템의 비선형성을 억제하여 지터특성을 개선시키고 소모전력을 줄인 연

구가 있었다[5]. 이러한 위상고정루프는 기존과 다른 구조의 전하펌프를 새롭게 설계해야 하는 어려움이 있다.

입력단자가 2개인 전압발전기와 디지털 전하펌프가 도입된 위상고정루프도 연구되었다[6][7]. 아날로그 전압값을 전달하는 비례경로와 양자화된 디지털 전압값을 전달하는 적분경로를 통해 트레이드오프 관계인 스퍼 특성과 대역폭을 크게 개선시켰다. 전압발전기는 외부 영향에 민감하므로 2개의 입력 구조일 경우 출력이 더욱 잡음에 민감해지거나 이를 방지하기 위해 주파수-전압이득을 매우 낮게 설계해야 하는 단점이 있다. 연속적인 아날로그 특성을 최대한 배제하기 위해 기존의 위상주파수검출기 대신 샘플링위상검출기(Sampling Phase Detector)가 사용된 회로가 제시되었다[8]. 이러한 구조는 더욱 작은 커패시터를 가지고도 만족할만한 지터 크기를 얻을 수 있어서 칩 면적을 획기적으로 줄이는 것이 가능하다. 하지만, 매우 복잡한 구조를 가질뿐더러 줄어든 커패시터를 보완하기 위해 더 많은 샘플링 회로가 필요하게 된다.

본 논문에서 제안하는 구조는 이산시간 루프필터와 주파수-전압 변환기를 가진 위상고정루프이다. 이산시간 루프필터는 전하펌프와 전압발전기가 직접적으로 연결되지 않아 연속시간 루프필터의 스퍼 특성을 개선할 수 있다. 또한 주파수-전압 변환기를 통해 루프 필터 출력 전압 변위 크기를 줄여 잡음 특성을 더욱 개선하였다.

Ⅱ. 위상고정루프의 기본 이론

2.1 위상고정루프의 구조 및 이론

통신, 반도체, 신호처리와 같은 다양한 IT분야에서 일정한 주파수를 가진 신호는 필수적으로 사용되고 있다. 발진기(Oscillator)는 이러한 요구를 충족하기 위해 개발된 소자로써 안정적인 주파수 신호를 공급해주는 역할을 한다. 하지만 외부환경에 안정적인 온도보상발진기(TCXO : Temperature Compensated X-tal Oscillator) 같은 회로는 현대 최신기술에 적용되고 있는 기가-헤르츠(Giga-Hertz) 대역의 주파수를 만들어내기엔 한계가 있다. 그리하여 보다 높은 주파수를 가진 회로들이 개발되었고 그 중 하나가 오늘날 많은 분야에서 사용되고 있는 위상고정루프(Phase-Locked Loop)이다.

기존의 일반적으로 사용되는 아날로그 위상고정루프는 그림 2.1과 같은 구조로 이루어져 있다. 기본적으로 전압제어발진기(Voltage Controlled Oscillator)를 이용하여 고주파수 출력(F_{OUT})을 만들어내고 이를 피드백하는 부궤환 회로이다. 온도보상발진기와 큰 차이점은 전압제어발진기의 경우 외부잡음이나 온도에 아주 민감한 특성을 가지게 된다. 이러한 이유로 피드백을 통해 출력의 특성을 파악하여 자체적으로 주파수를 알맞게 조절하거나 유지하는 ‘자동화(Automatic) 회로 시스템’으로 구성된다. 위상고정루프 특성을 평가하는 요소는 대표적으로 지터(Jitter), 위상잡음(Phase Noise)과 스퍼(Spur)를 들 수 있다.

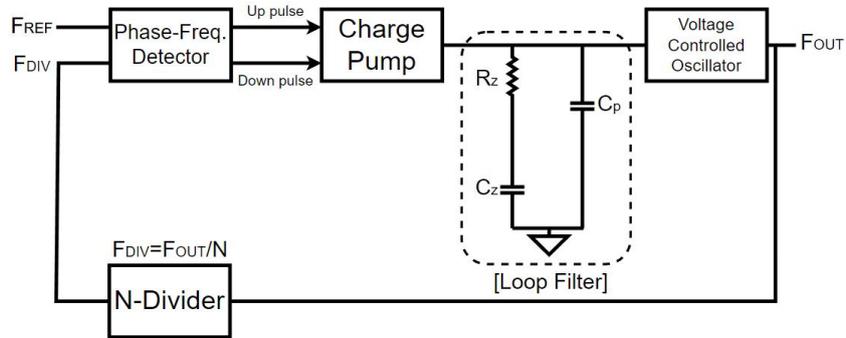


그림 2.1 위상고정루프의 구조

그림 2.2는 신호의 파형을 일정한 시간 간격으로 나누어 이를 겹쳐서 나타낸 아이 다이어그램(Eye Diagram)으로 잡음 특성을 확인할 수 있다. 지터는 아이 다이어그램의 두께나 분포와 연관된 파라미터로써, 신호가 간격 별로 얼마나 주기들을 엄격하게 지키고 있는가를 확인할 수 있는 평가척도이다. 즉, 이 값이 작을수록 긴 시간동안 이상적인 주기를 꾸준히 유지하고 있으므로 품질이 좋은 고주파수 신호를 출력한다고 여겨진다.

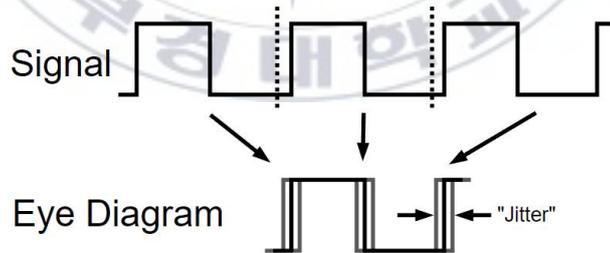


그림 2.2 아이 다이어그램

그림 2.3는 출력신호를 주파수 스펙트럼 관점에서 해석한 위상잡음 보드선도이다. 보드선도의 “Freq.(x축)”는 출력신호의 메인주파수 F_{OUT} 과 얼마나 떨어져있는지를 보여주며, “Magnitude(y축)”는 해당 주파수를 가진 신호의 세기를 나타낸다. 이상적인 시스템에선 메인주파수를 제외한 다른 성분들은 잡음으로 취급하기 때문에 그래프의 면적이 작을수록 잡음이 없는 안정적인 신호가 출력된다고 볼 수 있다. 위상잡음은 메인주파수에서 어느 정도 떨어진 주파수부터 분석하기 때문에 제시된 보드선도에선 F_{MIN} 부터 F_{MAX} 까지 나타내었다.

보드 선도상 F_{REF} 에서 높은 세기의 주파수성분이 발생하는데 이를 스퍼(Spur)라고 부른다. 위상고정루프가 외부로부터 받는 기준신호에 의해 위상-주파수 검출기와 전하펌프가 만들어내는 잡음 성분이다. 스퍼가 커짐에 따라 시스템에서 활용할 수 있는 대역폭이 상당히 줄어들게 되므로 설계단계에서 이를 최대한 억제하는 것이 좋다.

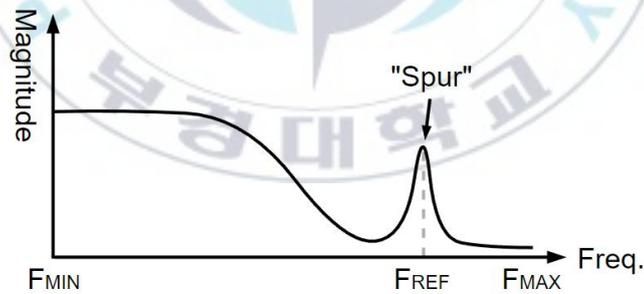


그림 2.3 위상고정루프 출력의 위상잡음

2.2 기본블록들의 동작 및 특성

2.2.1 전압제어발진기

고주파수를 출력하는 핵심 부품인 전압제어발진기는 이름 그대로 전압을 통해 발진하는 주파수를 조절하는 역할을 수행한다. 그림 2.4에 나타난 그래프처럼 입력전압과 출력주파수가 비례하여 전압의 크기가 주파수에 반영되는 방식을 많이 사용한다.

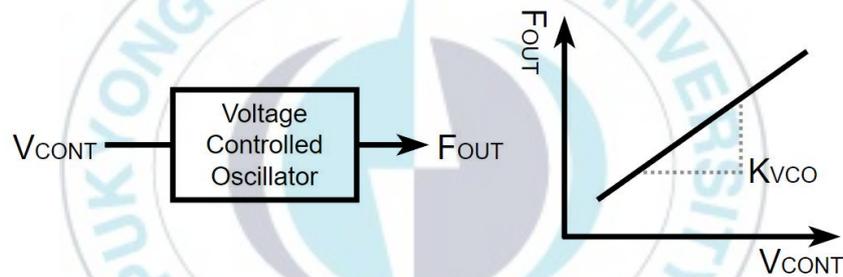


그림 2.4 전압제어발진기의 특성

전압제어발진기의 특성을 수식(2-1)을 통해 나타내었다. 위 그래프에서 보듯이 그래프의 기울기를 K_{VCO} 로 정의하는데 이는 전압제어발진기의 이득값을 나타낸다. 다시말해 전압으로 주파수를 조절하는 정도를 나타내는 셈이다. 이 값이 커짐에 따라 작은 전압변화가 큰 주파수변화를 유도할 수 있다. 수식(2-1)의 ω_0 는 전압제어발진기의 자주 주파수(free running frequency)로 전압이 인가되지 않을 때 형성하는 출력주파수를 의미한다. 여기서 전압과 전압이득이 곱해진 값이 더해져 설계자가 원하는 위상고정 루프의 출력을 만들 수 있다.

$$\omega_{out} = \omega_{free} + K_{vco} \cdot V_{cont} \quad (2-1)$$

선형모델 분석을 위해 전달함수를 구해보면 수식(2-2)와 같다. 위상을 나타내는 수식이기에 기존의 이득과 전압이 곱해진 값을 미분(1/s)하는 방식으로 표현하였다.

$$\Phi_{out}(s) = \frac{1}{s} \cdot K_{vco} \cdot V_{cont} \quad (2-2)$$

2.2.2 전하펌프와 루프필터

위에서 설명한 전압제어발진기는 일정한 전압을 공급해주면 주파수가 유지되는걸로 볼 수 있다. 하지만, 실제로 전압제어발진기의 이득은 외부환경에 매우 민감하게 반응하여 값이 변할 수 있다. 그렇게 되면 그림 2.5(a)처럼 같은 전압값(V_{IN})임에도 서로 다른 주파수가 출력되므로 원하는 주파수를 얻는 것이 불가능하다. 그리하여 2.5(b)와 같이 이득이 K_{VCO1} 일 때는 V_{IN1} 으로, K_{VCO2} 일 때는 V_{IN2} 로 전압을 조절한다면 이득에 상관없이 F_{OUT} 으로 일정한 주파수를 출력하는 것이 가능해진다. 이러한 전압 조절 동작을 전하펌프와 루프필터가 수행한다.

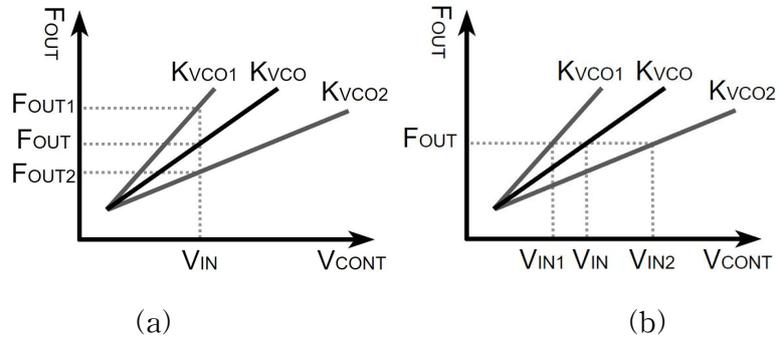


그림 2.5 전압제어발전기 이득의 변화

그림 2.6은 전하펌프와 루프필터가 연결된 구조이다. 전압제어발전기의 입력전압(V_{CONT})은 전하펌프가 그 값을 조절하고, 루프필터는 전압을 안정적으로 유지하는 역할을 한다. 출력되는 신호의 주파수를 확인하는 피드백 신호는 전하펌프의 스위치(SW_{UP} , SW_{DOWN})를 통해 들어오게 된다. 스위치가 단함에 따라 연결되어 있는 전류원(I_{UP} , I_{DOWN})을 통해 흐르는 전류가 루프필터의 커패시터로 하여금 전하를 충전하거나 방전하면서 전하량을 조절한다. 그렇게 전하량을 바탕으로 루프필터의 전압이 조정되면서 전압제어발전기가 원하는 주파수를 출력하도록 제어한다.

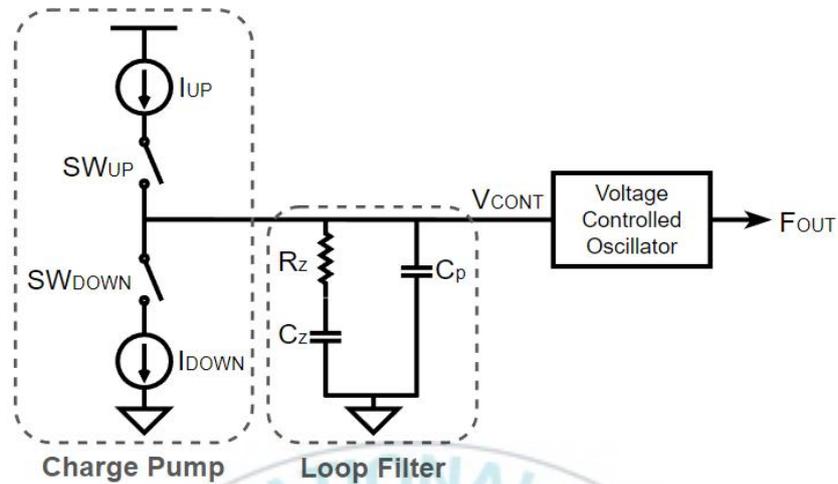


그림 2.6 전하펌프와 루프필터가 추가된 구조

루프필터의 경우 커패시터가 2개(C_p , C_z)와 저항 1개(R_z)로 구성되어 있다. 일반적으로 극점 커패시터(C_p)보다 영점커패시터(C_z)가 더 큰 커패시터이지만, 저항(R_z) 때문에 전압발진기 입력전압을 직접적으로 제어하는 것은 극점커패시터이다. 영점커패시터는 크기가 큰 만큼 더욱 안정적인 전압유지가 가능하므로 극점커패시터의 전압변화로 발생하는 잡음을 막아준다. 그림 2.7의 (a)의 경우 전압 V_2 를 유지하다가 다른 회로 혹은 외부 잡음에 의해 $V_1 (< V_2)$ 으로 떨어졌을 때 이를 복원해주기 위해 영점커패시터에서 전하를 공급해준다. 반대로 $V_3 (> V_2)$ 로 상승할 경우 전하를 빼줌으로써 전압을 낮춰주는 역할을 한다. 대체로 자주 주파수를 방출하던 위상고정루프가 원하는 주파수를 출력하는데까지 걸리는 시간을 위상고정시간(Locking Time)이라고 한다. 이 값은 대체로 루프필터의 커패시터에 전하가 충분히 공급되는 시간이라고 이야기 할 수 있다.

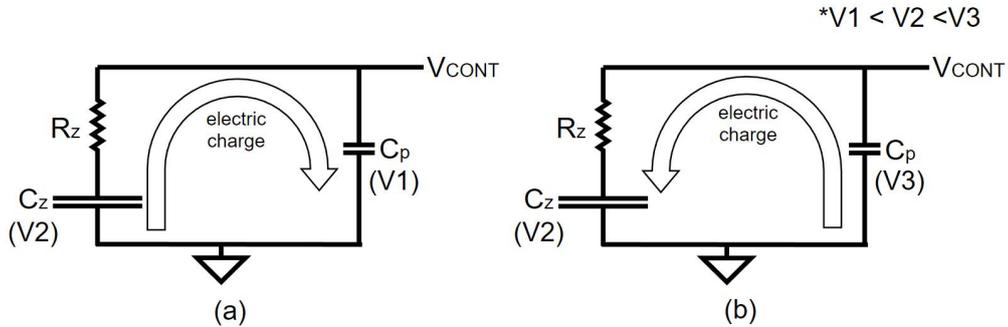


그림 2.7 루프필터의 전압 유지

2.2.3 위상-주파수 검출기와 주파수 분주기

위상고정루프의 고주파수 출력이 잘 나오고 있는지 확인하기 위해선 비교하여 평가할 수 있는 기준이 필요하다. 이전에 언급한 온도보상발전기의 경우 낮은 주파수를 가지지만 높은 안정성을 가지므로 좋은 평가척도가 된다. 하지만 위상고정루프의 출력은 고주파수(F_{OUT})이므로 보다 낮은 주파수로 변환해줄 필요가 있다. 이러한 동작을 주파수 분주기(Divider)가 수행한다. 입력받은 고주파수를 기준신호(F_{REF})의 주파수와 비슷한 주파수(F_{DIV})의 신호로 만들어서 비교할 수 있게 해준다. 분주된 신호와 기준신호가 위상-주파수 검출기에 입력되면서 그 차이를 확인한다.

그림 2.8처럼 위상-주파수 검출기는 분주된 신호의 주파수 혹은 위상이 기준신호에 비해 높고, 낮음에 따라 전하펌프에 각기 다른 신호를 입력한다. 예를 들어 분주된 주파수가 높을 경우 출력신호를 만들고 있는 전압발전기의 입력전압을 보다 낮춰야할 필요가 있다. 그러므로 전하펌프로 하여금 루프필터 전하를 방출시키기 위해 위상-주파수 검출기가 'Down pulse'를 입력하여 전압을 낮춰준다. 반대로 분주된 주파수가 낮을 경우엔 'Up pulse'를 통해 전압을 올려준다.

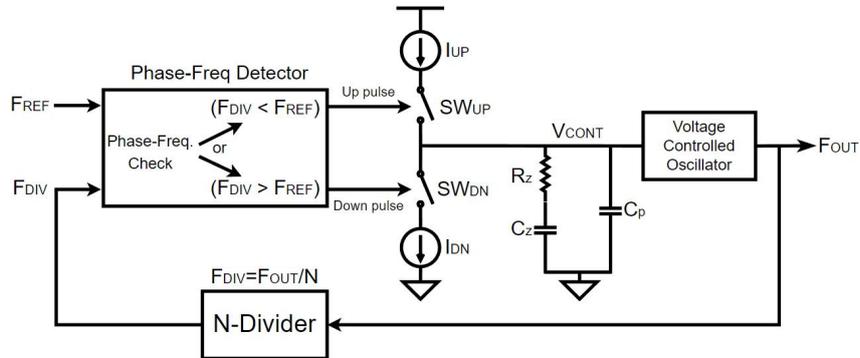


그림 2.8 위상-주파수 검출기와 주파수 분주기가 추가된 구조

위상-주파수 검출기의 구체적인 펄스 동작은 그림 2.9를 통해 확인할 수 있다. (a)와 (b)처럼 기준신호와 분주된신호가 위상(주파수)차이가 발생할 경우 각 신호의 상승엣지(Rising-Edge)의 차이만큼 UP/DN 펄스신호를 전하펌프에 전달한다. 만약 (c)와 같이 두 신호가 같을 경우 펄스신호를 출력하지 않아 루프필터의 전압변화는 없다.

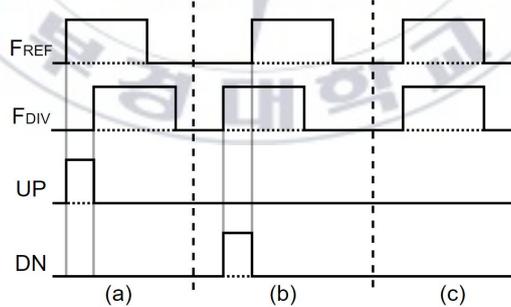


그림 2.9 위상-주파수 검출기의 동작 다이어그램

하지만 그림 2.10에 나와 있는 것처럼 위상-주파수 검출기 구조 특성상, 디지털 회로들의 지연시간 때문에 위상이나 주파수가 같더라도 일정한 임펄스(Impulse)신호를 지속적으로 방출하게 된다. 이 신호는 고조파 성분(Harmonic Component)으로 출력으로 하여금 스퍼를 발생할뿐더러, 위상이 고정되었을 때 (c)처럼 펄스가 대칭구조를 이룬다면 괜찮지만, UP/DN 펄스의 폭이 조금 다르거나, 전하펌프의 전류값(I_{UP}, I_{DN})이 대칭이 아닐 경우 미스매치(Mismatch) 전압이 루프필터 전압을 변화시켜 출력신호의 잡음특성이 나빠지는 원인이 된다. 본 논문에서는 이러한 문제를 인지하고 개선하기 위한 해결책 2가지를 III에 제시하였다.

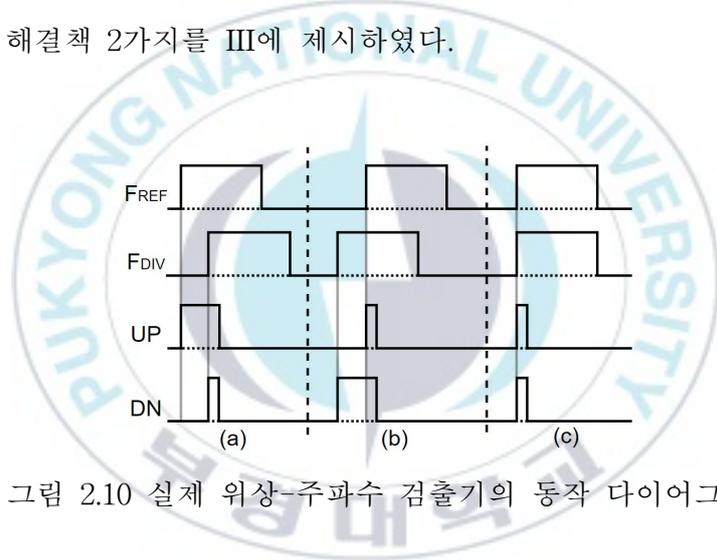


그림 2.10 실제 위상-주파수 검출기의 동작 다이어그램

2.3. 위상고정루프의 선형적 분석

모든 회로들이 합쳐진 최종적인 위상고정루프의 구조는 그림 2.11과 같다. 본격적인 설계를 진행하기 전에 선형모델로 바꾸어 위상고정루프의 동작특성을 미리 확인하여 설계를 조정하는 과정이 중요하다. 일반적으로 s-domain을 이용해 안정성과 대역폭을 평가하여 각 블록의 파라미터를 수정하는 작업을 거친다.

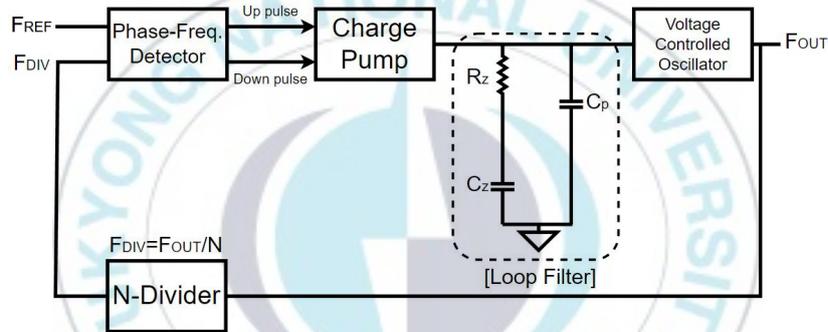


그림 2.11 위상고정루프의 구조

s-domain 계산을 위한 선형모델을 그림 2.12에 나타내었다. 입력과 출력 신호의 주파수를 확인하는 실제회로와는 다르게 입력과 출력의 위상을 바탕으로 평가하는 방식이다. 각 블록의 s-domain 모델을 살펴보면 다음과 같다.

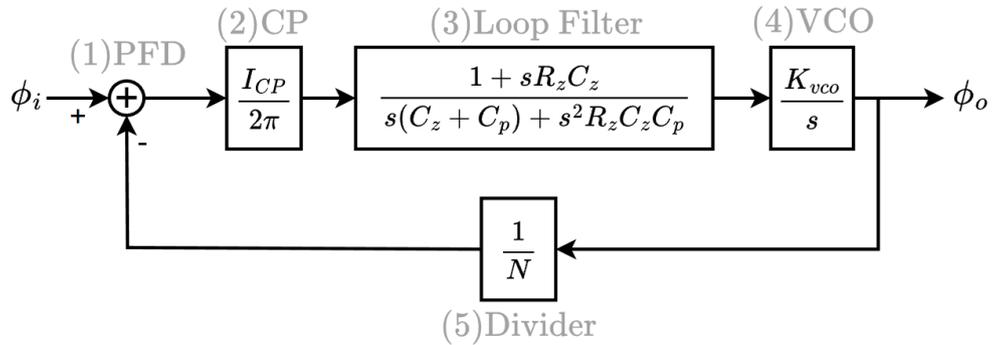


그림 2.12 위상고정루프의 선형모델

(1) 위상-주파수 검출기(PFD) : 두 위상의 차이를 전하펌프에 전달해야 하므로 기준신호의 위상(Φ_i)과 분주된 신호의 위상(Φ_o)를 뺀 값을 전하펌프에 전달한다.

(2) 전하펌프(CP) : 입력받은 위상의 차이를 2π 로 나누는 과정을 통해 실제 UP/DN 펄스가 한 주기(2π)내에서 차지하는 양 만큼 전류를 공급/방출한다.

(3) 루프필터(Loop Filter) : 저항과 커패시터를 임피던스로 바꾸어 키르히호프법칙을 통해 수식으로 나타내었다.

(4) 전압제어발진기(VCO) : 루프필터로부터 인가 받은 전압을 위상 출력으로 변환하기 위해 이득 K_{vco} 가 곱해지는 형태이다.

(5) 주파수 분주기(Divider) : 주파수를 나누는 역할인 만큼 위상 역시 주파수와 같은 값으로 나뉘지기 때문에 $1/N$ 이 곱해지는 형태이다.

2.3.1 선형적 분석 - 안정도 평가

위상고정루프가 안정적으로 동작하는지 확인하기 위해선 위상여유(Phase Margin)를 확인하는 과정이 중요하다. 전방루프이득(Forward Loop Gain)으로 수식을 세우고 해당값을 매트랩(MATLAB)과 같은 프로그램을 통해 확인한다. 루프필터의 수식은 (2-3)처럼 나타낼 수 있으며, 전방루프이득 수식은 (2-4)와 같이 나타낼 수 있다.

$$LF(s) = \frac{1 + sR_z C_z}{s^2 R_z C_z C_p + s(C_z + C_p)} \quad (2-3)$$

$$H_{open}(s) = G(s)H(s) = \left(\frac{I_{CP}}{2\pi} LF(s) \frac{K_{VCO}}{s} \right) \left(\frac{1}{N} \right) \quad (2-4)$$

수식(2-4)을 풀어보면 2개의 극점이 원점에 존재한다. 또한 $\frac{C_z + C_p}{R \cdot C_z \cdot C_p}$ 에 극점(pole), $\frac{1}{R \cdot C_z}$ 에 영점(zero)이 하나씩 존재하여 이를 보드선도로 그려 보면 그림 2.13과 같다.

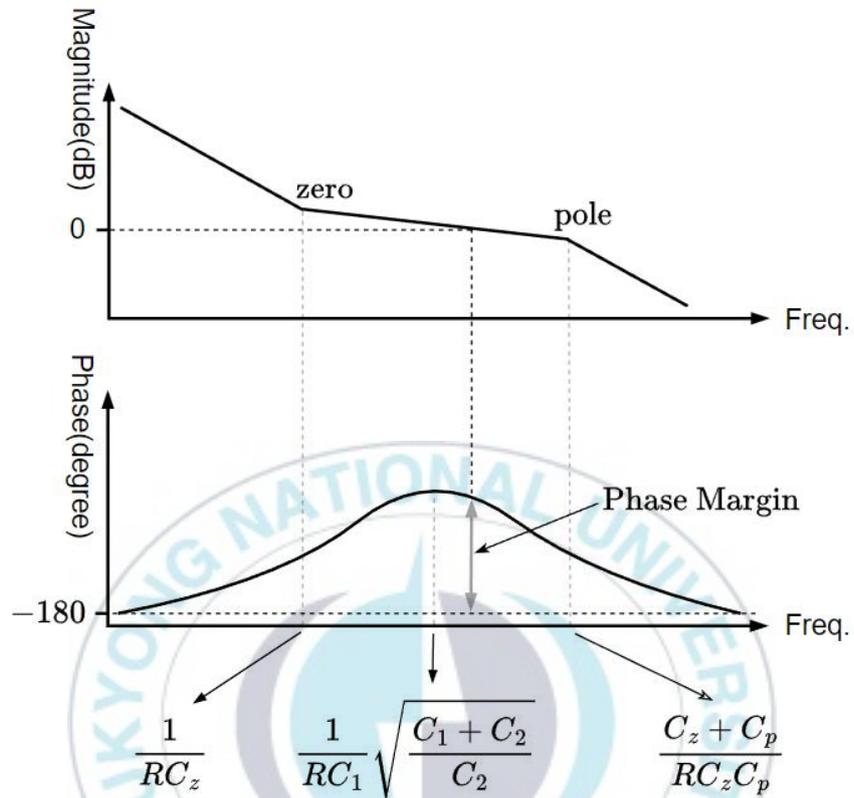


그림 2.13 위상고정루프 전방이득의 보드선도

위상고정루프의 전방이득은 루프필터의 소자값(C_z, C_p, R_z)에 따라 특성이 달라지게 된다. 이를 조절하여 설계자가 원하는 위상여유가 되도록 설계를 진행해야 한다. 특히 위상여유가 45° 이상 나오도록 하는 것이 부궤환 전자회로를 안정하게 동작하도록 하는 조건이므로 파라미터를 적절히 조정하는 것이 필수적이다.

2.3.2 선형적 분석 - 대역폭 면적

s-domain을 통해 평가할 수 있는 또 다른 요소는 대역폭이 있다. 페루프 이득을 구해보면 수식 (2-5)와 같은 수식을 얻을 수 있으며, 그림 2.14처럼 보드선도를 그릴 수 있다.

$$H_{close}(s) = \frac{\frac{K_{vco}}{s} \frac{I_{CP}}{2\pi} \frac{1+sR_zC_z}{s(C_z+C_p)+s^2R_zC_zC_p}}{1 + \frac{1}{N} \frac{K_{vco}}{s} \frac{I_{CP}}{2\pi} \frac{1+sR_zC_z}{s(C_z+C_p)+s^2R_zC_zC_p}} \quad (2-5)$$

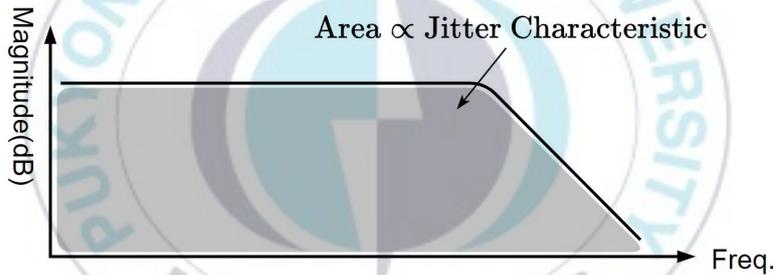


그림 2.14 위상고정루프 페루프이득의 보드선도

위 보드선도의 아랫면적은 지터와 비례한 값으로 작을수록 출력의 잡음 성분이 작다고 볼 수 있다. 위상고정루프의 출력은 페루프이득이 작도록 설계해야 하므로 해당 면적이 최대한 작게끔 파라미터를 조절하거나 새로운 구조를 적용하여 수식을 바꿔 보는 것이 중요하다.

2.4. 루프필터 구조에 따른 위상고정루프

2.4.1 II형 위상고정루프 (연속시간 루프필터)

II형 위상고정루프는 그림 2.15처럼 저항과 커패시터로 구성된 연속시간 루프필터를 가진다. 간단한 구조로 다양한 시스템에 사용된다. 하지만 구조 특성상 위상-주파수 검출기의 고조파 성분과 전하펌프의 비대칭과 같은 잡음 신호가 전압제어발진기로 직접적으로 입력되기 때문에 위상고정루프 출력의 잡음 특성이 나빠진다.

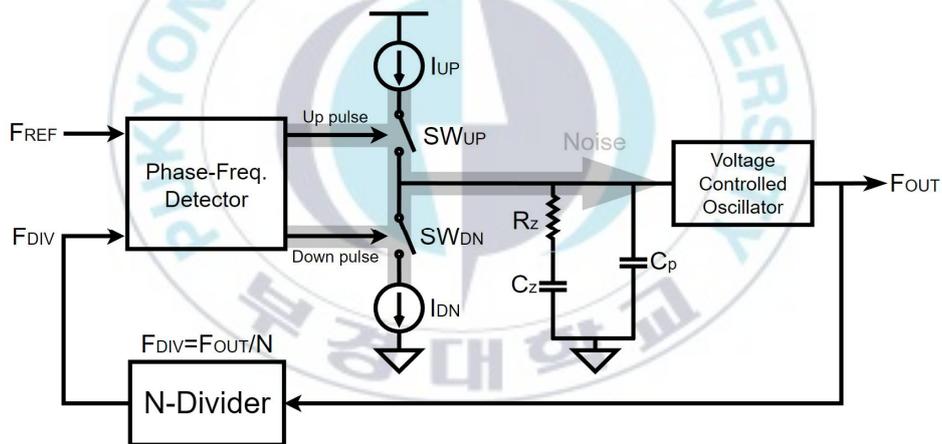


그림 2.15 II형 위상고정루프 구조[9]

2.4.1 I형 위상고정루프 (이산시간 루프필터)

II형과 달리 I형은 그림 2.16처럼 스위치가 포함된 루프필터로 구성되어 있다. 때문에 전하펌프 스위치(SW_{UP}, SW_{DN})의 타이밍이 루프필터의 스위치가 닫히는 타이밍과 겹치지 않게 할 경우 위상-주파수 검출기와 전하펌프의 비이상적 특성(고조파성분, 미스매치전압)을 차단할 수 있게 된다. 하지만 스위치가 닫히는 타이밍에만 전압을 조절하므로 II형과 같이 연속적인 전압값 조절이 어렵다. 이와 같은 이유로 출력특성을 더욱 개선하는 방안을 고안해야 한다.

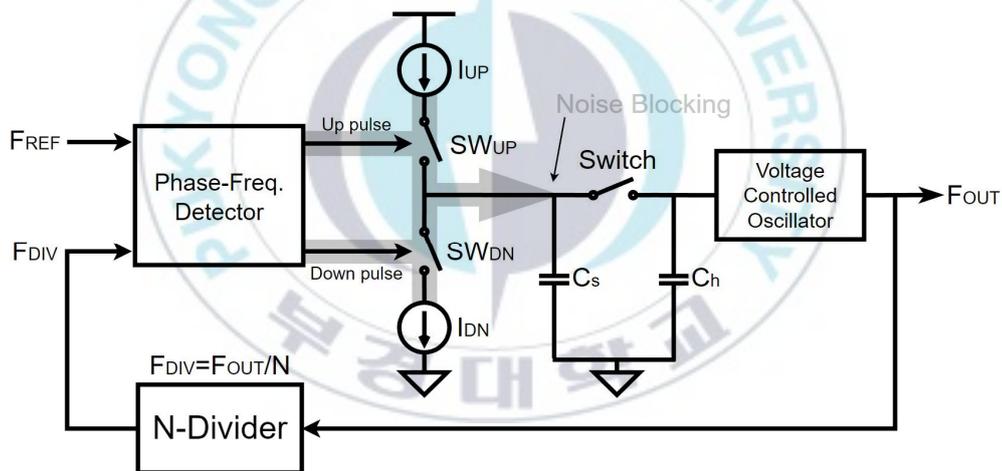


그림 2.16 I형 위상고정루프 구조[9]

Ⅲ. 주파수-전압 변환기로 잡음이 개선된 이산시간 루프필터 위상고정루프

3.1 기본블럭 회로설계

3.1.1 위상-주파수 검출기

위상-주파수 검출기는 D-플립플롭을 이용해 상승엣지에서 작동하도록 설계하는 것이 일반적이다. 하지만 많은 MOSFET소자가 필요하기 때문에 집적회로설계에선 적은 개수로 구현가능한 회로를 만들어야 한다.

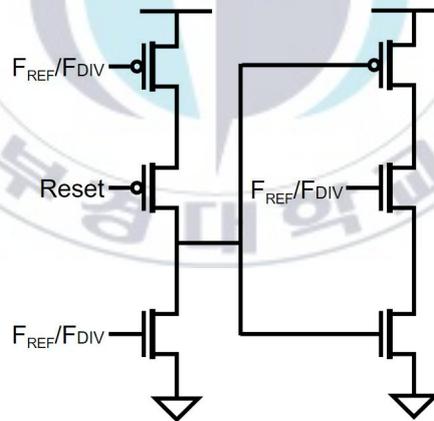


그림 3.1 TSPC 회로도

그림 3.1에 D-플립플롭을 대체할 TSPC(True Single Pulse Clock)회로도를 나타내었다. TSPC는 6개의 소자로만 구성할 수 있어서 집적화에 유리하다. 또한, 소모전력이 작으며 빠른 스위칭 동작이 가능하다.

그림 3.2는 설계한 위상-주파수 검출기의 회로도이다. TSPC, 인버터, NOR게이트, 버퍼와 같은 디지털회로로 구성되어 있는 것이 특징이다. 기존의 D-플립플롭 위상-주파수 검출기보다 TSPC를 사용하여 더욱 민감하게 감지할 수 있다. 그리하여 위상차이가 너무 작아서 신호를 감지하지 못하게 되는 데드존(Dead zone)을 최대한 줄일 수 있는 장점이 있다.

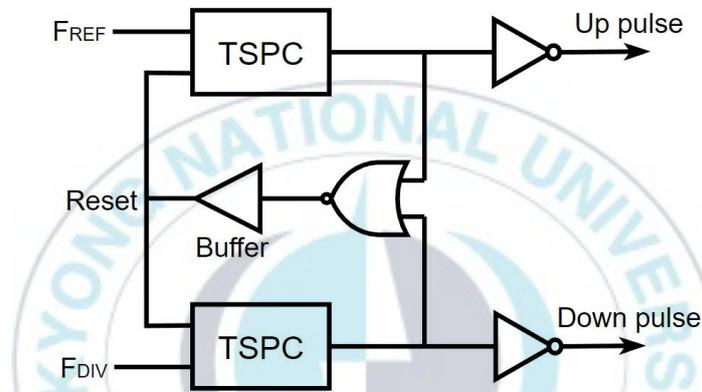


그림 3.2 위상-주파수 검출기의 회로도

3.1.2 전하펌프(Charge Pump)

전하펌프는 위상-주파수 검출기로부터 펄스를 입력받아 루프필터의 전압을 조절하는 역할을 한다. 본 논문에서 설계한 전하펌프는 그림 3.3과 같다.

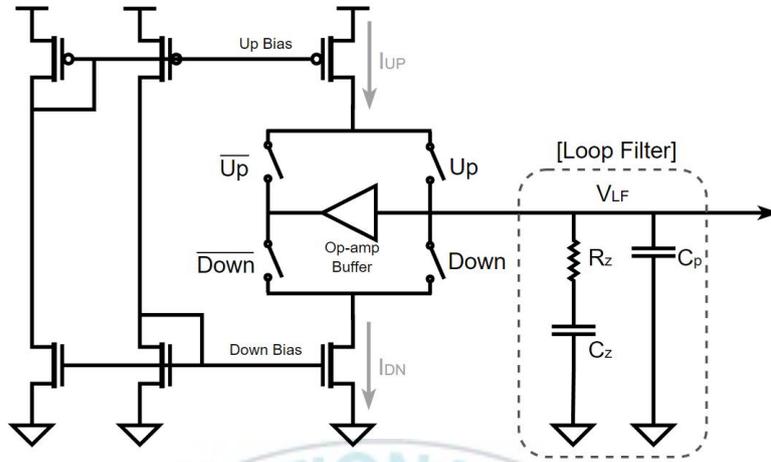


그림 3.3 전하펌프의 회로도

각각 Up Bias, Down Bias 전압으로 구동되는 전류원이 전류 I_{UP} , I_{DN} 을 공급한다. \overline{Up} , \overline{Down} 스위치는 각각 Up, Down 스위치와 반대로 동작한다. 기존 전하펌프의 문제점은 스위치가 열려있을때 기생커패시터에 의해 전하 공유현상(Charge Sharing)이 발생한다는 점이다. 전류원을 구성하는 PMOS와 NMOS의 드레인전압은 이러한 전하공유현상에 의해 서로 달라지게 되어, 스위치가 다시 닫히는 동작에서 루프필터의 전압값이 임의로 변하게 된다. 하지만 위 구조는 위상-주파수 검출기로부터 UP, Down 신호가 들어오지 않을때도 반대쪽에 있는 스위치가 닫혀서 드레인전압을 일정하게 유지하여 전하공유현상에 의한 전압 변화를 줄일 수 있다.

3.1.3 전압제어발전기

전압제어발전기는 전압값에 따라 발전하는 주파수출력이 변하게 된다. 주파수 조절의 핵심적인 원리는 그림 3.4와 같이 입출력을 반전시키는 인

버터에 공급되는 전류값을 조절하여 스위칭 타이밍을 조절하는 것이다. 이러한 인버터 셀(Cell)을 고리형태로 이어서 만든 것이 그림 3.5에 제시되었고 링-전압제어발진기(Ring-VCO)라고 부른다.

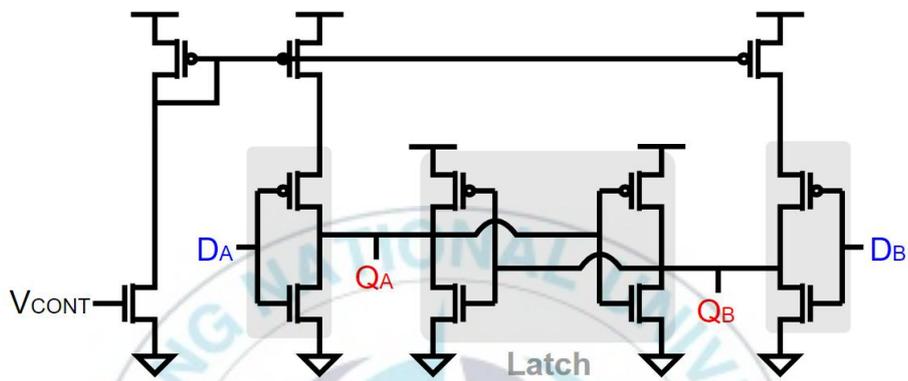


그림 3.4 전압제어발진기의 인버터 셀

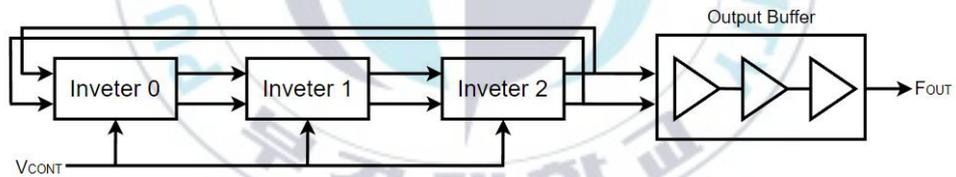


그림 3.5 전압제어발진기 회로도

인버터 셀은 루프필터의 전압을 입력받아 PMOS 전류를 조절하여 입력에서 출력으로 신호가 반전되는 타이밍을 빠르게하거나 느리게 만든다. 단순히 회로도만 보면 인버터가 4개로 구성되어 있는 것처럼 보인다. 하지만 실제로 가운데에 있는 2개의 인버터는 래치(Latch)로써 반전동작을 도와주는 역할을 한다.

표 3.1을 통해 회로의 동작타이밍을 보면 각 D는 Q로 신호가 반전되게 된다. 또한 Q끼리는 래치로 구성되어 있어 반전되는 신호를 보다 잘 유지할 수 있게 도와준다.

표 3.1 인버터 회로의 타이밍표

	Timing 1	Timing 2
D _A	1	0
D _B	0	1
Q _A	0	1
Q _B	1	0

출력버퍼(Output Buffer)는 인버터의 2개의 출력을 받아 1개의 출력(F_{OUT})으로 변환하는 역할을 한다. 뿐만 아니라 출력버퍼는 실제 위상고정 루프의 신호를 출력하므로 외부 회로에 신호를 온전히 전달해야 한다. 인버터 셀은 집적도를 고려하여 MOSFET의 크기를 작게 설계하였기 때문에 직접적으로 출력에 연결할 경우 출력저항이 커서 신호가 용이하게 전달되지 않는다. 그리하여 인버터회로의 크기와 같은 버퍼에서 부터 점진적으로 크기를 증가시킨 버퍼들을 직렬로 연결하여 출력저항을 충분히 작게 만들어 주었다.

3.1.4 주파수 분주기

그림 3.6에 나타낸 분주기는 D-플립플롭을 이용해 입력신호의 상승엣지가 2번 발생할 때 출력신호가 반전되는 회로들을 직렬로 연결하였다. 처음 1GHz 같이 높은 주파수가 들어왔을 때 0.5GHz, 0.25GHz...로 주파수가 절반씩 작아지게 된다. 본 논문에선 기준주파수를 31.25MHz를 사용하여 5개의 TSPC D-플립플롭을 연결해 1GHz 주파수를 32배 나누어 분주된 주파수가 기준주파수와 같도록 설계하였다.

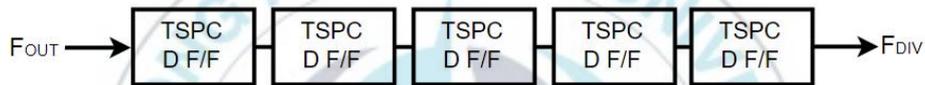


그림 3.6 주파수 분주기 회로도

3.2 제안한 위상고정루프와 새로운 블록설계

3.2.1 이산시간 루프필터

기존의 II형 위상고정루프에서 사용하는 연속시간 루프필터의 경우 전하 펌프로 인해 생기게 되는 전압 변화를 곧바로 수용하는게 가능하다. 그렇다보니 전압을 보다 빠르게 조정할 수는 있지만, 오히려 잡음에 의한 전압 변화에 매우 취약하다는것으로 볼 수 있다. 일반적인 위상주파수검출기는 구조 특성상, 위상고정루프 시스템의 주파수 출력이 안정할 경우 그림 3.7 과 같이 작지만 일정한 펄스파가 출력된다. 이는 전하펌프가 이상적으로 설계되지 않는 이상 V_{CP} 에 영향을 주어 주파수 출력에 잡음이 생기게 된다. 이것이 바로 연속시간 루프필터의 고질적인 문제인 스퍼 성분(스퍼 성분)이 생기게 되어 시스템의 잡음 특성이 나빠지는 원인이 된다.

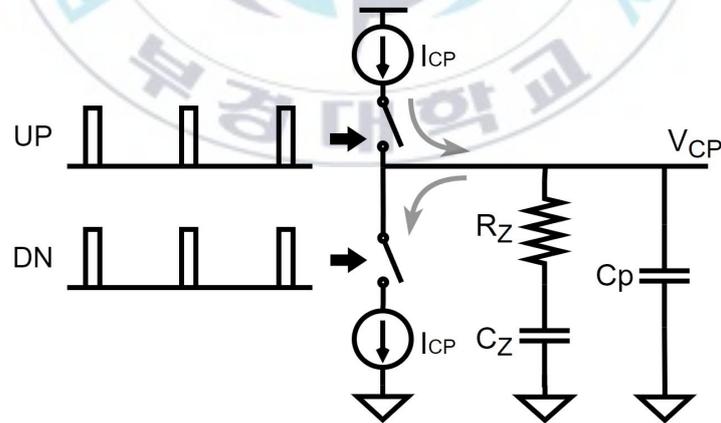


그림 3.7 위상이 고정된 상태의 전하펌프와 연속시간 루프필터

이러한 이유로 그림 3.8과 같이 전하펌프의 출력과 전압제어발진기의 입력이 직접적으로 연결되지 않는 I형 위상고정루프에서 사용하는 이산시간 루프필터를 제안된 위상고정루프에 적용하였다. 구조를 살펴보면, 위상주과 수검출기의 UP/DN 펄스와 전압발진기의 출력(F_{OUT})을 입력으로 받아 스위치들($SW_{A,B,F}$)의 동작을 제어한다. 이 필터에는 총 3개의 커패시터가 사용되었는데, C_s 는 샘플링커패시터로 전하펌프로부터 전하가 공급/방출되어 전압값이 결정된다. C_h 는 홀딩커패시터로 C_s 로부터 전하가 조절되어 전압발진기의 입력전압값을 유지하는 역할을 한다. 마지막으로 C_c 는 보상커패시터로 C_h 의 전압값을 더욱 안정적으로 유지시켜준다.

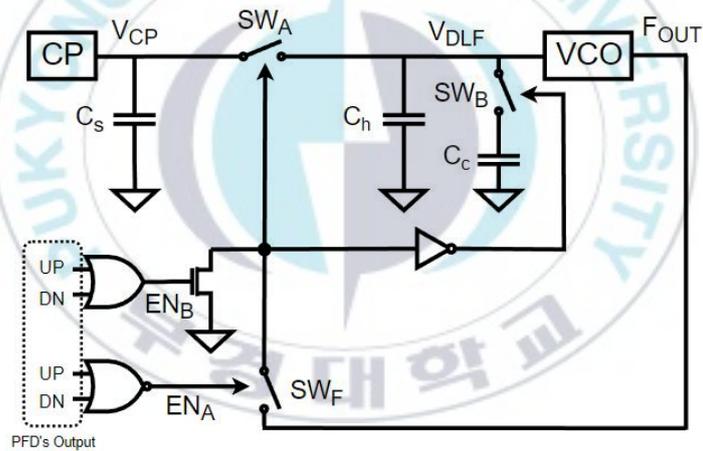


그림 3.8 이산시간 루프필터의 회로도

그림 3.9는 이산시간 루프필터의 타이밍도이다. UP/DN펄스가 생기면서 전하펌프가 V_{CP} 를 조절하는데 이때 스위치 SW_A 는 열려있으므로 V_{CP} 의 변화가 V_{DLF} 에 직접적인 영향을 주지 않는다. 이후 EN_A 에 의해 SW_F 가 닫히게 되면서 F_{OUT} 신호가 SW_A 와 SW_B 에 전달된다. 두 스위치가 열리고 닫히는 동작을 반복하면서 V_{CP} 의 변화값(a)이 V_{DLF} 에 서서히 전달된다(b).

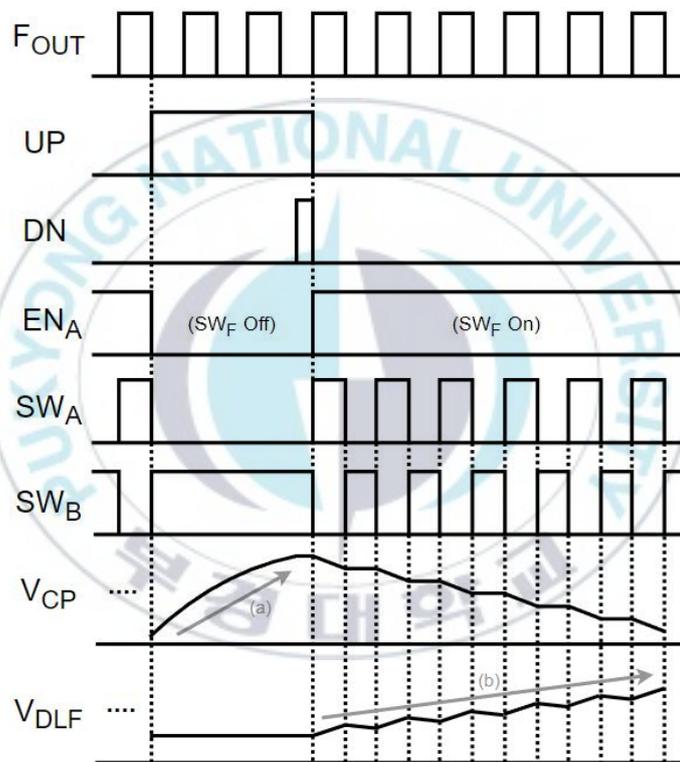


그림 3.9 이산시간 루프필터의 타이밍도

이로 인해 연속시간 루프필터보다 전압의 변화가 반영되는 타이밍은 느리지만, 다른 회로에 의해 생기는 잡음의 영향을 상당히 줄일 수 있게 된다. 이와 같은 이유는 샘플링커패시터(C_s)와 홀딩커패시터(C_h)의 크기 차이로 인해 나타난다. 일반적으로 샘플링커패시터가 홀딩커패시터보다 작는데 그

로 인해 같은 전압일지라도 충전된 전하량이 다르다. 용량이 더 큰 홀딩커패시터는 상대적으로 작은 샘플링커패시터의 전하를 받기 때문에 전압값이 일정시간내에 큰폭으로 변하지 않게 된다. 본 논문에서 설계된 이산시간 루프필터는 샘플링커패시터와 홀딩커패시터의 크기를 똑같이 하되, 보상커패시터(C_c)를 통해 준-홀딩커패시터(Quasi-Holding Capacitor) 역할을 하도록 추가하였다. 단순히 홀딩커패시터를 크게하는것보다 기존에 사용하는 전하펌프 구조에서 더욱 안정적으로 동작할 수 있기 때문이다.

3.2.2 주파수-전압 변환기

그림 3.10는 주파수-전압 변환기의 회로도를, 그림 3.11은 Φ_{Pulse} 의 타이밍도를 나타내었다. Φ_{Pulse} 은 F_{OUT} 에 의해 생성되며 펄스의 폭(t_{pi})은 고정값이지만, 펄스의 주기(t_F)는 F_{OUT} 의 주기에 따라 변한다. 만약, F_{OUT} 의 주기가 일정할 경우 전하를 공급해주는 I_{FVC} 와 Φ_{Pulse} 에 의해 생기는 I_{Mnpi} 가 균형을 이루어 V_{FVC} 의 값은 그림 3.11과 같이 일정하게 유지된다.

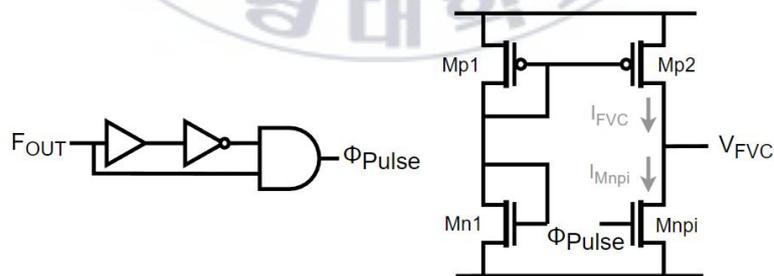


그림 3.10 주파수-전압 변환기 회로도

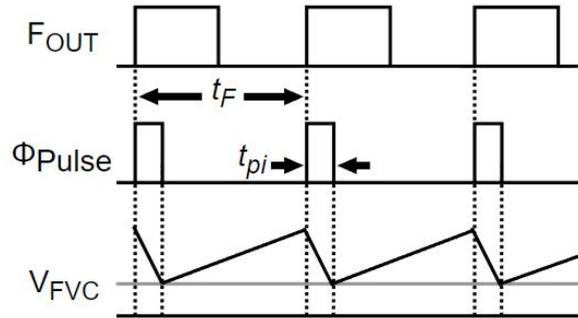


그림 3.11 주파수-전압 변환기의 타이밍도(1)

하지만 그림 3.12와 같이 주파수가 변할 경우 t_{pi} 는 그대로지만, t_F 는 변하게 되어 한 주기당 공급하는 전하량보다 빠지는 전하량의 차이가 발생하여 V_{FVC} 의 값이 달라지게 된다. 이러한 원리를 이용해 V_{FVC} 를 위상고정루프내 전압제어발진기의 입력단에 연결할 경우 주파수의 변동을 전압값의 변화로 전환해서 전압제어발진기의 출력 주파수를 잘 유지하게끔 도와준다.

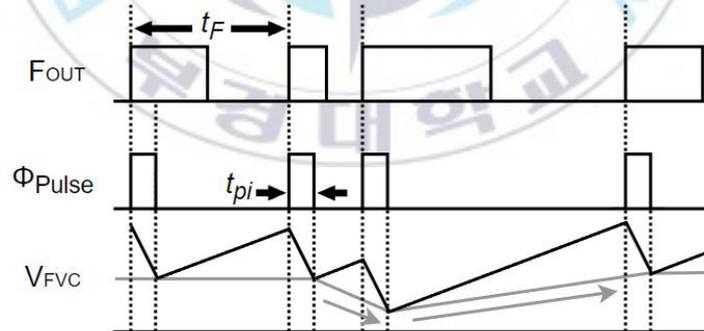


그림 3.12 주파수-전압 변환기의 타이밍도(2)

3.2.3 제안한 위상고정루프

그림 3.13은 본 논문에서 제시하는 이산시간 루프필터(Discrete Loop Filter)와 주파수-전압 변환기(FVC : Frequency-Voltage Converter) 회로를 도입한 위상고정루프이다. 이산시간 루프필터를 통해 스퍼의 영향을 줄였고, 주파수-전압 변환기를 통해 더욱 안정적으로 출력주파수를 고정하도록 하였다.

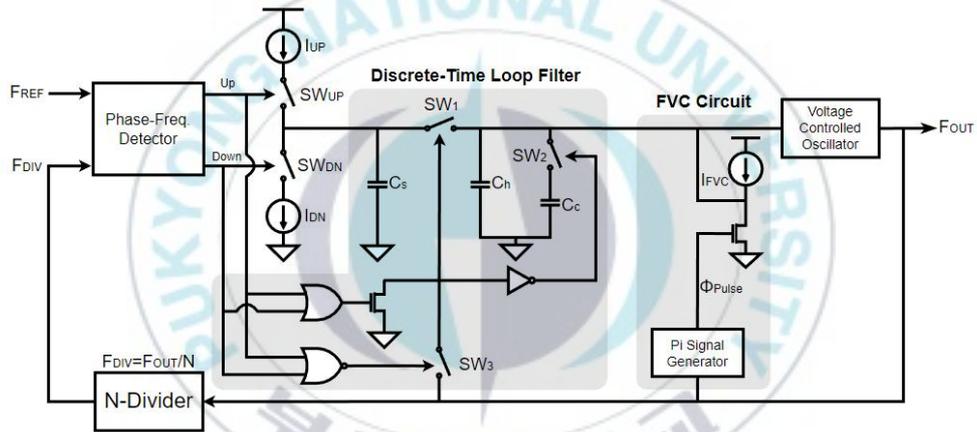


그림 3.13 제안한 위상고정루프의 회로도

제안된 회로내 전하펌프의 전류는 주파수-전압 변환기의 공급전류(I_{FVC})보다 50배 크다. 하지만, 전하펌프의 입력값을 결정하는 기준주파수(F_{REF})는 전압발진기 주파수(F_{OUT})에 비해 작으므로 상대적으로 펄스의 주기가 길다. 이는 위상이 고정되었을 때는 오히려 전하펌프가 주파수의 미세한 변화를 감지하여 전압조절을 하는데까지 딜레이가 다소 생긴다고 볼 수 있다. 그렇기 때문에 전압제어발진기 주파수를 통해 동작하는 주파수-전압 변환기가 보다 자주 전압을 조절할 수 있고, 전하펌프에 비해 1/50 작은

전류를 이용하므로 더욱 세밀한 전압조절이 가능하다. 이를 통해 위상고정 루프의 출력주파수 지터특성을 개선할 수 있었다.

그림 3.14는 이산시간 루프필터의 등가회로를 나타낸 것이다. 선형모델 계산을 위해 스위치의 경우 각각 등가저항인 R_a , R_b 로 대체하였다. 수식이 복잡해지는 것을 방지하기 위하여 수식(3-1)과 같이 일부 커패시터와 저항을 묶어 등가 임피던스 $A(s)$ 로 간략화하였다.

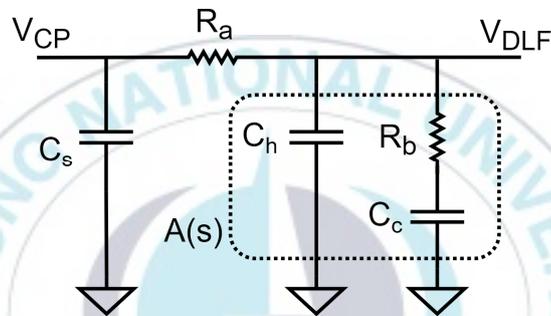


그림 3.14 이산시간 루프필터 선형모델 등가회로

$$A(s) = \frac{1}{sC_h} \frac{s+z}{s+p} \left(z = \frac{1}{R_bC_c}, p = \frac{1}{R_bC_h} \right) \quad (3-1)$$

그림 3.15는 제안된 위상고정루프의 선형모델이다. 주파수-전압 변환기의 추가로 기존의 부궤환 루프를 포함해 총 2개의 부궤환 루프를 가지는 모델이 되었다. 이 모델을 분석하여 이산시간 루프필터가 제안된 시스템의 대역폭과 위상마진을 얼마나 개선했는지 확인 가능하다.

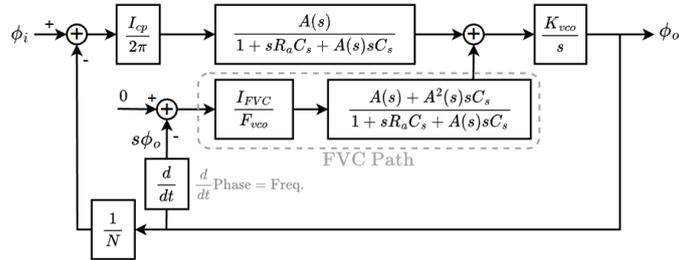


그림 3.15 제안된 위상고정루프의 선형모델

수식(3-2)를 토대로 그림 3.16에 제안된 구조의 페루프 전달함수를 나타내는 Matlab 시뮬레이션 결과를 각각 나타내었다. 그림 3.16의 페루프 보드 다이어그램을 통해 대역폭이 2MHz가 되는 것을 알 수 있는데, 기준주파수인 31.25MHz보다 아주 작은 값으로 기준주파수의 영향을 덜 받아 더욱 좋은 잡음특성을 가질 수 있다. 표 3.2의 개루프 보드 다이어그램에선 제안된 구조가 54.7°로 다른 구조에 비해 높은 위상여유를 가지므로 전체적인 시스템이 안정적으로 동작한다고 볼 수 있다.

$$\frac{\Phi_o}{\Phi_i} = \frac{\frac{K_{vco} I_{cp}}{s} \frac{A(s)}{1+sR_oC_s+A(s)sC_s}}{1 + \frac{1}{N} \frac{K_{vco} I_{cp}}{s} \frac{A(s)}{1+sR_oC_s+A(s)sC_s} + K_{vco} \frac{I_{FVC}(A(s)+A^2(s)sC_s)}{1+sR_oC_s+A(s)sC_s}} \quad (3-2)$$

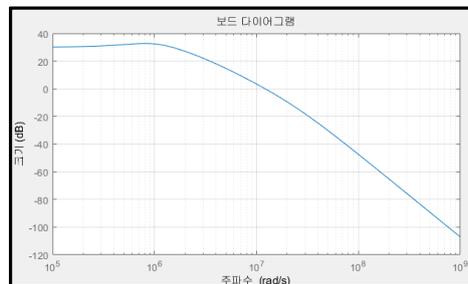
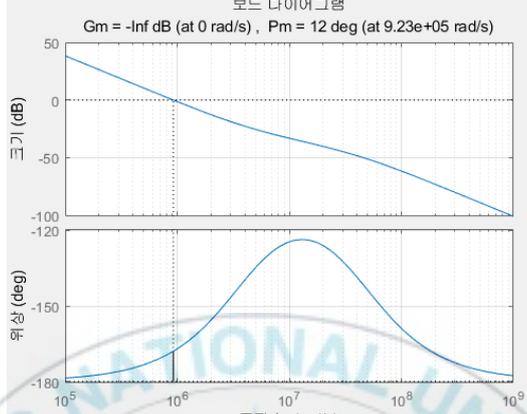
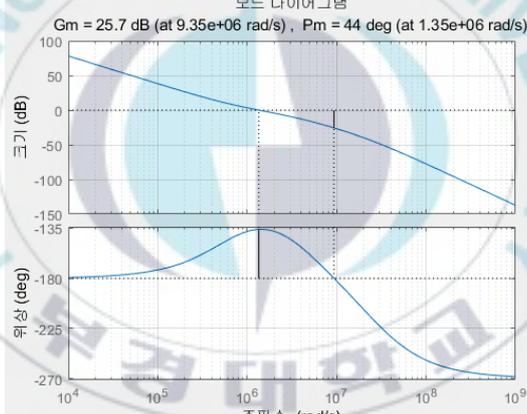
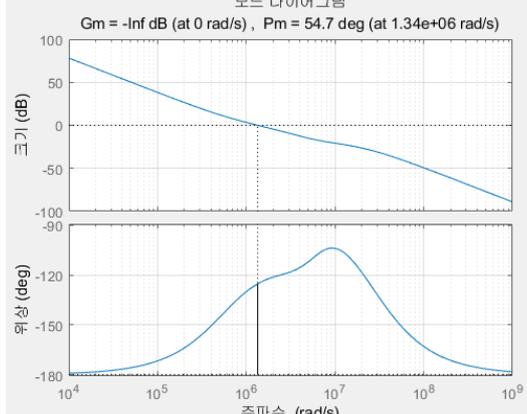


그림 3.16 제안된 구조의 페루프 보드 다이어그램

표 3.2 제안된 구조의 개루프 보드 다이어그램

구조	보드 다이어그램	위상여유
<p>기존 구조 (Conventional)</p>	<p>보드 다이어그램 Gm = -Inf dB (at 0 rad/s), Pm = 12 deg (at 9.23e+05 rad/s)</p> 	<p>12°</p>
<p>이산 구조 (Discrete LF)</p>	<p>보드 다이어그램 Gm = 25.7 dB (at 9.35e+06 rad/s), Pm = 44 deg (at 1.35e+06 rad/s)</p> 	<p>44°</p>
<p>제안된 구조 (Proposed)</p>	<p>보드 다이어그램 Gm = -Inf dB (at 0 rad/s), Pm = 54.7 deg (at 1.34e+06 rad/s)</p> 	<p>55°</p>

IV. HSPICE 시뮬레이션 결과

제안된 위상고정루프가 실제로 올바르게 동작하는지 검증하기 위하여 Spice를 통해 시뮬레이션을 진행하였다. 공정은 1.8V 공급전압을 가진 180nm CMOS으로 설정하였다. 위상고정루프의 스펙은 표 4.1에 제시되어 있다. 기존 구조는 연속시간 루프필터를 가진 위상고정루프이다. 이산 구조는 연속시간 루프필터 대신 이산시간 루프필터를 가진 위상고정루프이고, 제안된 구조는 이산 구조에 주파수-전압 변환기를 추가한 위상고정루프이다.

표 4.1 HSPICE를 진행한 각 위상고정루프의 스펙

	기존 구조 (Conventional)	이산 구조 (Discrete LF)	제안된 구조 (Proposed)
Process	180nm 1.8V CMOS		
F_{REF}	31.25MHz		
I_{CP}	50uA		
Filter	Continuos Filter ($R_z=1.7k$, $C_z=150pF$, $C_p=15pF$)	Discrete Filter ($C_s=10pF$, $C_h=10pF$, $C_c=160pF$)	
K_{VCO}	550MHz/V		
F_{VCO}	1GHz		
N_{DIV}	32		
I_{FVC}	-	-	1uA

표 4.2는 전압제어발진기의 입력전압 그래프를 나타낸 것이다. 3.1.3에서 수식을 통해 설명했다시피 입력전압이 안정적이고 변화가 작을수록 더 잡음이 작은 신호를 출력할 수 있게된다. 위 표에서 기존구조는 2.38mV로 상당히 크지만 이산 구조와 제안된 구조는 134 μ V, 179 μ V로 상당히 작아진 것을 알 수 있다. 하지만 위 전압이 그래프상으로 일정한 두께가 나오는 것은 전하펌프의 미스매치 전압과 이산시간 루프필터의 스위치 영향 때문이다. 그리하여 실질적인 전압변화를 알기위해선 미스매치/스위치전압을 측정하고 빼줘야한다.

표 4.2 전압제어발진기 입력전압 그래프(1)

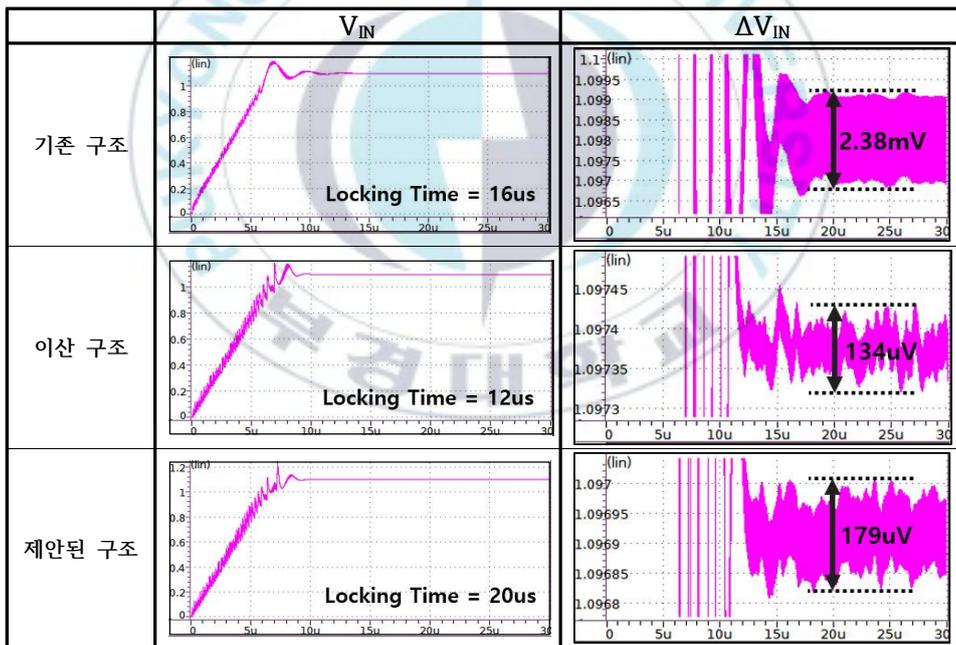


표 4.3은 미스매치/스위치 전압을 알아내어 실질적인(Substantial) 전압변화를 나타내었다. 이산시간 루프필터와 주파수-전압 변환기 덕분에 기존구조의 240uV에 비해 제안된 구조는 68uV로 전압변화가 상당히 줄어든 것을 알 수 있다. 이러한 입력전압의 개선이 실제로 전압제어발진기의 출력신호에 반영되는지 확인하는 작업이 필요하다.

표 4.3 전압제어발진기 입력전압 그래프(2)

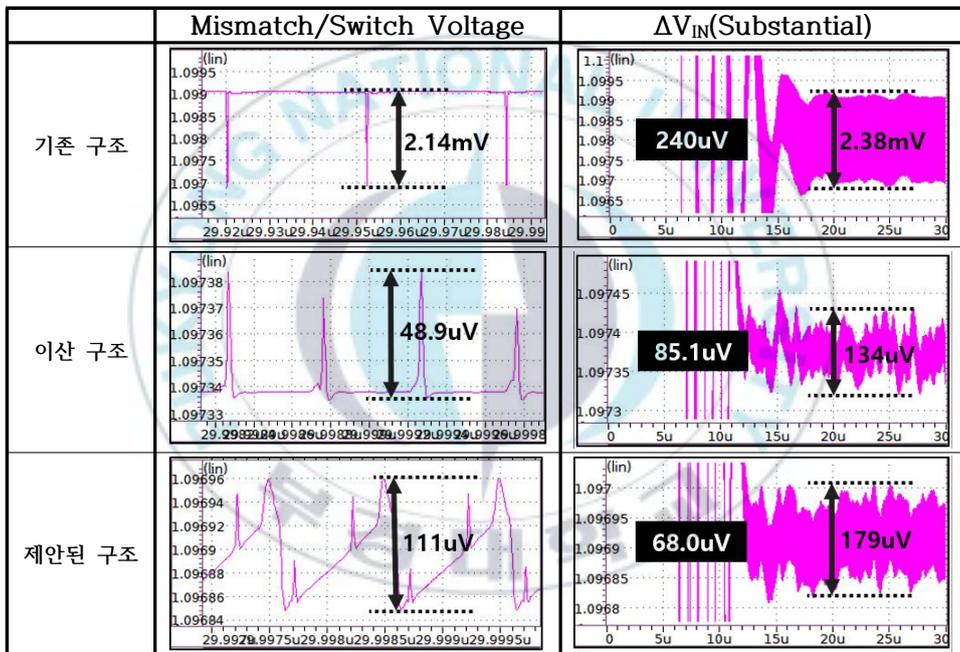


그림 4.1은 각 위상고정루프의 출력주파수를 고속푸리에변환을 통해 스펙트럼으로 나타낸 그래프이다. 기존 구조는 출력주파수인 1GHz에서 양쪽으로 31.25MHz 떨어진 지점에서 확실히 스퍼가 생기는 것을 볼 수 있다. 반면에 이산 구조와 제안된 구조는 이산시간 루프필터의 효과로 스퍼가 거의 나타나지 않는다. 스펙트럼의 면적은 소위 위상잡음(Phase Noise)에 해당하는 값으로 주파수의 잡음특성을 평가하는 척도인 지터(Jitter)와 비례한다. 즉, 면적이 작을수록 지터가 작아 잡음이 적은 이상적인 신호에 가까운 출력이 나타난다고 할 수 있다. 제안된 구조에 도입된 주파수-전압 변환기의 동작을 통해 이산 구조보다 더욱 작은 면적을 가지므로 보다 이상적인 출력신호가 나오게 된다고 짐작할 수 있다. 이러한 결과를 정량적으로 평가하기 위해선 아이디어그램을 통해서 지터를 확인해보는 과정이 필수적이다.

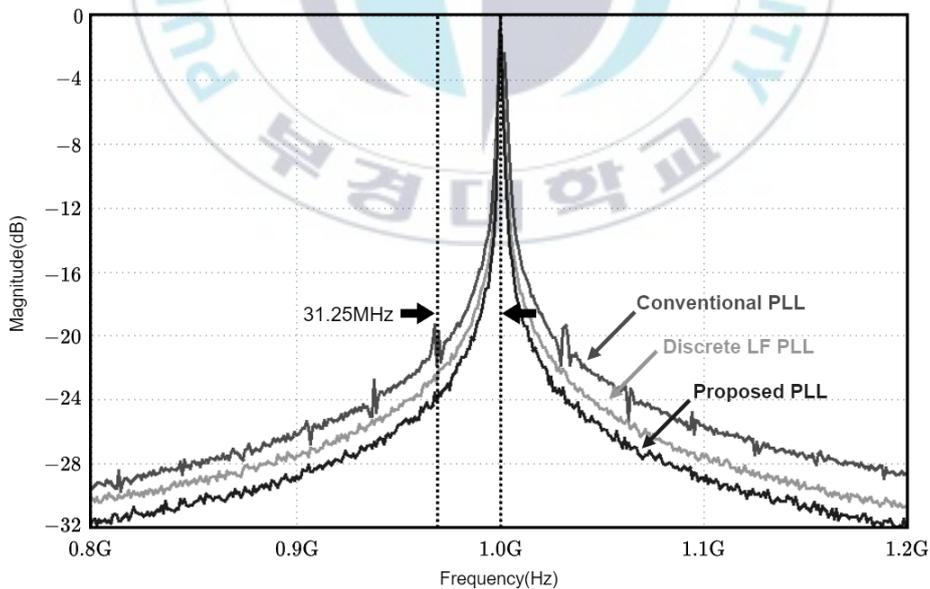


그림 4.1 출력주파수의 고속푸리에변환(FFT) 시뮬레이션 결과

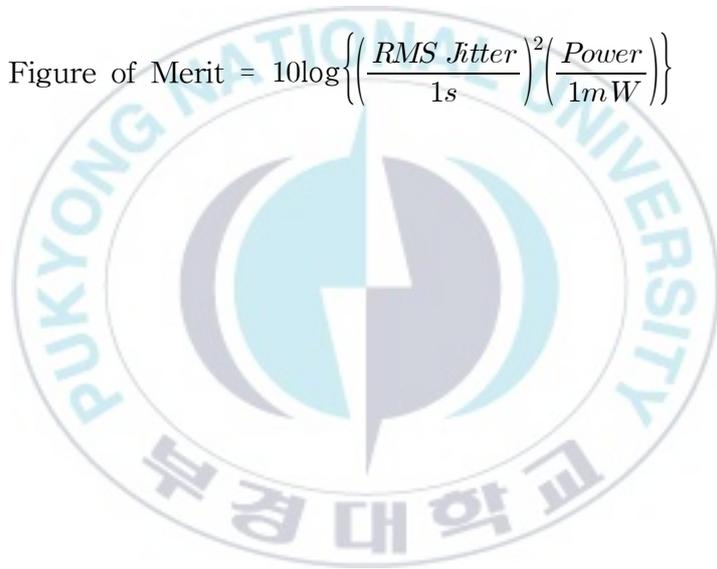
표 4.4는 각 구조의 출력신호를 아이 다이어그램으로 나타낸 것이다. P2P(Peak-to-Peak) 지터는 그래프의 두께를 나타내어 실제 신호의 주파수 변동폭을 나타낸다. 하지만, 이 파라미터는 약간의 잡음만으로 값이 큰폭으로 변하기 때문에 보다 객관적으로 평가하기 위해선 RMS(Root Mean Square) 지터를 통해 분산값을 확인하는 것이 중요하다. 위 표에서 보듯이 제안된 구조는 기존구조와 이산구조에 비해 훨씬 작은 지터를 가지고 있어 잡음이 적은 신호를 출력하는 것으로 알 수 있다.

표 4.4 출력신호의 아이 다이어그램과 특성파라미터

	Eye Diagram	Parameter
기존 구조		P2P Jitter = 21.66ps RMS Jitter = 4.57ps Power = 41.6mW FoM = -210.6dB
이산 구조		P2P Jitter = 14.64ps RMS Jitter = 3.12ps Power = 44.1mW FoM = -213.7dB
제안된 구조		P2P Jitter = 7.42ps RMS Jitter = 1.50ps Power = 45.7mW FoM = -219.9dB

위상고정루프가 궁극적으로 좋아졌는지 평가하기 위해선 소모전력 (Power)도 분석해야할 필요가 있다. 제안된 구조는 45.7mW로 기존구조에 비해 10%정도 많은 전력을 소모한다. 이러한 명백한 단점을 감수하고도 사용할지 판별하기 위해 수식 4-1을 통해 FoM을 계산해봐야 한다. FoM은 작을수록 보다 좋은 특성을 가진다고 평가한다. 제안된 구조는 전력소모가 커지는 것을 고려하더라도 지터가 월등하게 감소하였기 때문에 기존 구조에 비해 더 작은 FoM을 가진다.

$$\text{Figure of Merit} = 10\log\left\{\left(\frac{\text{RMS Jitter}}{1s}\right)^2\left(\frac{\text{Power}}{1mW}\right)\right\} \quad (4-1)$$



V. 결론

본 논문에서 제안하는 구조는 이산시간 루프 필터와 주파수-전압 변환기를 가진 위상고정루프이다. 이산시간 루프 필터는 전하펌프와 전압발전기가 연속적으로 전압을 공유하는 점을 보완하여, 이산시간으로 동작하는 루프필터를 통해 출력신호의 스퍼 특성을 좋게 하였다. 또한 주파수-전압 변환기를 통해 루프 필터 출력 전압의 변위 크기를 줄여 잡음특성을 더욱 개선하였다. 그 결과 시뮬레이션상 아이디어그램의 지터 크기를 기존 구조에 비해 1/3 수준으로 줄일 수 있었다.

제안된 구조는 전력소모량과 커패시터의 크기가 약간씩 증가하여 지터가 감소한 것이 충분한 메리트가 있는지 의문이 생길 수 있다. 본론의 마지막 부분에서 언급했다시피 FoM이 작아진 것은 소모전력에 비해 월등한 성능 향상이 이루어진 것으로 주장할 수 있다. 사용된 커패시터 또한 180pF으로 기존(165pF)보다 면적이 약간 증가하였지만, 반도체 제작공정의 측면에서 봤을 때 이산구조는 저항대신 스위치를 사용하는 점으로 충분히 보상할 수 있다. 저항의 경우 공정변수가 심하여 원하는 저항값으로 제작하기 어렵다. MOSFET으로 구성되는 스위치는 이러한 변수가 적기 때문에 더욱 우수한 수율을 가진 칩을 제작하는 것이 가능하다.

결과적으로 모바일과 같은 저전력 설계를 중점으로 연구하는 분야엔 적용이 어려울 순 있으나, 품질과 안정성이 많이 요구되는 차량용반도체, 통신모듈에서는 충분한 장점을 가지면서 도입될 수 있다.

참 고 문 헌

- [1] V. Kledrowetz, J. Haze, R. Prokop and L. Fucik, "An Active Resistor With a Lower Sensitivity to Process Variations, and its Application in Current Reference," in *IEEE Access*, vol. 8, pp. 197263-197275, 2020
- [2] K. J. Wang and I. Galton, "A Discrete-Time Model for the Design of Type-II PLLs With Passive Sampled Loop Filters," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 58, no. 2, pp. 264-275, 2011.
- [3] J. Wilson, A. Nelson and B. Farhang-Boroujeny, "Parameter Derivation of Type-2 Discrete-Time Phase-Locked Loops Containing Feedback Delays," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 56, no. 12, pp. 886-890, 2009.
- [4] B. Zhang, P. E. Allen and J. M. Huard, "A fast switching PLL frequency synthesizer with an on-chip passive discrete-time loop filter in 0.25- μm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 6, pp. 855-865, 2003.

- [5] H. Sun, K. Sobue, K. Hamashita and U. -K. Moon, "A power efficient PLL with in-loop-bandwidth spread-spectrum modulation scheme using a charge-based discrete-time loop filter," IEEE International Symposium on Circuits and Systems, pp. 2755-2758, 2016.
- [6] Z. Zhang, G. Zhu and C. P. Yue, "A 0.25-0.4V, Sub-0.11mW/GHz, 0.15-1.6GHz PLL Using an Offset Dual-Path Loop Architecture with Dynamic Charge Pumps," Symposium on VLSI Circuits, pp. C158-C159, 2019.
- [7] S. Yang et al., "A 600- μm^2 Ring-VCO-Based Hybrid PLL Using a 30- μW Charge-Sharing Integrator in 28-nm CMOS," IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 68, no. 9, pp. 3108-3112, 2021.
- [8] M. Mercandelli et al., "A 12.5-GHz Fractional-N Type-I Sampling PLL Achieving 58-fs Integrated Jitter," IEEE Journal of Solid-State Circuits, vol. 57, no. 2, pp. 505-517, 2022.
- [9] A. Sharkia, S. Aniruddhan, S. Mirabbasi and S. Shekhar, "A Compact, Voltage-Mode Type-I PLL With Gain-Boosted Saturated PFD and Synchronous Peak Tracking Loop Filter," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 66, no. 1, pp. 43-53, Jan. 2019