



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사학위논문

저전력 12비트 SAR 아날로그
디지털 변환기 설계



2023년 8월

부경대학교 대학원

지능 로봇공학과

박보영

공학석사학위논문

저전력 12비트 SAR 아날로그
디지털 변환기 설계



지도교수 류지열

이 논문을 공학석사 학위논문으로 제출함.

2023년 8월

부경대학교 대학원

지능 로봇공학과

박보영

박보영의 공학석사 학위논문을 인준함.

2023년 8월 18일



주 심 공학박사 박 규 철 (인)

위 원 공학박사 김 성 우 (인)

위 원 공학박사 류 지 열 (인)

목 차

Abstract	vi
제 1장	서론 1
제 2장	동작원리 3
2-1	일반적인 ADC의 동작 및 구조 3
2-2	ADC의 주요 성능 변수 및 수식 6
2-3	SAR ADC의 동작 및 구조 8
제 3장	제안된 SAR ADC 회로 및 동작원리 13
3-1	샘플 앤 홀드 단 13
3-2	커패시터 어레이 네트워크 단 16
3-3	비교기 단 19
3-4	SAR 로직 단 21
3-5	DAC 제어 로직 단 23
3-6	DAC 단 24
3-7	제안하는 SAR ADC 26
제 4장	결과 및 고찰 28

4-1	시뮬레이션 결과파형 분석	28
4-2	주요 성능변수 평가	35
제 5장	결 론	38
참고문헌		39
별 첨		44



그림 목차

[그림 2.1]	ADC 블록도	3
[그림 2.2]	일반적인 ADC 블록도	4
[그림 2.3]	비트 수와 샘플링 율에 따른 구분	6
[그림 2.4]	ADC의 INL 및 DNL 특성	7
[그림 2.5]	일반적인 SAR ADC	8
[그림 2.6]	3비트 SAR ADC 코드 결정 과정	9
[그림 2.7]	샘플 모드	12
[그림 2.8]	홀드 모드	12
[그림 2.9]	전하 재분배 모드	12
[그림 3.1]	제안하는 ADC 설계 블록도	13
[그림 3.2]	샘플-앤-홀드 회로도	15
[그림 3.3]	일반적인 커패시터 어레이 회로도	16
[그림 3.4]	제안하는 커패시터 어레이 회로도	17
[그림 3.5]	커패시터 어레이 단 레이아웃	19
[그림 3.6]	비교기 단 회로도	21
[그림 3.7]	SAR 로직 단 회로도	22
[그림 3.8]	DAC 제어 로직 단 회로도	23
[그림 3.9]	DAC 단 회로도	24

[그림 3.10]	연산증폭기 회로도	25
[그림 3.11]	제안하는 SAR ADC 전체 블록도	26
[그림 3.12]	SAR ADC 레이아웃	27
[그림 4.1]	샘플-앤-홀드 단 결과.....	29
[그림 4.2]	비교기 단 결과	30
[그림 4.3]	SAR 로직 단 출력	31
[그림 4.4]	입력에 따른 DAC 제어 로직 단의 출력 신호 비교	33
[그림 4.5]	DAC 단 시뮬레이션 결과	35
[그림 4.6]	SAR ADC 성능 변수	36

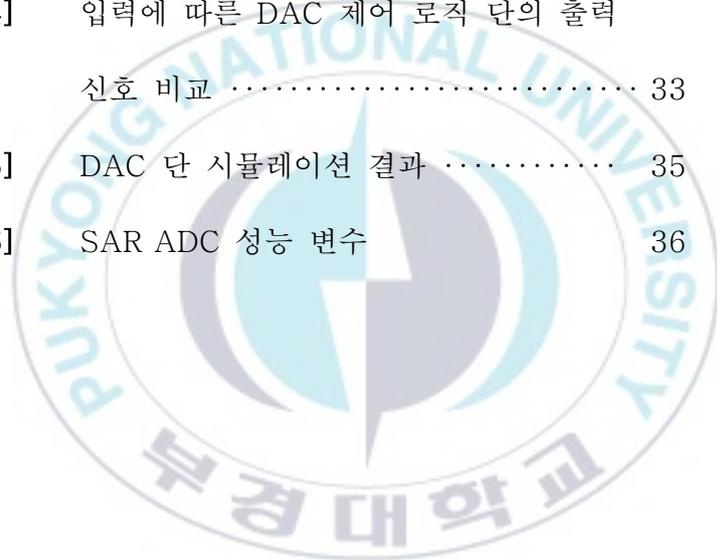


표 목차

[표 3.1] 커패시터 어레이 네트워크 단 비교..... 18

[표 4.1] SAR ADC 성능 요약 37



Design of Low-power 12-bit SAR Analog-to-Digital Converter

Bo-yeong Park

Department of Intelligent Robot Engineering,
The Graduate School,
Pukyong National University

Abstract

In the near decade, countless signals and information are being exchanged for the growing demands of 5G in our daily lives. There is also phenomenal development in integrated circuits, and those are used for this massive amount of information in various types of devices.

Our speech is an analog signal, but digital signals are found in electronic components. However, digital signals cannot be directly interpreted by humans, so a data converter is required.

This paper presents a 12-bit successive approximation register(SAR) analog-to-digital converter(ADC). The proposed SAR ADC consists of a sample-and-hold stage, a network capacitor array stage, a SAR control logic stage, a comparator stage, a DAC control logic stage and a DAC stage.

In an addition, the ADC is also being used to convert the processed digital signal back into an analog signal, and it is equipped with capacitors, resistors, and computational amplifiers to retrieve the original signal.

The proposed circuit is designed by using the 1poly-6metal 0.13 μm CMOS process, and it operates at a supply voltage of 1.2V. In contrast with traditional performance, the designed ADC showed a very low power consumption of 60.07 μW and the smallest die area of 0.???mm² as compared to conventional results. This circuit also exhibits an outstanding effective number of bits(ENOB) of 12.02bits and high signal-to-noise distortion ratio(SNDR) of 74.17dB. Furthermore, the sample-and-hold stage which is placed at the front end of the SAR ADC is developed to reduce the body effect, and one input clock is intended to minimize unnecessary power consumption and operation.

제 1장 서론

기술이 발전됨에 따라 5G시대가 도래하면서 사람들의 생활방식은 많은 변화를 맞이하고 이러한 일상속에서 공유되는 정보의 양은 더욱 늘어났다. 최근 현대 사회에서는 시간과 장소에 상관없이 다양한 정보를 제공하고 있으며, 이를 처리하기 위한 집적 회로들이 발전을 거듭하고 있다.

자연계에 존재하는 아날로그 정보는 현대 사회에서 필수적으로 처리해야 할 대상이다. 그러나 빛과 소리 등과 같은 아날로그 신호의 형식을 띄는 변수들은 디지털 신호로의 변환없이 그대로 처리하기에 여러가지 제한들이 존재한다. 따라서 이러한 신호들을 처리하기 위해 아날로그 신호를 디지털 신호로 변환시켜주는 중간장치가 요구된다. 시간에 따라 연속적으로 변화하는 아날로그 신호를 입력으로 받아 디지털 출력인 비트로 변환하는 아날로그-디지털 변환기(analog-to-digital converter, ADC)가 필요하다[1-8].

최근 전자기기 내부에 들어가는 회로들은 면적이 작고 성능은 높을수록 더욱 요구되므로, 이를 달성하기 위한 기술 개발이 활발히 이루어지고 있다. 아날로그-디지털 변환기 또한 저전력으로, 그리고 작은 면적으로 동작할 수 있도록 많은 연구가 진행되고 있으며 통신, 의료, 음성인식 등 현대 사회의 광범위한 산업분야에 사용된다[1-20]

아날로그-디지털 변환기의 유형에는 많은 종류들이 있는데, 샘플링 속도, 유효 비트 수 및 해상도에 따라서 다양한 설계가 가능하다. 일반적으로

로 많이 사용되는 아날로그-디지털 변환기의 유형에는 시그마-델타 (Sigma-Delta) ADC, 파이프라인(Pipeline) ADC, 플래시(Flash) ADC 및 축차 비교형(successive approximation register, SAR) ADC 등이 있다. 유형에 따라 해상도나 회로면적과 소비전력 등이 다르므로 응용하고자 하는 용도에 맞게 적절한 ADC의 유형을 선택하는 것이 중요하다.

본 논문에서는 다양한 ADC의 유형 중, 12비트 SAR ADC를 제안한다. 제안된 ADC는 샘플 앤 홀드 단, 커패시터 어레이 단, SAR 제어 로직 단, 비교기 단, DAC 제어 로직 단 및 DAC 단으로 구성된다. 일반적으로 SAR ADC는 해상도가 늘어날수록 커패시터 어레이 단의 커패시터들은 그 용량과 면적이 증가한다. 이러한 구조는 ADC의 면적과 소비전력에 큰 영향을 미친다. 따라서 커패시터 어레이 단에 스플릿 커패시터를 추가하여 전체 커패시터 용량에 변화를 주는 방식을 사용하였다. 또한 하나의 입력 클럭으로 작동할 수 있도록 설계된 점과, 왜곡을 줄일 수 있는 부트스트랩 기법이 적용된 샘플 앤 홀드 회로의 사용으로 불필요한 전력소모를 줄일 수 있다.

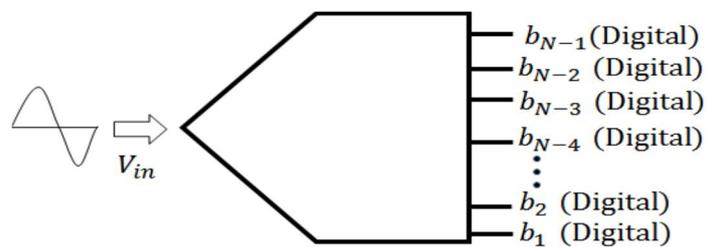
본 논문의 구성은 다음과 같다. 제2장에서 일반적인 ADC의 기본개념과 동작원리 및 구조를 유형에 따라 설명하고, 제3장에서는 제안하는 SAR ADC의 회로를 각 단별로 구분하여 동작을 세부적으로 설명하며, 제4장에서는 각 단의 시뮬레이션을 통해 출력된 결과와 성능을 분석한다. 마지막 장에 해당하는 제5장에서는 본 연구의 결론을 간략히 기술한다.

제 2장 동작원리

제 2장에서는 ADC의 기본적인 개념과 동작원리 및 구조를 설명하고 ADC의 성능과 특성을 평가하기 위한 변수와 수식에 대해 간단하게 서술한다. 또한 본 논문에서 구현하는 SAR ADC의 동작원리와 구조에 대해 설명한다.

2-1 일반적인 ADC의 동작 및 구조

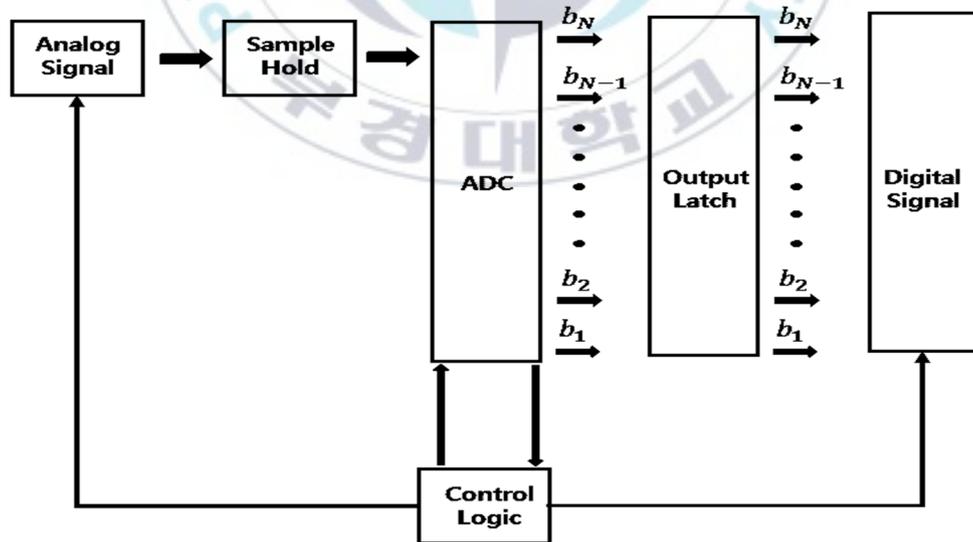
[그림 2.1]은 ADC의 간략화 된 심볼을 나타낸 것이다. ADC는 일반적으로 아날로그 형태의 신호를 입력으로 받아 디지털 출력신호로 변환해주는 역할을 한다.



[그림2.1] ADC 블록도

[그림 2.2]는 ADC의 구성도를 나타낸 것이다. 아날로그 신호를 입력 받은 샘플 앤 홀드 단은 디지털 코드화를 위해 입력신호를 샘플링한다. 다음 ADC단에서 샘플 앤 홀드 단의 출력신호를 입력으로 받으며, 출력 래치 단을 통하여 디지털데이터를 출력한다. 출력 래치 단은 데이터 버스와 연결되는 ADC 출력으로 인하여 디지털 회로와의 인터페이스 문제를 해결하는 역할을 하며 상태 제어 로직 단은 이 과정을 제어한다[1-5].

ADC의 유형에는 플래시 ADC, 시그마-델타 ADC, 파이프라인 ADC, SAR ADC 등이 있으며 각각의 ADC는 유효 비트 수, 샘플링 율 및 분해능에 따라 여러가지 목적으로 사용된다. 따라서 응용하고자 하는 시스템에 알맞은 유형을 고려하여 설계해야 한다.



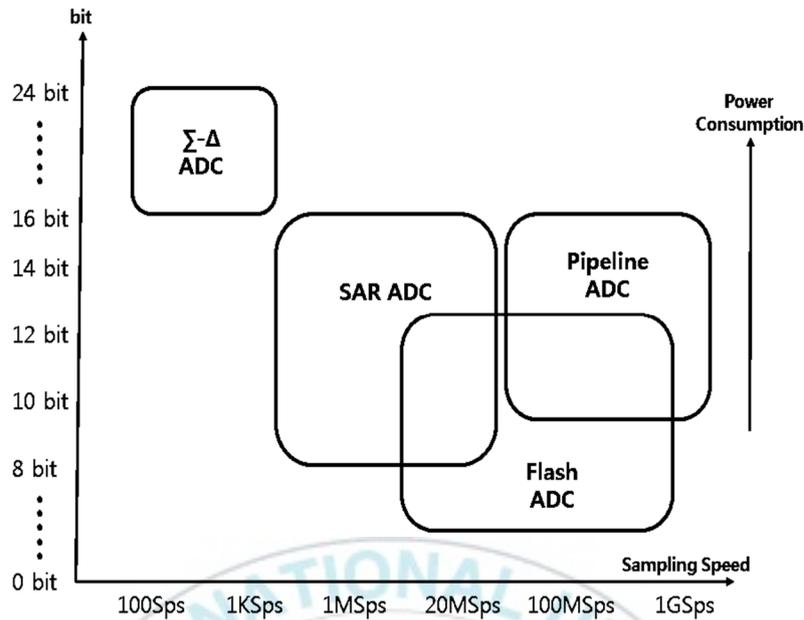
[그림 2.2] 일반적인 ADC 블록도

[그림 2.3]은 비트 수와 샘플링 율에 따른 ADC의 유형을 나타낸 것이다. 시그마-델타 ADC는 표본화가 진행된 원신호와 DAC 출력신호의 오차를 적분하고, 누적된 오차에 해당하는 적분 값을 비교기를 통하여 기준전압과 비교하면서 보정하는 방식이다. 16비트 이상의 고해상도로 구현이 가능하여 ADC 유형 중 가장 높은 분해능을 달성할 수 있으나 샘플링 율은 수백 KHz정도로 ADC유형 중 변환 속도가 가장 느리다.

플래시 ADC는 회로 소자가 병렬로 배치되어 비교를 한 단계에서 완료하기 때문에 아날로그 신호에서 디지털 신호로의 변환이 매우 빠르다. 따라서 샘플링 율이 높은 것을 [그림 2.3]을 통해 확인할 수 있고 빠른 속도가 요구되는 응용분야에 사용된다. 그러나 분해능이 높아질수록 비교기의 수도 많아지기 때문에 회로의 면적이 늘어나고 소비전력이 증가하여 고해상도 ADC를 달성하기에 제약이 있다.

파이프라인 ADC는 연속하는 여러 단계로 구성되고 각 단계들이 일괄 동작하여 고속 변환이 가능하다. 따라서 높은 샘플링 율을 가지며 약 16비트 정도의 분해능도 달성할 수 있다. 그러나 디지털 신호 출력시에 대기시간이 발생하므로 실시간으로 출력이 필요한 상황에서는 적합하지 않으며 소비전력이 큰 단점이 있다.

SAR ADC는 대체로 파이프라인 ADC와 해상도가 비슷하다. 파이프라인 ADC에 비해 비교적 낮은 샘플링 속도를 가지지만, 내부 블록을 재활용하여 설계면적을 줄이고 소비전력을 감소시킬 수 있다[9-12]. 따라서 12비트 정도의 저전력 ADC를 설계하기 위한 목적으로 SAR ADC가 적합하다.



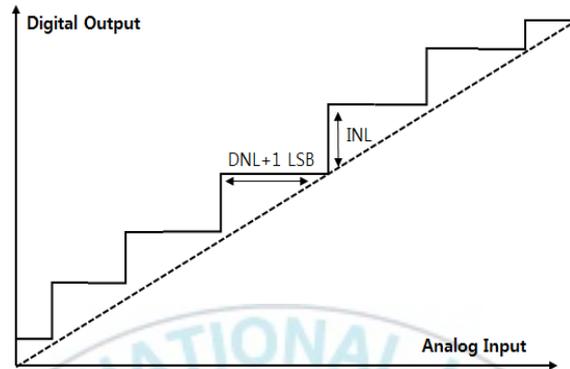
[그림2.3] 비트 수와 샘플링 율에 따른 구분

2-2 ADC의 주요 성능 변수 및 수식

ADC를 평가할 수 있는 주요 성능 변수에는 적분 비선형 오차(integral non linearity, INL), 차동 비선형 오차(differential non linearity, DNL), 신호 대 잡음 왜곡 비(signal to noise and distortion ratio, SNDR), 유효비트 수(effective number of bits, ENOB) 등이 있다.

[그림 2.4]는 차동 비선형 오차와 적분 비선형 오차의 특성을 나타낸 것이다. DNL은 아날로그 입력이 변화함에 따라 이전에 변환된 비트와의 스텝차이를 나타낸다. 이러한 스텝차이가 일정할수록 ADC의 차동 비선형 오차는 적으며 우수한 특성을 갖는다. INL은 [그림2.4]에 표시된 함수의 시작과 끝을 연결한 이상적인 선에서 현재 코드에 해당하는 지점과의 전압

차이를 나타낸다. DNL을 계속 더하여 INL을 구할 수 있으며 전압 차이가 작을수록 선형성이 우수하다.



[그림2.4] ADC의 DNL 및 INL 특성

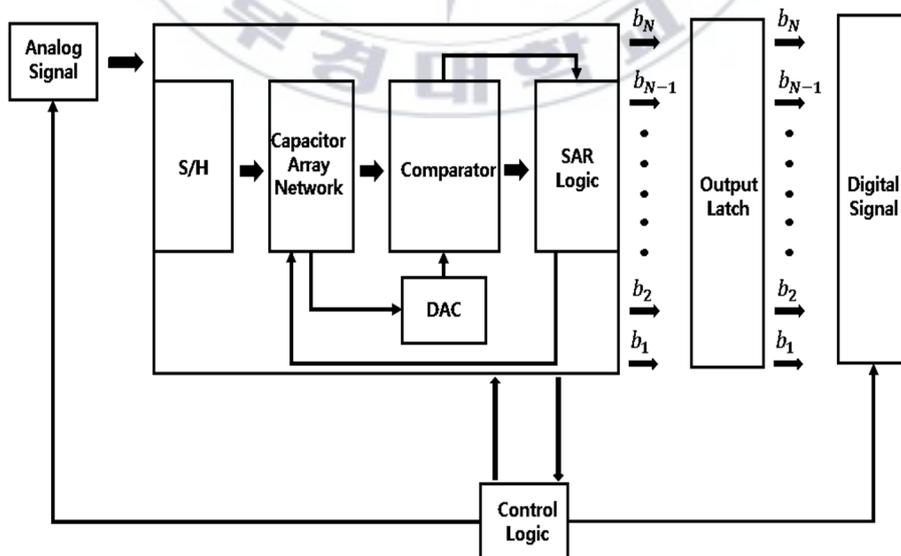
식 (2.1)은 ADC의 주요한 성능 변수인 ENOB를 나타낸다. 잡음과 감쇠가 제외된 입력에 대한 유효 비트 수[1-5]이며 또다른 성능변수인 SNDR은 고속 푸리에 변환(fast Fourier transform, FFT)을 통하여 구할 수 있다.

$$ENOB = \frac{SNDR - 1.76}{6.02} \quad (2.1)$$

본 연구에서는 설계한 ADC의 성능을 평가하기 위해 ADC의 가장 대표적인 성능 변수인 ENOB와 SNDR을 기준으로 활용한다. Cadence Virtuoso 툴의 시뮬레이션 환경에서 이를 측정할 수 있다.

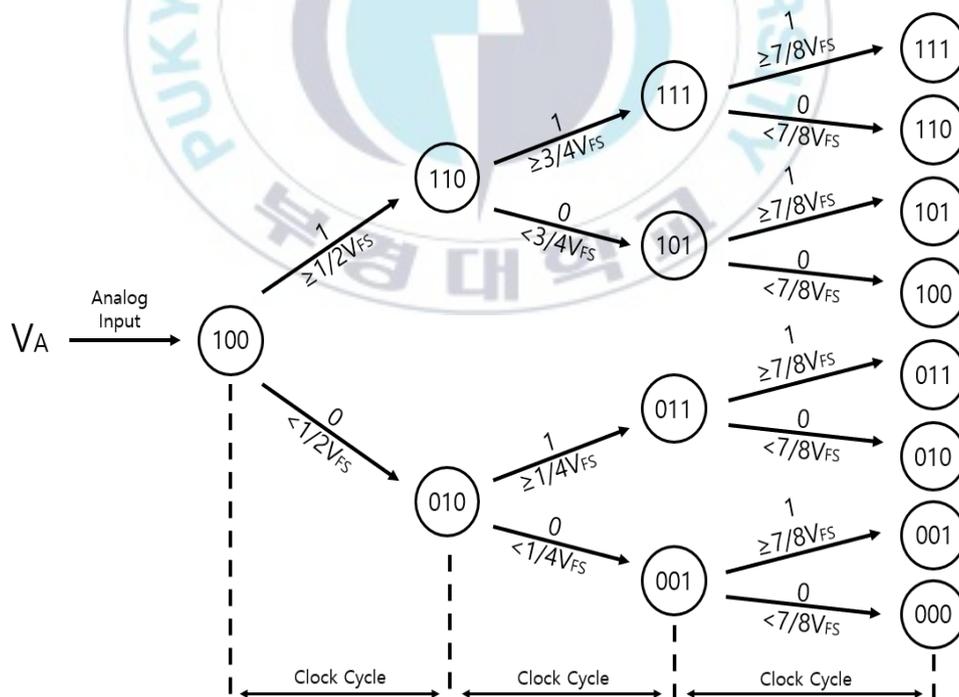
2-3 SAR ADC의 동작 및 구조

[그림 2.5]는 일반적인 SAR 아날로그-디지털 변환기의 블록 다이어그램을 나타낸 것이다. SAR ADC의 구성에는 샘플 앤 홀드 단, 커패시터 어레이 네트워크 단, 비교기 단, SAR 로직 단 및 DAC 단이 있다. 아날로그 신호가 입력으로 들어오면 샘플 앤 홀드 단에서 신호를 샘플링하고 입력과 형 값을 변환할 때까지 홀드한다. 샘플링 된 신호는 커패시터 어레이 네트워크 단을 거쳐 비교기 단으로 전달되는데, 이때 커패시터 어레이 네트워크 단에서 전하를 재분배하면서 연속 근사화 과정을 수행한다. 비교기 단에서는 기준전압과 입력된 신호를 비교하고, 출력된 신호는 다음 단인 SAR 로직 단의 입력으로 전달된다. SAR 로직 단에서는 입력 받은 신호를 알고리즘에 따라 처리하여 출력될 디지털 코드를 결정한다[1-20].



[그림 2.5] 일반적인 SAR ADC

[그림 2.6]은 SAR ADC의 코드가 결정되는 과정을 나타낸 것이며, 3비트 SAR ADC를 예시로 사용하였다. 첫 번째 변환단계에서는 디지털 비트의 최상위비트인 MSB가 '1'이 되고 나머지 하위비트는 '0'이 되어 중간값으로 지정된다. 지정된 비트는 DAC의 입력으로 들어가서 아날로그 신호 형태로 변환되어 V_{DAC} 로 출력된다. V_{DAC} 는 샘플 앤 홀드 단을 거친 아날로그 입력 신호 V_A 와 비교기 단의 두 입력으로 각각 인가된다. 이 때 V_{DAC} 보다 V_A 가 큰 값이면 MSB는 그대로 '1'을 유지하고, V_{DAC} 보다 V_A 가 작은 값이면 MSB는 '0'이 된다. MSB가 결정된 이후에 MSB 다음 비트는 '1'로 설정되어 위 과정을 반복 수행한다. 같은 방법으로 근사화가 진행되어 LSB까지 모든 비트를 결정한다[21-23].



[그림 2.6] 3비트 SAR ADC 코드 결정 과정

[그림 2.7] ~ [그림 2.9]는 일반적인 SAR ADC의 전하 재분배 과정을 나타낸 것이다. [그림 2.6]은 첫 번째 단계인 샘플 모드를 나타낸 것이다. 스위치 S_A 가 단락되면, 커패시터의 상부 플레이트는 접지에 연결되고 나머지 모든 커패시터의 하부 플레이트는 입력되는 아날로그 신호인 V_A 에 연결된다. 이때 커패시터의 상부 플레이트에 전하가 충전되는데, 그 전하량을 식 (2.2)와 같은 수식으로 나타낼 수 있다. 식 (2.2)에서 C 는 전체 커패시터의 합을 나타낸다.

$$Q = C \cdot V_i \quad (2.2)$$

[그림 2.8]은 다음 단계인 홀드 모드를 나타낸 것이다. 스위치 S_A 가 단락에서 개방으로 바뀌면, 스위치 S_B 는 기준전압 V_{ref} 에 연결된다. 그리고 스위치 ($S_2 \sim S_{13}$)은 접지되어, 모든 커패시터의 하부 플레이트가 접지에 연결된다. 이때 커패시터에 충전되어 있던 기준 전하는 그대로 유지되며 커패시터의 상부 플레이트 전압 V_X 는 $-V_A$ 의 값을 가진다.

[그림 2.9]는 마지막 단계인 재분배 모드를 나타낸 것이며 이 과정에서 연속 근사화 과정을 수행한다. MSB를 담당하는 스위치 S_1 은 기준 전압에 연결되고 나머지 스위치에 해당하는 $S_2 \sim S_{13}$ 은 접지에 연결된 상태로 유지된다. 이때 V_X 는 $-V_A$ 에서 $V_{ref}/2$ 만큼 증가하게 되고, 이를 식 (2.3)~(2.5)의 전하방정식으로 나타낼 수 있다. 식 (2.3)에서 Q_i 는 샘플 모드의 초기 전하량이며, 식 (2.4)에서 Q_f 는 스위치 S_1 이 기준전압에

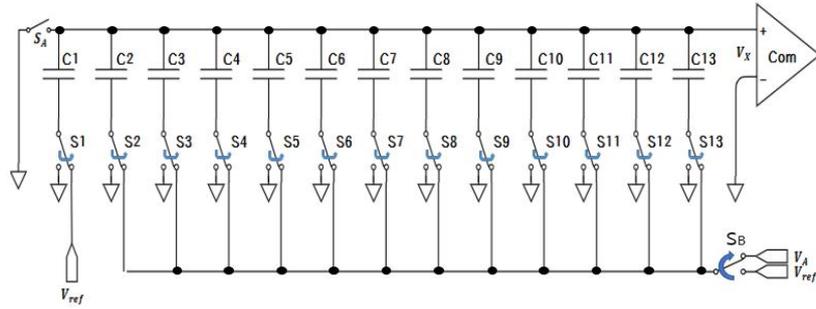
연결되고 난 후의 전하량이다. 또한 이 과정에서 전체 전하량은 변하지 않고 그대로 유지되어 $Q_i=Q_f$ 이므로 이를 통해 식 (2.5)를 도출할 수 있다.

$$Q_i = -2CV_A \quad (2.3)$$

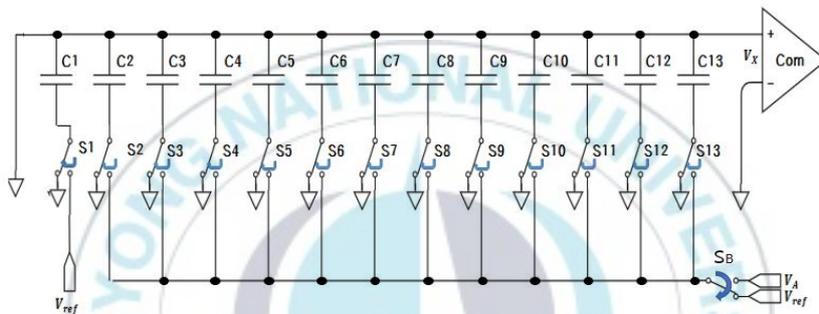
$$Q_f = CV_X + C(V_X - V_{ref}) \quad (2.4)$$

$$V_X = -V_A + \frac{V_{ref}}{2} \quad (2.5)$$

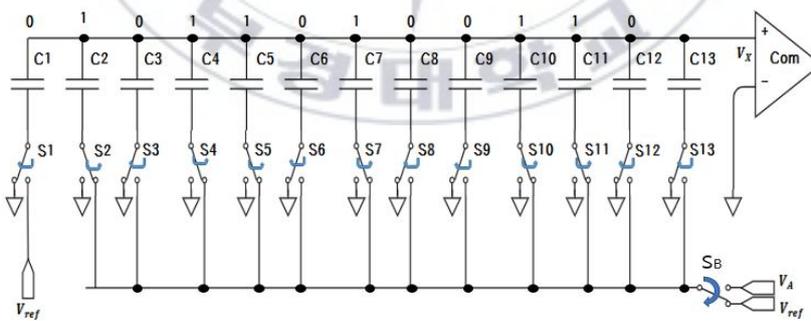
만약 식 (2.5)에서 V_A 의 값이 $V_{ref}/2$ 보다 크다면 V_X 는 음수이며 비교기의 출력은 'Low'가 된다. 스위치 S_1 은 기준 전압에 연결된 상태를 유지하게 되고, 이때 MSB는 '1'이 된다. 반대로 V_A 의 값이 $V_{ref}/2$ 보다 작다면 V_X 는 양수이고 스위치 S_1 은 기준전압에서 접지로 연결된다. 이때 MSB는 '0'으로 결정된다. 위와 같은 과정을 반복 수행하여 MSB가 먼저 결정되면 LSB까지의 나머지 비트들을 결정한다[21-23].



[그림 2.7] 샘플 모드



[그림 2.8] 홀드 모드



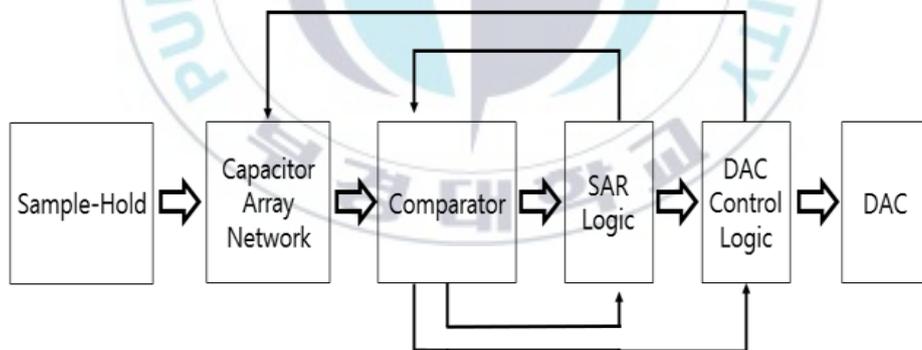
[그림 2.9] 전하 재분배 모드

제 3장 제안된 SAR ADC 회로 및 동작원리

제 3장에서는 제안하는 아날로그 디지털 변환기 내부 회로의 구성요소와 동작원리에 대하여 기술한다.

[그림 3.1]은 본 연구에서 제안하는 SAR ADC의 구성을 나타낸 블록 다이어그램이다. 일반적인 SAR ADC와 마찬가지로 샘플 앤 홀드 단, 커패시터 어레이 단, 비교기 단, SAR 로직단 및 DAC 제어 로직 단 및 DAC 단으로 이루어져 있다.

각 내부 회로의 설계와 동작원리에 대하여 다음의 각 절에 기술한다.



[그림 3.1] 제안하는 ADC 설계 블록도

3-1 샘플 앤 홀드 단

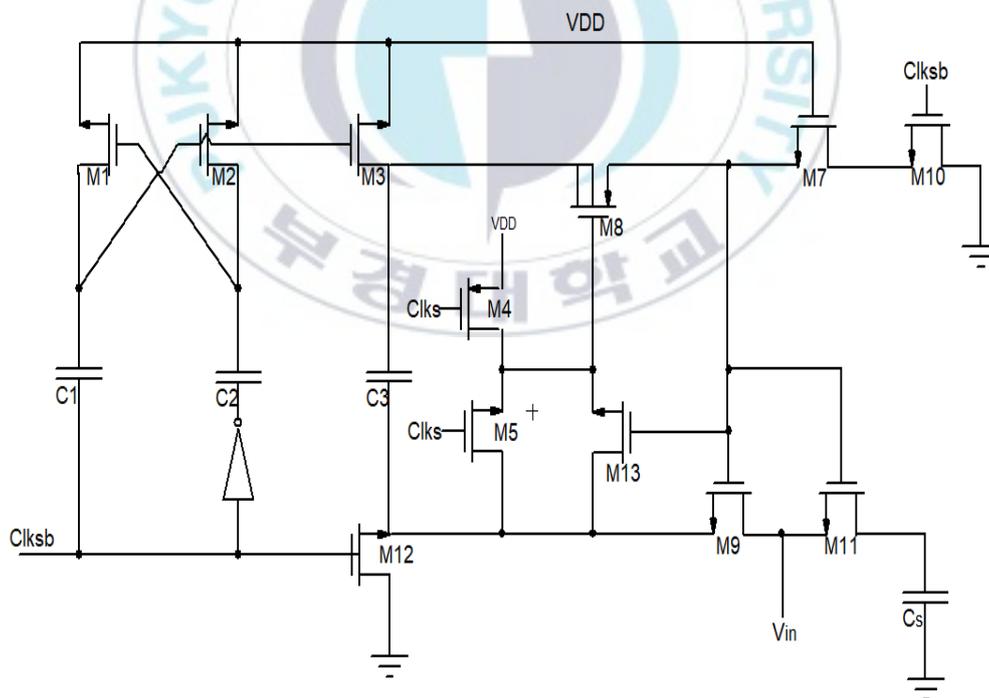
MOSFET과 커패시터로 이루어진 같은 구조의 2개의 샘플 앤 홀드 회로

로 구성되며 입력에는 위상이 180° 차이가 나는 아날로그 연속 파형을 차동으로 인가한다. 입력 받은 아날로그 신호를 표본화하고 지정된 시간만큼 일정 값을 유지하는 홀드를 수행한다. 1MSps의 속도로 샘플링 된 신호는 커패시터 어레이 단으로 전달된다.

그러나 저전력에서 MOSFET을 스위치로 사용하는 샘플 앤 홀드 회로는 몇가지 단점이 발생한다. 공급전압이 감소하면서 트랜지스터의 임계 전압이 줄어들어 더 높은 전압에서 작동하는 기존의 아날로그 스위치가 켜지지 않게 되면 아날로그 샘플을 왜곡시키고 전력 소모는 증가한다. 따라서 본 논문에서는 공급 전압에 관계없이 일정하게 스위치의 게이트-소스 간 전압을 유지하는 부트스트랩 기법을 사용하였다. NMOS 부트스트랩 스위치의 경우, 스위치가 꺼진 상태일 때, 게이트는 접지되어 전압 공급을 차단한다. 스위치가 켜지면 게이트와 소스 사이에 공급 전압이 형성되고 드레인과 소스 사이에 낮은 온 저항이 형성된다. 이때, 게이트 전압이 공급 전압보다 높아지더라도 단자 간 전압이 공급 전압을 넘지 않는다[24].

[그림 3.2]는 제안하는 샘플 앤 홀드 회로를 나타낸다. M1, M2, C1, C2는 M3의 게이트에 $2V_{DD}$ 의 전압을 가하는 charge-pump 역할을 한다. 만약 M3의 게이트 전압이 V_{DD} 라면 M3의 게이트-소스 전압은 0이 되고 M3을 ON시킬 수 없기 때문에 C3을 충전시킬 수 없다. 입력 클럭 <Clks>가 'Low'일 때 부트스트랩 스위치에 해당하는 M11의 게이트 전압은 M7과 M10에 의해 접지되어 꺼진 상태가 된다. 부트스트랩 스위치가 꺼지면 $2V_{DD}$ 를 게이트 입력으로 받은 M3과 M12가 커패시터 C3이 부트스트랩 스위치의 배터리 역할을 수행할 수 있도록 C3의 양단에 V_{DD} 전압을 형성

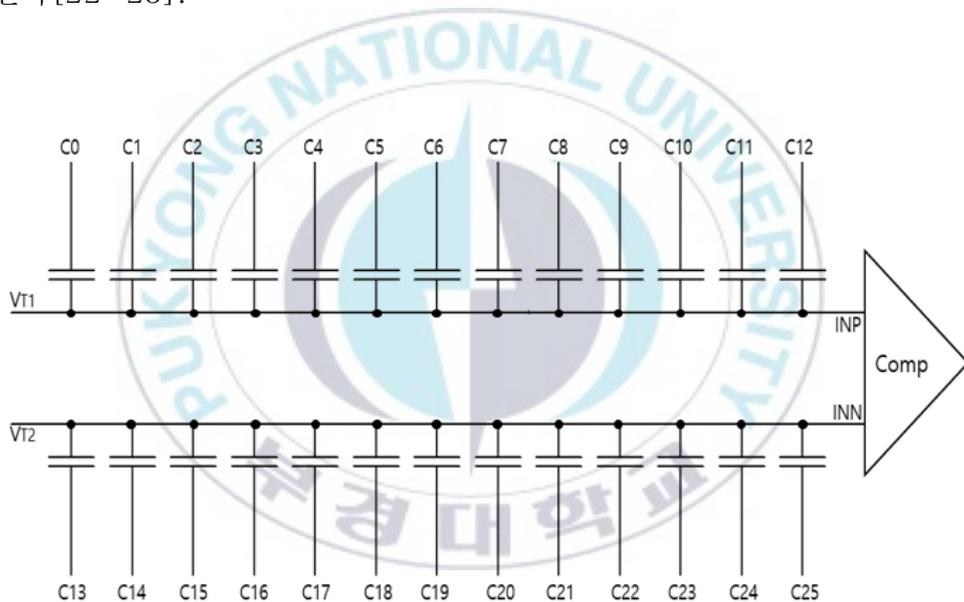
한다. M8과 M9는 C3이 충전될 때까지 스위치와 C3이 연결되지 않도록 한다. 입력 클럭 <Clks>가 'High'일 때 M5는 M8의 게이트를 pull down 시키고 C3에 충전된 전하가 부트스트랩 스위치의 게이트로 흘러가면서 M9와 M11은 on상태가 된다. 이때 M11의 게이트와 소스간 전압을 입력 신호에 관계없이 일정하게 유지하면서 게이트 전압이 입력 신호를 따라갈 수 있게 한다. M8은 바다가 소스에 연결되어 스위칭 동작이 연속적으로 발생하는 래치 업을 막는 역할을 한다. 커패시터 C3은 부트스트랩 스위치의 게이트에 전하를 공급할 수 있을 만큼 충분한 용량으로 설계하였다 [25].



[그림 3.2] 샘플-앤-홀드 회로도

3-2 커패시터 어레이 단

[그림 3.3]은 일반적인 커패시터 어레이 단의 회로도이다. 차동 구조의 커패시터 어레이로 구성되며 샘플 앤 홀드 회로를 거친 차동 입력 신호 중 하나를 받아 순차적으로 전하 재분배를 수행하고 비교기 단으로 전송한다. 처음 전하 재분배 단계에서 공통모드 전압 ‘ V_{cm} ’ 이 커패시터의 상부 플레이트에 연결되고 샘플 앤 홀드 단의 출력 신호가 하부 플레이트에 연결된다[22-23].

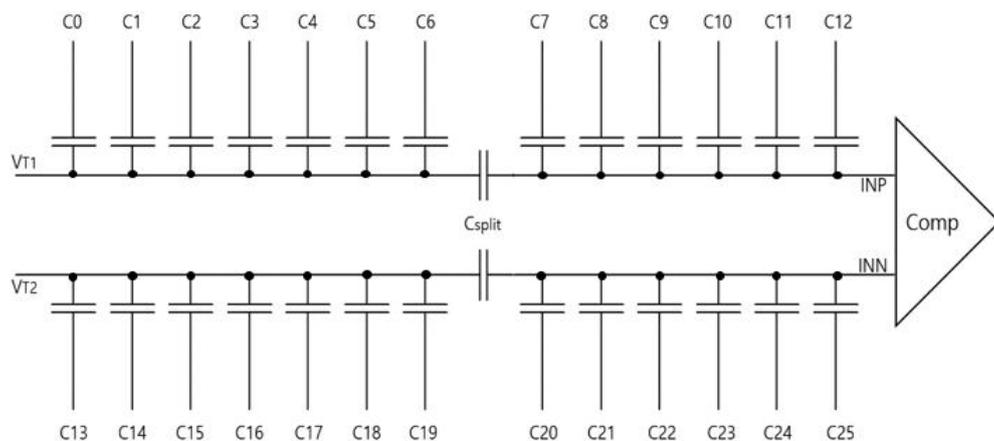


[그림 3.3] 일반적인 커패시터 어레이 회로도

일반적인 N비트 SAR ADC는 각 커패시터 어레이 단에 (N+1)개의 커패시터를 병렬로 연결하는 구조이다. 12비트 SAR ADC의 경우 각 어레이 당 13개의 커패시터가 필요하므로 총 26개의 커패시터가 요구된다. 또한 SAR ADC는 동일한 kT/C 잡음을 고려하여 LSB 커패시터를 단위 커패시

터로 고정하고 점차 커패시터를 키워 나가는 형태로 설계한다. 일반적으로 해상도가 1비트씩 늘어날 때 마다 병렬로 배치된 커패시터의 크기를 2배씩 증가시켜야 하는 구조를 가지므로 12비트 SAR ADC의 경우 단위 커패시터의 2^{12} 배에 해당하는 매우 큰 면적을 차지하는 MSB 커패시터가 필요하다. 전하 재분배 과정에서 커패시터 용량이 큰 MSB로 갈수록 스위칭 전력소모는 증가하기 때문에 높은 해상도의 SAR ADC 설계를 위해 커패시터의 크기를 늘릴수록 ADC의 면적을 키우고 소비전력을 저하시키는 단점이 있다. 따라서 이를 보완하려는 목적으로 본 논문에서는 스플릿 커패시터 구조를 사용한 어레이 단을 제안한다.

[그림 3.5]는 커패시터 어레이 간(C6과 C7, C19와 C20) 브릿지 커패시터 C_{split} 가 추가된 스플릿 커패시터 어레이 단을 나타낸 것이다. 커패시터 어레이를 둘 이상의 서브 어레이로 분할하여 면적과 전력소모를 줄일 수 있다[26-28].



[그림 3.4] 제안하는 커패시터 어레이 회로도

식 (3.1)은 스플릿 커패시터의 크기를 나타낸 것이고, 식 (3.2)는 커패시터 어레이 단의 평균 스위칭 에너지 소비를 나타낸 것이다.

$$C_{split} = \frac{\sum \text{all LSB array } C}{\sum \text{all MSB array } C} C \quad (3.1)$$

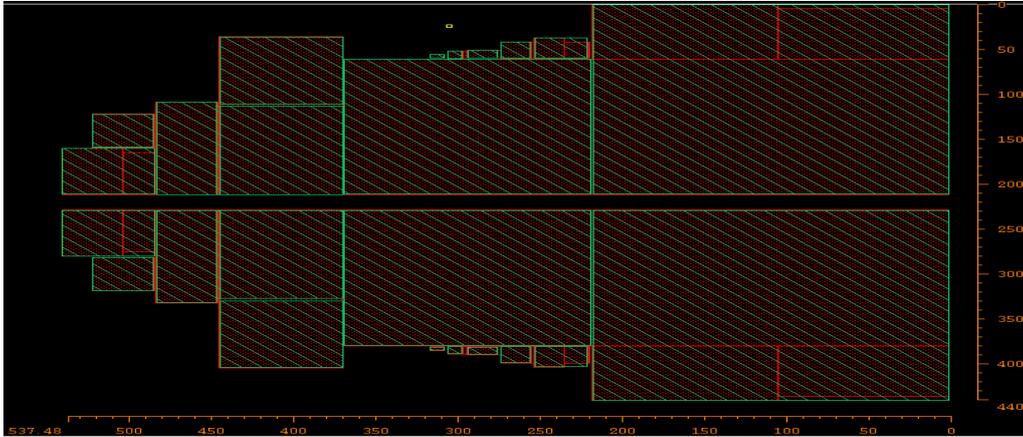
$$E_{ac} = \sum_{i=1}^n 2^{n+1-2i} (2i - 1) CV_{ref}^2 \quad (3.2)$$

식 (3.2)에 따른 일반적인 구조의 커패시터 어레이 네트워크 평균 스위칭 에너지 소모는 약 $3,840CV_{ref}^2$ 이며 스플릿 커패시터 어레이 구조를 사용한 경우 약 $127.98CV_{ref}^2$ 의 에너지 소비를 갖는다.

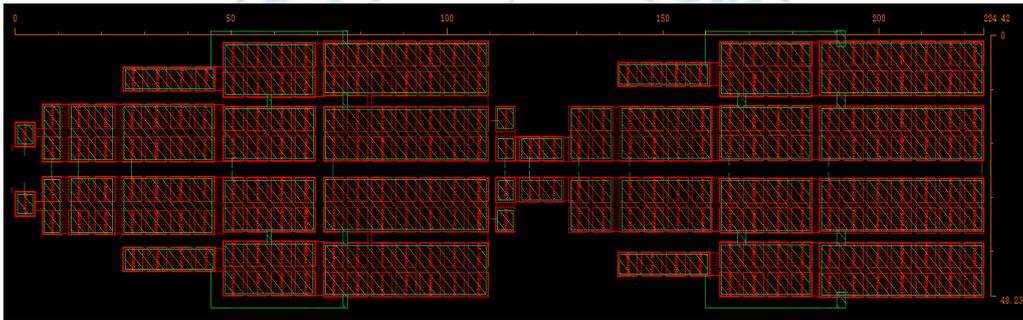
[그림 3.5]와 [표 3.1]은 기존의 커패시터 어레이 단과 제안하는 구조의 커패시터 어레이 단의 비교를 나타낸다. 본 논문에서 제안하는 커패시터 어레이 단의 구조를 사용하였을 때가 일반적인 구조를 사용하였을 때보다 에너지 소비 절감 효과를 가지며 면적이 감소된 것을 확인할 수 있다.

[표 3.1] 커패시터 어레이 네트워크 단 비교

	일반적인 커패시터 어레이 네트워크 단	스플릿 커패시터 어레이 네트워크 단
평균 스위칭 에너지 소비	$3,840CV_{ref}^2$	$127.98CV_{ref}^2$
레이아웃 면적 [μm^2]	236,491.2	10,823.7



(a) 일반적인 구조



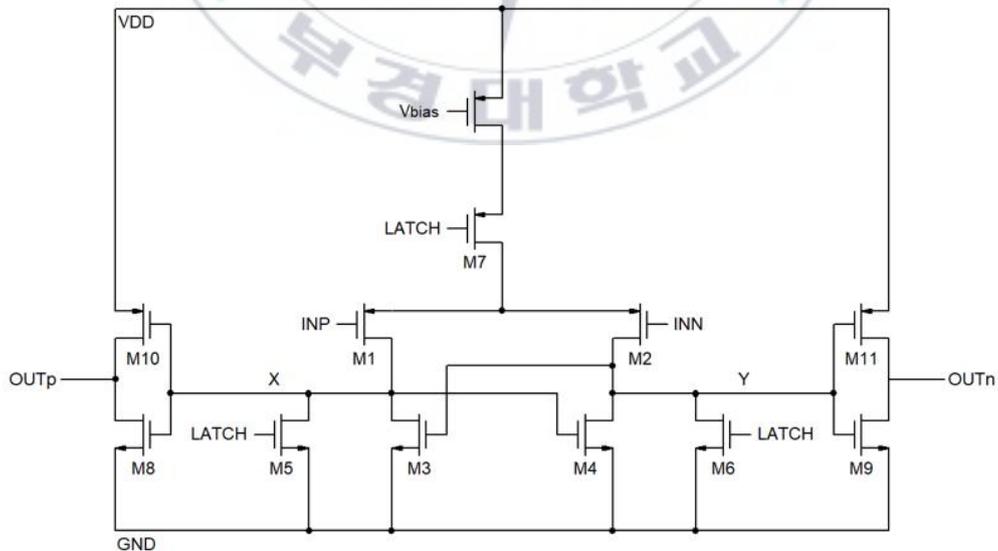
(b) 제안하는 구조

[그림 3.5] 커패시터 어레이 단 레이아웃

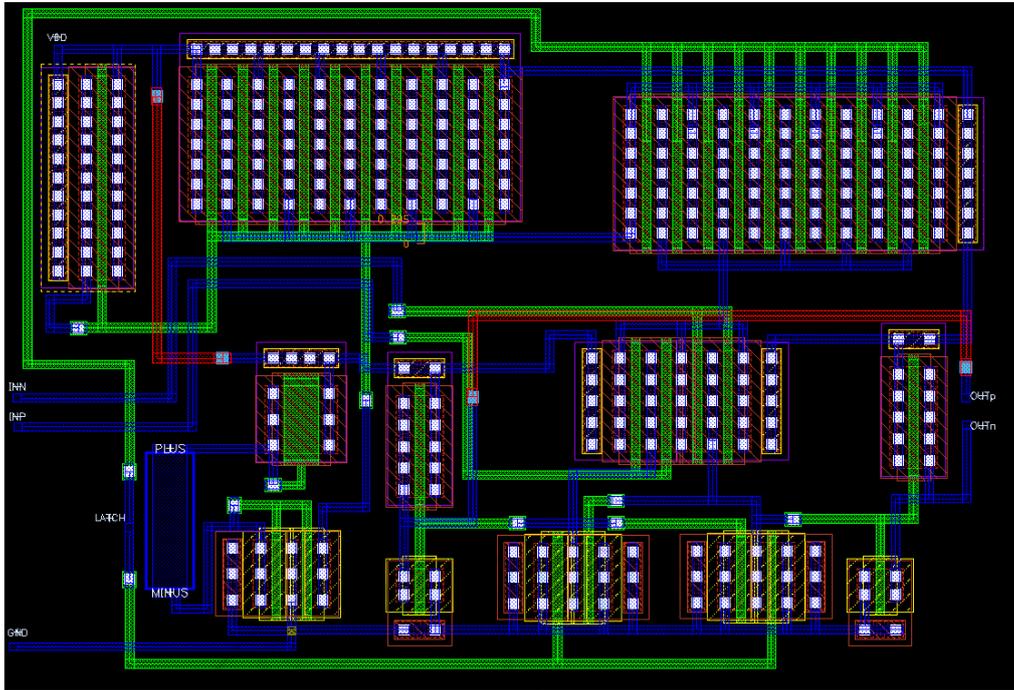
3-3 비교기 단

[그림 3.6]은 비교기 단의 회로와 레이아웃 결과를 나타낸다. 커패시터 어레이 단으로부터 출력된 신호를 입력으로 받아 비교하는 역할을 수행하며 비교기 단에서 출력된 신호는 DAC제어 로직 단으로 들어가거나 NAND를 거쳐 새로운 클럭을 생성하기도 한다. 2입력 NAND의 입력으로

사용된 비교기 단의 출력신호는 새로운 클럭 <Valid>를 생성하여 이후 SAR제어 로직 단의 입력으로 들어간다. 본 논문에서는 입력범위가 VDD 전압 이하이므로 PMOS 동적 래치 비교기를 사용하였다. 회로의 동작은 클럭 LATCH가 'High'일 때, PMOS M7은 차단 영역이 되고 NMOS M5와 M6은 초기값을 정의하기 위해 두 지점 X와 Y를 접지 시켜 'Low'상태로 리셋된다. 클럭 LATCH가 'Low'일 때, M5와 M6은 차단영역이 되고 M7은 ON상태가 되면서 비교 단계에 돌입하여 하강 모서리일 때 데이터를 판별한다. Crossed-coupled 인버터가 신호를 증폭하는 역할을 하며, 만약 INP가 INN보다 크면 교차결합(crossed-coupled) NMOS 트랜지스터 M4가 턴 온 전압이 될 때까지 차동 입력전압에 따라 X와 Y는 충전된다. Y가 방전되기 시작하면 X는 충전되고 각각 인버터를 거쳐서 결과가 출력된다[29].



(a) 비교기 단 회로도



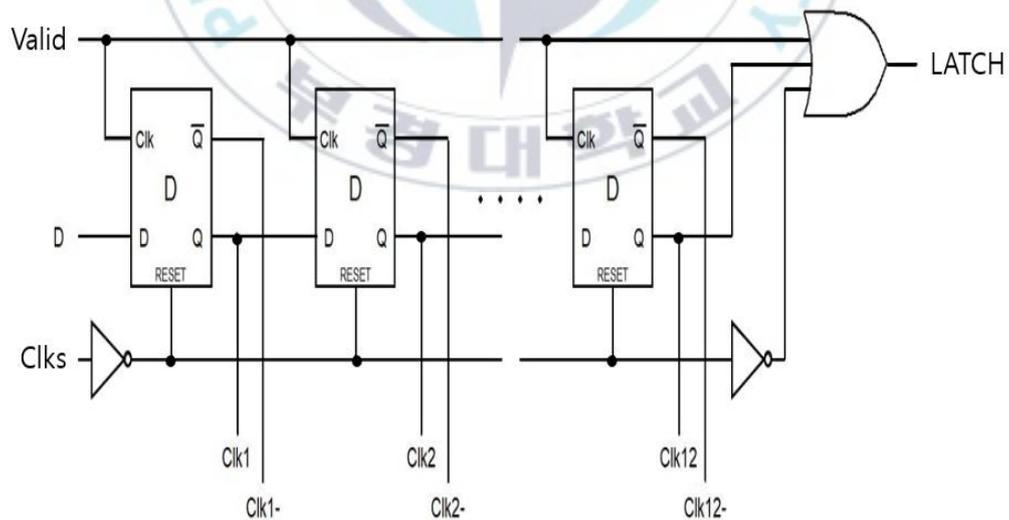
(b) 비교기 단 레이아웃

[그림 3.6] 비교기 단 회로도

3-4 SAR 로직 단

[그림 3.7]은 SAR 제어 로직 단의 회로도를 나타낸다. SAR 제어 로직 단은 동적 비교기의 리셋 신호와 DAC 제어 로직 단에서의 스위칭을 제어한다. 또한 비교기 단의 비교 결과를 저장하고 디지털 코드를 생성한다. 비교기 단으로부터 전달받은 정보신호를 입력으로 사용하고 12개의 제어신호 <Clk0~Clk11>를 만들어 12비트 디지털 신호를 얻을 수 있게 한다. 입력 <D>에는 공급 전압 VDD를 넣어 제어 신호 <Valid> 와 <Clks>를 입력으로 받고 비교 신호 <Latch> 및 비동기 클럭 신호

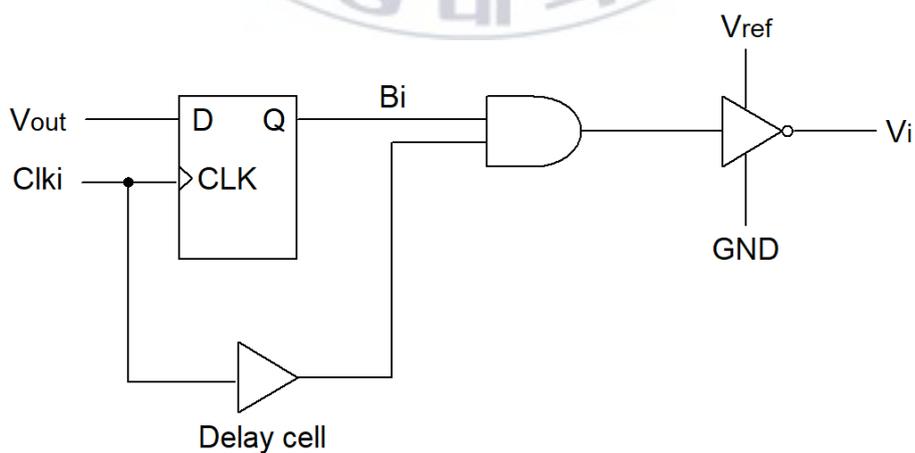
<Clk0~Clk11>을 생성한다. D 플립플롭과 다수의 논리 게이트를 거쳐 나온 또 다른 출력 <Latch>는 비교기 단의 제어 클럭이 된다. <Clks>는 제어 로직 단을 리셋하는 역할을 하며 신호 <Valid>는 비교기의 두 출력전압 <OUTp>와 <OUTn>으로부터 생성된다. 출력된 순차적 클럭 신호 <Clk0~Clk11>는 비교기 신호와 함께 DAC 제어 로직 단의 입력으로 들어가서 커패시터 어레이의 스위칭 과정을 수행하기 위한 제어 신호로 사용된다. 비교기 단에서 비교를 완료하면, SAR 제어 로직 단으로 전송된 <Valid> 신호가 클럭 신호를 순차적으로 트리거 하고 'High'상태로 유지한다. 리셋 신호 <Clks>가 'High'에서 시작하면, 12개의 클럭 신호는 'Low'상태가 된다. 이러한 과정을 반복하여 12비트의 2진 코드를 출력한다[30].



[그림 3.7] SAR 로직 단 회로도

3-5 DAC 제어 로직 단

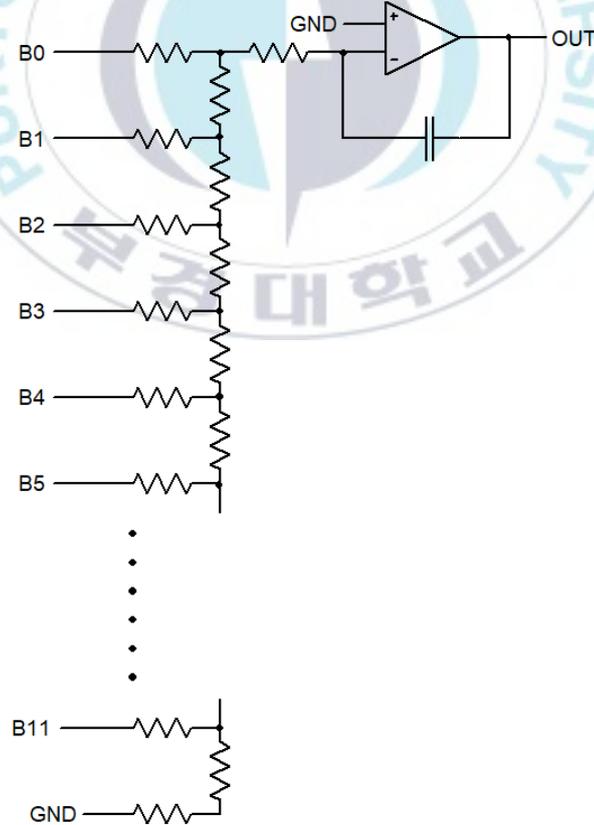
[그림 3.8]은 DAC 제어 로직 단의 회로도를 나타낸다. 커패시터 어레이 단이 $\langle V_{ref} \rangle$ 또는 접지로 전하 재분배 과정을 수행할 수 있도록 제어하는 역할을 하며 그 결과는 DAC 단으로 보내진다. DAC 제어 로직 단은 D 플립플롭, 딜레이 버퍼 및 논리 게이트들로 구성되어 있다. P형과 N형으로 이루어지며 각 내부에는 12개의 같은 구조를 가진 DAC 제어 로직 회로로 구성되어 있다. 입력으로는 12개의 클럭 신호 $\langle Clk0 \sim Clk11 \rangle$ 와 비교기의 비교 정보 신호 $\langle OUT_p \rangle$ 과 $\langle OUT_n \rangle$ 을 받아 12개의 디지털 신호를 생성한다. SAR 제어 로직 단의 출력 클럭 신호 $\langle Clk0 \sim Clk11 \rangle$ 은 DAC 제어 로직 단에서 스위칭을 제어하는 역할을 하고 논리 게이트를 통과한 신호는 커패시터 어레이 네트워크 단을 제어하는 신호인 $\langle V_{pi} \rangle$ 와 $\langle V_{ni} \rangle$ 로 출력된다. $\langle OUT_p \rangle$ 와 $\langle OUT_n \rangle$ 은 D 플립플롭을 거쳐 디지털 신호 $\langle B_{pi} \rangle$ 와 $\langle B_{ni} \rangle$ 으로 출력된다[30].



[그림 3.8] DAC 제어 로직 단 회로도

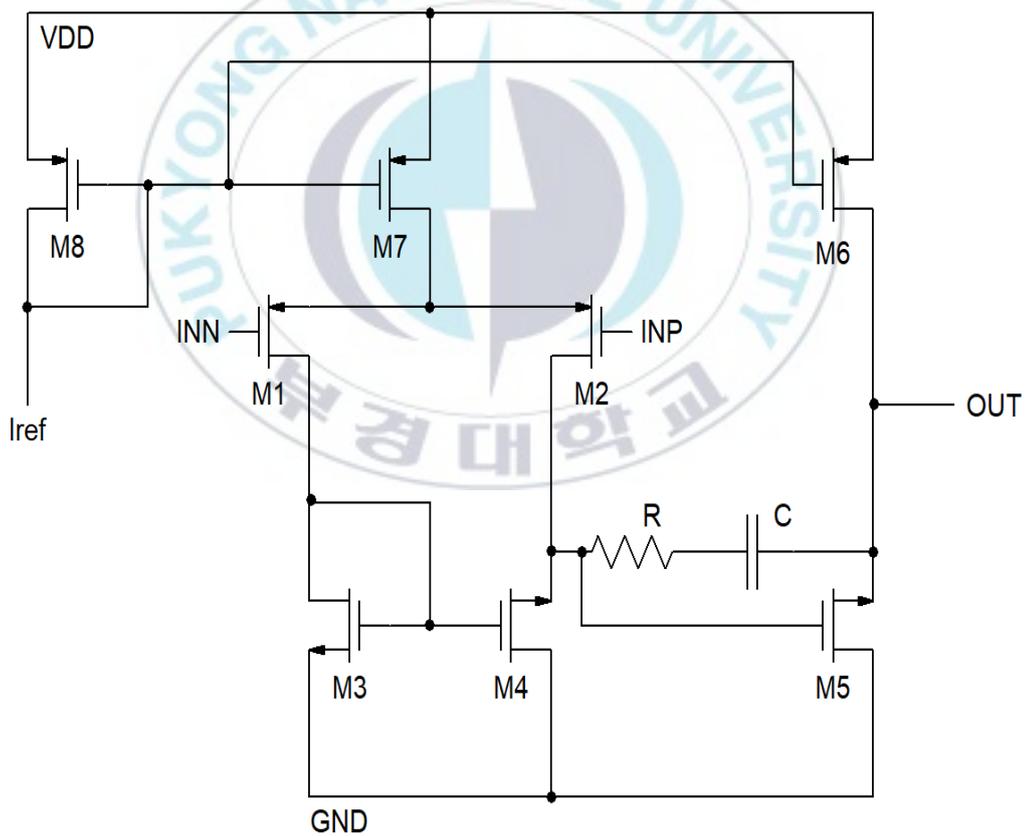
3-6 DAC 단

[그림 3.9]는 DAC 단 회로도를 나타낸다. DAC 제어 로직 단에서 출력된 12개의 디지털 신호를 입력으로 받아 아날로그 신호로 변환하는 역할을 수행한다. 본 논문에서는 R2R Ladder구조의 DAC를 설계하였으며, 연산증폭기, 저항 및 커패시터로 구성된다. 저항 R과 두배 차이가 나는 2R을 조합하여 2R을 서로 병렬로 연결하고 LSB부터 MSB까지 입력을 넣어준다. 각 비트는 접지와 연산증폭기의 반전 입력 사이 스위치를 제어하는 기능을 수행한다.



[그림 3.9] DAC 단 회로도

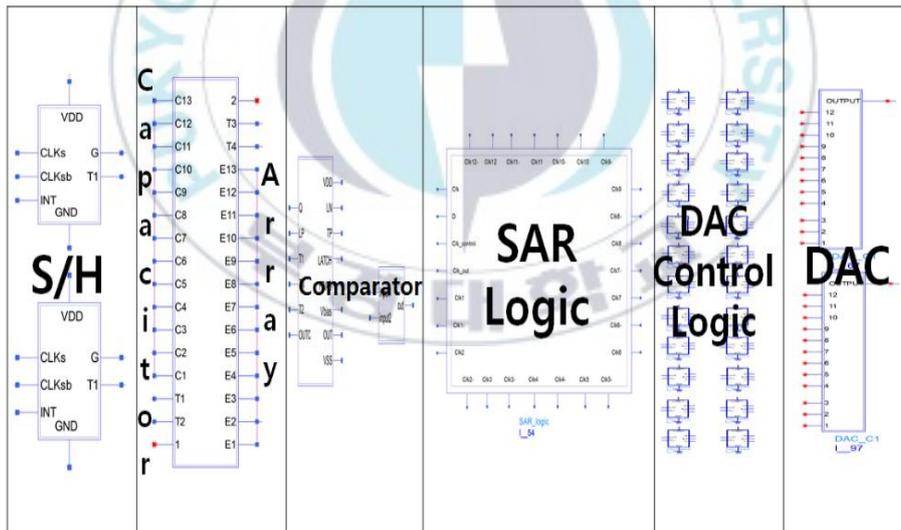
[그림 3.10]은 DAC 단 내부에 있는 연산증폭기 회로도를 나타낸다. PMOS 입력 2단 밀러 연산증폭기 구조를 사용하였으며 차동 증폭기에 공통소스 증폭기가 결합된 구조에 전류원을 포함하고 있다. M6과 M8이 전류원의 역할을 하는 전류거울 회로를 형성하고 있으며 M1, M2, M3 및 M4는 차동 증폭기에 해당하고 마지막으로 공통 소스 증폭기는 M5와 M6에 의해 만들어진다. 또한 주파수 안정도의 향상을 위하여 저항 R과 커패시터 C가 추가로 연결된 구조를 가진다[31-32].



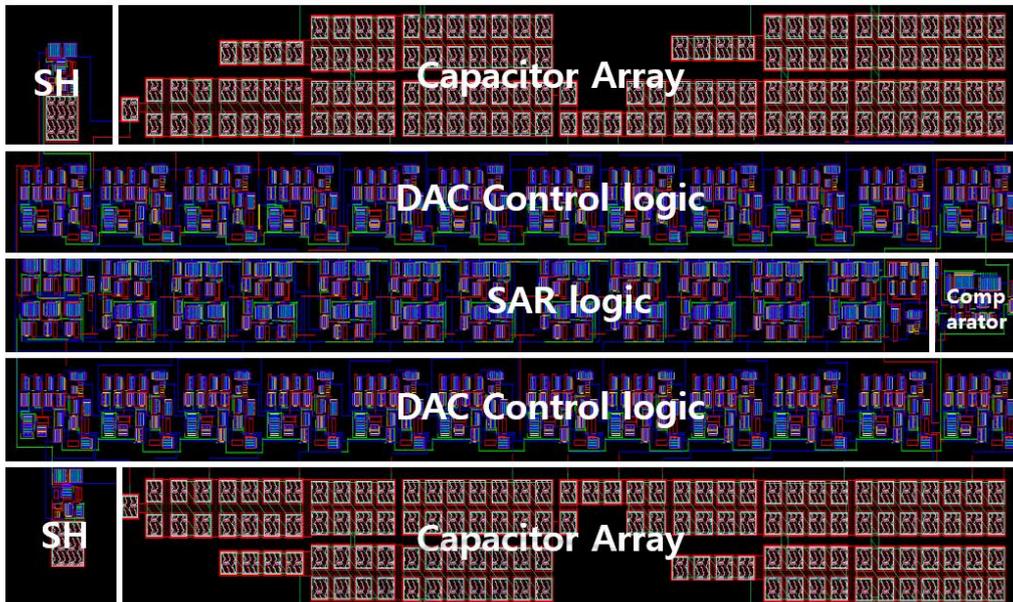
[그림 3.10] 연산증폭기 회로도

3-7 제안하는 SAR ADC

[그림 3.11]은 본 논문에서 제안하는 SAR ADC의 전체 회로 구성요소들을 심볼화 하여 나타낸 블록 도이다. 샘플 앤 홀드 단, 커패시터 어레이 네트워크 단, 비교기 단, SAR 로직 단, DAC 제어 로직 단 및 DAC 단으로 구성되며 1MSps의 샘플링 속도로 동작하도록 설계하였다. [그림 3.12]는 SAR ADC의 전체 레이아웃을 나타낸다. 커패시터 어레이 네트워크 단에서 면적을 최대한 줄일 수 있도록 설계하였고 구현한 유효 칩 면적은 0.028mm^2 이다.



[그림 3.11] 제안하는 SAR ADC 전체 블록도



[그림 3.12] SAR ADC 레이아웃

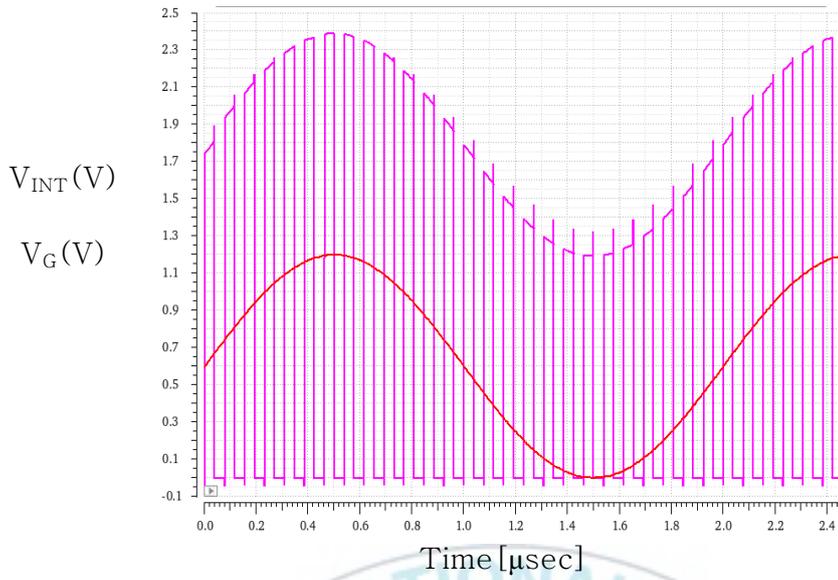


제 4장 결과 및 고찰

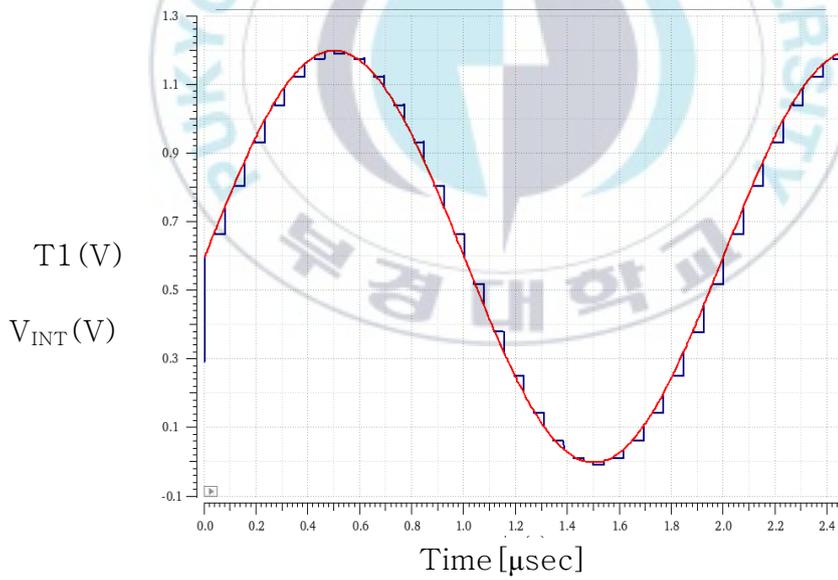
이 장에서는 본 논문에서 연구한 SAR ADC의 시뮬레이션 결과와 그에 대한 분석을 기술한다. 전원전압 VDD에는 1.2V를 적용하였으며 설계 및 시뮬레이션을 ADS(Advanced Design System)툴과 Cadence Virtuoso 프로그램을 사용하여 진행하였다. 시뮬레이션의 출력결과를 바탕으로 SAR ADC의 SNDR, ENOB 등의 성능을 분석하고 평가하였다.

4-1 시뮬레이션 결과파형 분석

[그림 4.1]은 샘플 앤 홀드 단의 시뮬레이션 결과를 나타낸다. [그림 4.1(a)]는 샘플링 트랜지스터 M_{11} 의 게이트 출력 시뮬레이션 결과를 나타낸 것이다. 샘플링 스위치의 게이트 전압 출력 결과가 입력 신호와 VDD만큼 차이가 남을 알 수 있으며 따라서 게이트와 소스간 전압에 해당하는 V_{gs} 는 입력신호와 관계없이 일정함을 확인하였다. [그림 4.1(b)]는 제안된 저전력 부트스트랩 샘플 앤 홀드 회로의 샘플링 된 출력 결과 파형을 나타낸 것이다. 샘플 앤 홀드 단의 출력신호에 해당하는 $\langle T1 \rangle$ 은 샘플링 속도 1MSps로 아날로그 입력신호 $\langle V_{INT} \rangle$ 에 따라 샘플링이 되었으며 출력된 신호는 커패시터 어레이 단의 입력으로 전달된다.



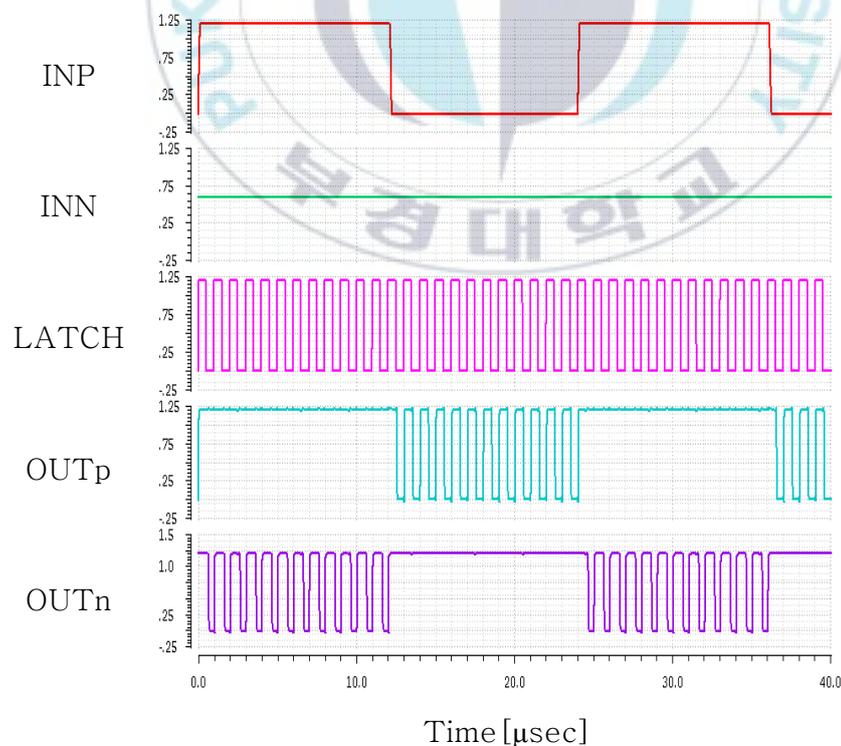
(a) 입력신호 $\langle V_{INT} \rangle$ 와 M_{11} 게이트 전압



(b) 입력신호 $\langle V_{INT} \rangle$ 와 샘플링된 신호 $\langle T1 \rangle$

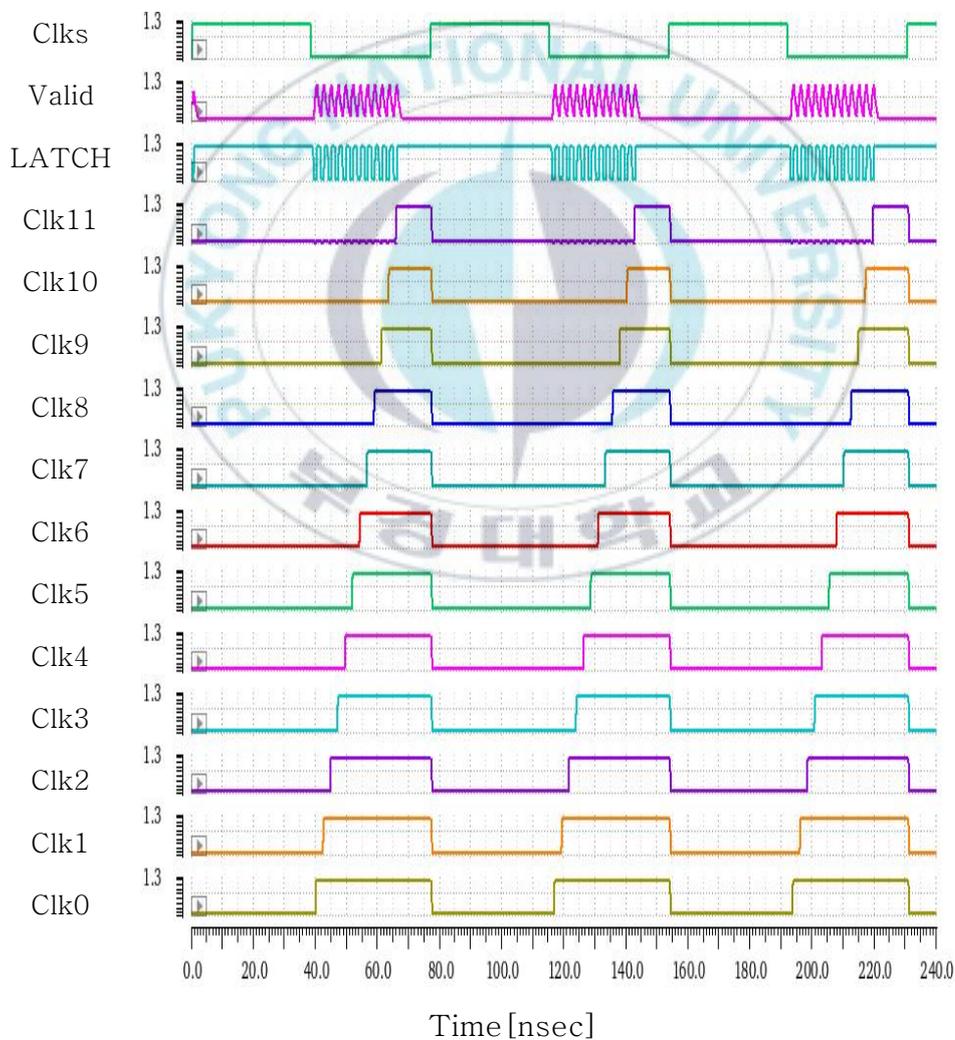
[그림 4.1] 샘플 앤 홀드 단 결과

[그림 4.2]는 비교기 회로의 시뮬레이션 결과를 나타낸다. 비교기의 입력으로 커패시터 어레이 네트워크 단의 출력파형 <INN>과 <INP>를 인가해주었으며 클럭 <LATCH>에 따라 결과를 출력하게 된다. 두 입력신호의 비교를 확인하기 위해 <INN>은 0.6V로 고정시키고 <INP>를 1.2V와 0V의 펄스형태로 인가하였으며, 클럭 <LATCH>는 별도의 클럭을 생성하여 시뮬레이션을 진행하였다. 출력 파형 <OUTn>은 입력 <INN>을 탐색하며 <INN>이 <INP>보다 작을 때 클럭 <LATCH>와 전압이 반대되는 파형이 생성되고 <INN>이 <INP>보다 클 때는 전압에 연결되어 결과가 출력된다. <OUTp>는 입력 <INP>를 탐색하며 마찬가지로 <INP>와 <INN>을 비교하면서 동일하게 진행된다.



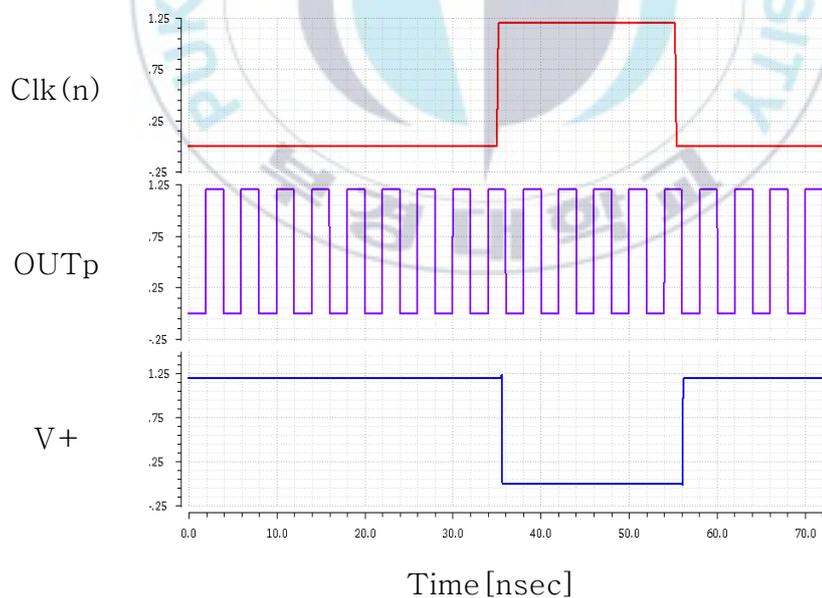
[그림 4.2] 비교기 단 결과

[그림 4.3]은 SAR 로직 단의 시뮬레이션 출력 파형 <Clk0~Clk11>과 비교 클럭 <LATCH> 신호를 나타낸 것이다. D 플립플롭의 입력으로 들어가는 <Clks>와 <Valid>가 상호작용하여 동작하며 <Clks>가 리셋된 후에 순차적으로 12개의 클럭 제어 신호가 생성되고, 출력된 클럭들은 DAC 제어 로직 단을 거쳐 커패시터 어레이 단을 제어하기 위한 신호가 된다.

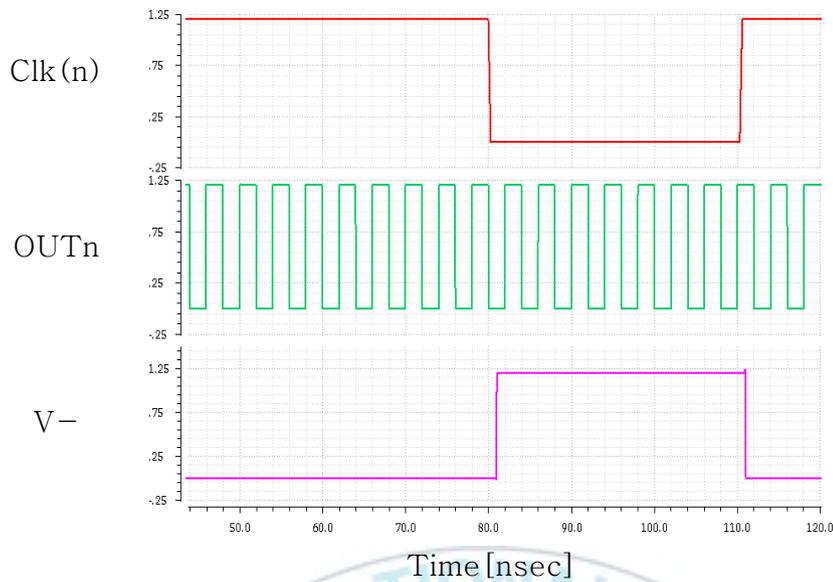


[그림 4.3] SAR 로직 단 출력

[그림 4.4]는 DAC 제어 로직 단에서 커패시터 어레이 네트워크 단을 제어하는 신호의 시뮬레이션 출력 파형을 나타낸다. DAC 제어 로직 단 내부의 D 플립플롭과 논리 게이트를 거쳐 SAR 제어 로직 단의 출력 클럭 신호 <Clk0~Clk11>과 비교기 출력 신호를 입력으로 받아 결과를 출력한다. [그림 4.4(a)]와 같이 <Clki>의 상승 모서리에서 제어 신호에 해당하는 비교기 출력신호 <OUTp>가 'High'일 때, 출력 <V+>는 기준전압 <Vref>에서 접지로 스위칭 되고 비교기 출력신호가 'Low'일 때 <V+>는 <Vref>에 연결되어 유지한다. 반면 [그림 4.4(b)]와 같이 <Clki>가 하강 모서리가 되면 비교기 출력 신호가 'High'가 될 때까지 현재 상태를 유지하다가 'High'에서 기준 전압으로 연결된다.



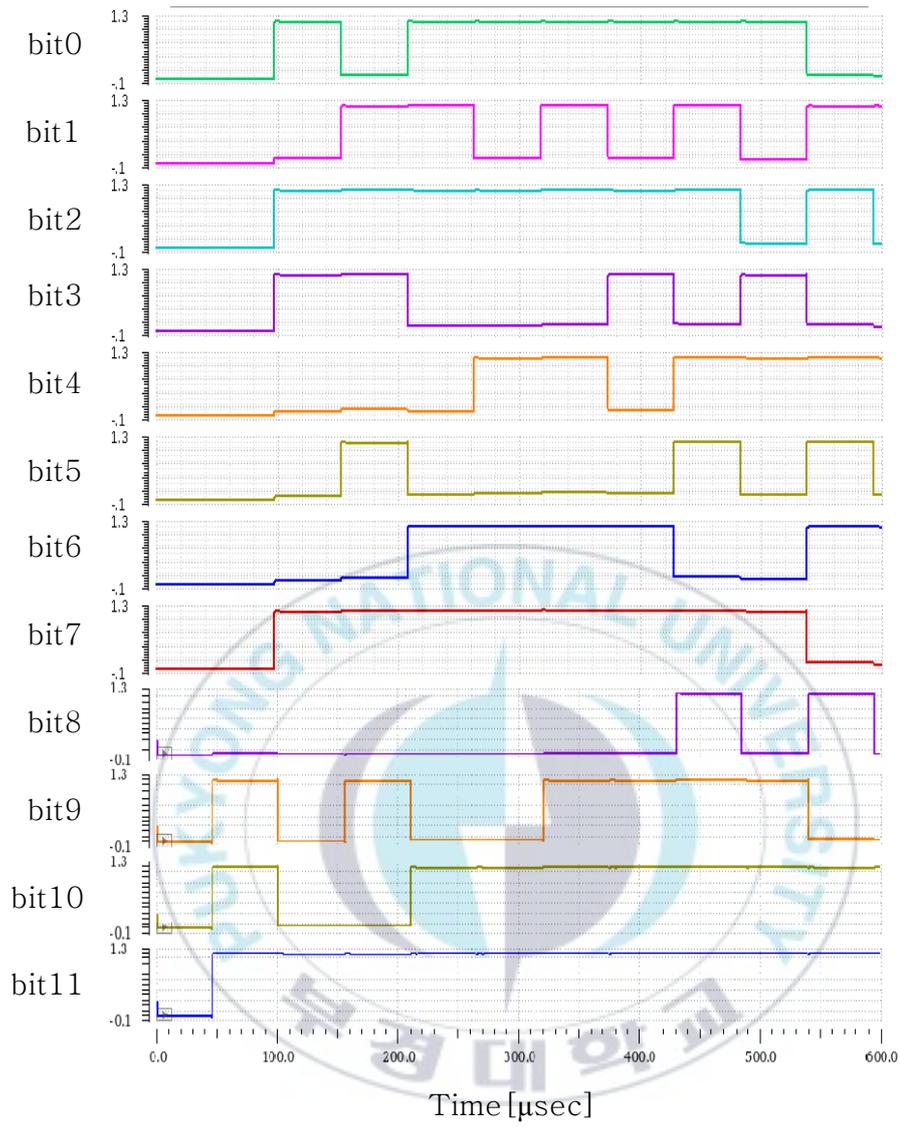
(a)



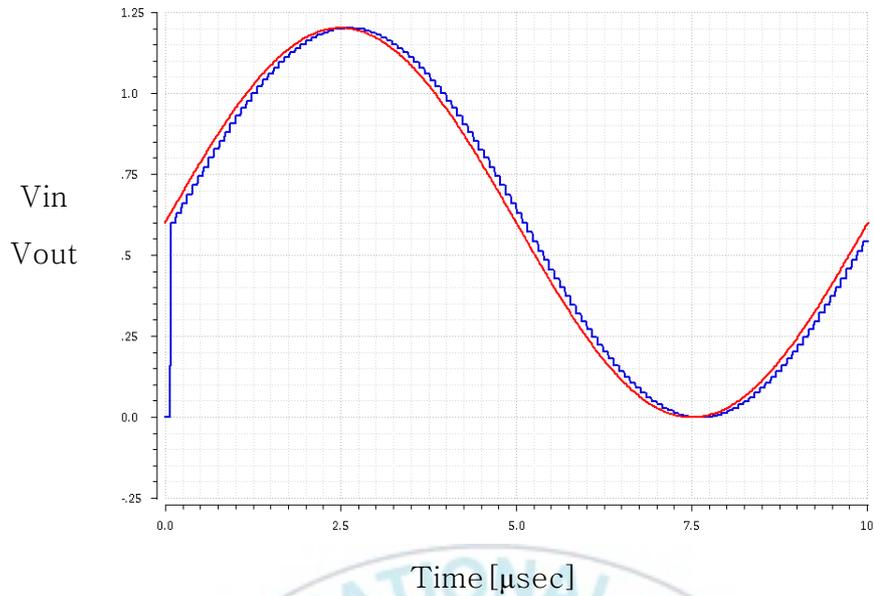
(b)

[그림 4.4] 입력에 따른 DAC 제어 로직 단의 출력 신호 비교

[그림 4.5(a)]는 DAC 제어 로직 단에서 아날로그 입력 신호가 12비트의 디지털 신호로 변환된 결과를 나타낸 것이며, [그림 4.5(b)]는 DAC 단을 거친 디지털 신호의 최종 출력 파형을 나타낸 것이다. 서로 다른 비트를 가진 12개의 디지털 신호가 입력되어 아날로그 입력 신호로 복구되는 것을 확인할 수 있으며 시뮬레이션 과정에서 발생한 지연시간으로 인하여 출력 파형에서 약간의 딜레이가 발생한다.



(a) DAC단의 12비트 입력 신호

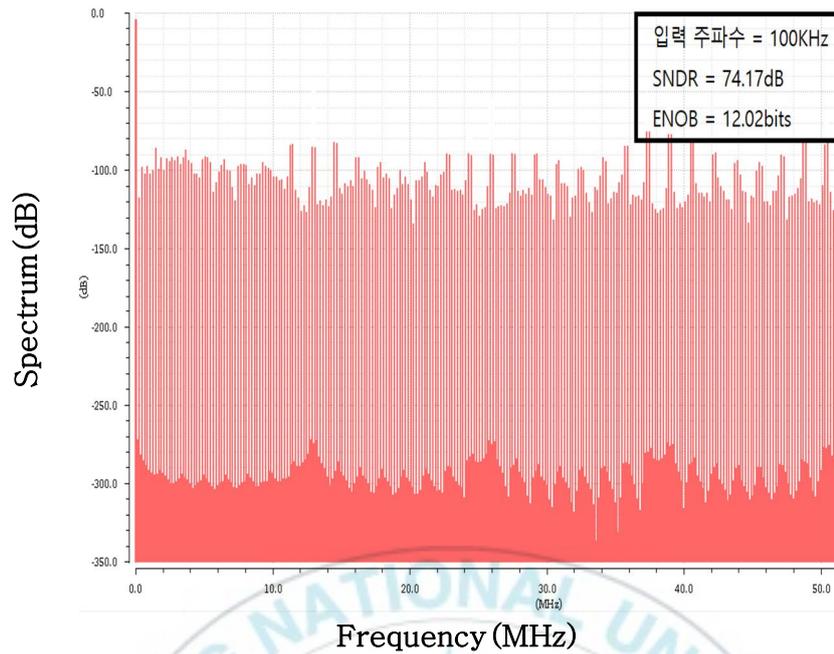


(b) DAC 단의 출력 신호

[그림 4.5] DAC 단 시뮬레이션 결과

4-2 주요 성능변수 평가

[그림 4.6]은 SAR ADC의 성능 변수를 나타낸 결과이다. 입력 주파수로 100kHz를 인가하였으며 정확한 성능변수를 구하기 위해 코히어런트 샘플링을 진행하였다. [그림 4.6]을 통해 SAR ADC의 주요 성능변수에 해당하는 유효비트 수(effective number of bits, ENOB)는 약 12.02비트이며, 신호 대 잡음 왜곡 비(signal to noise and distortion ratio, SNDR)는 약 74dB임을 알 수 있다.



[그림 4.6] SAR ADC 성능 변수

[표 4.1]은 본 논문에서 설계한 SAR ADC의 성능을 요약하여 기존의 연구 결과와 비교한 것이다. 유효비트 수와 신호 대 잡음 왜곡 비는 값이 클수록 특성이 우수하며 소비되는 전력이 적고 유효 칩 면적은 작을수록 ADC의 성능이 우수하다. 제안하는 SAR ADC는 동일한 12비트 해상도의 기존 연구와 비교하였을 때 유효 칩 면적과 소비전력 및 ENOB에서 더 나은 특성을 보였다.

[표 4.1] SAR ADC 성능 요약

	This work	[17]	[18]	[19]	[20]
Structure	SAR	SAR	SAR	SAR	SAR
Resolution (bit)	12	12	12	12	12
Technology (nm)	130	130	130	130	180
ENOB(bit)	12.02	11.46	10.11	11.4	10.8
SNDR (dB)	74.1	70.8	70.1	-	66.78
Power Consumption (W)	63.07 μ	4.95m	0.21m	6.6m	1.5m
V _{DD} (V)	1.2	3.3	1.2	3.3	1.8
Sampling Rate (Msps)	1	16	25	200K	1
Chip Area(mm ²)	0.028	0.189	0.119	2	0.64



제 5장 결론

본 논문에서는 자연계에 존재하는 아날로그 신호를 디지털 신호로 변환해주는 축자 비교형 아날로그 디지털 변환기(Successive Approximation Register Analog-Digital Converter, SAR ADC)를 제안하였다.

설계한 SAR ADC는 샘플 앤 홀드 단, 커패시터 어레이 단, 비교기 단, SAR 제어 로직 단, DAC 제어 로직 단 및 DAC 단으로 구성하였다. 전력소모 및 유효 칩 면적을 고려하여 최적화할 수 있도록 연구하였으며 12비트 해상도에 샘플링 속도는 1MSps의 성능을 가지도록 설계하였다.

본 연구에서는 ADS 프로그램과 Cadence Virtuoso를 이용하여 회로를 설계하고 시뮬레이션 하였으며, 레이아웃은 Cadence Virtuoso에서 진행하였다.

제안하는 축자 비교형 아날로그 디지털 변환기는 약 74.17dB의 신호 대 잡음 왜곡 비(SNDR)와 12.02비트의 유효비트 수(ENOB) 특성을 보였다. 유효 칩 면적은 약 0.028mm^2 이며 $63.07\mu\text{W}$ 의 소비전력을 가짐으로써 기존 연구 결과에 비해 향상된 특성을 보였다.

참고문헌

- [1] J.-I. Chun, Y.-J. Choi, J.-Y. Ryu, “Design of a Low-Power 12-bit 1MSps SAR Analog-to-Digital Converter” , Journal of Institute of Control, Robotics and Systems, under review, 2020.
- [2] Y.-J. Choi, J.-I. Chun, J.-Y. Ryu, “Design of Low-Power Programmable Gain Amplifier with DC-Offset Cancellation Circuit” , Journal of Institute of Control, Robotics and Systems, Vol. 26, No. 10, pp. 832–837, October 2020.
- [3] J.-I. Chun, Y.-J. Choi, E.-K. Choi, A. Siddique, M. Kurbanov, T. S. Delwar, P. Behera, M. R. Biswal, J.-Y. Ryu, “Design of High-SNDR 12-bit 1MSps Fully-differential SAR ADC”, Proceedings of 2020 Symposium on the Institute of Electronics and Information Engineers, Vol. 9, No. 1, pp. 55–57, December 2020.
- [4] J.-I. Chun, J.-Y. Ryu, “A 12bit 1 Msps Asynchronous Fully Differential SAR ADC for SOC”, International Symposium on Precision Engineering and Sustainable Manufacturing, pp. 52, November 2020.
- [5] J.-I. Chun, Y.-J. Choi, M.-U. Sung, A. Siddique, M. Kurbanov, T. S. Delwar, P. Behera, K.-P. Kil, S.-G. Kim, and J.-Y. Ryu, “Design of Low-Power 12-bit 1MSps SAR Analog-to-Digital Converter” , Proceedings of 2019 Symposium on the Institute of Electronics and Information Engineers, Vol. 8, No. 1, pp. 122–124, December 2019.
- [6] J.-I. Chun, Y.-J. Choi, K.-P. Kil, M.-U. Sung, S.-G. Kim, M. Kurbanov, D. T. Samira, A. Siddique, P. Behera, J.-Y. Ryu, S.-H. Noh, and M. Yoon, “Design of Programmable Finite Impulse Response Filter” , Proceedings of Conference on Information and

Communication Engineering, Vol. 23, No. 2, pp. 671–673, October 2019.

- [7] J.-I. Chun, Y.-J. Choi, M.-U. Sung, A. Siddique, M. Kurbanov, T. S. Delwar, K.-Pil Kil, S.-G. Kim, and J.-Y. Ryu, “Design of Programmable Gain Amplifier”, Proceedings of 2019 Symposium on the Institute of Electronics and Information Engineers, Vol. 8, No. 1, pp. 53–54, June 2019.
- [8] J.-I. Chun, Y.-J. Choi, M.-U. Sung, K.-P. Kil, S.-G. Kim, M. Kurbanov, D. T. Samira, A. Siddique, J.-Y. Ryu, S.-H. Noh, and M. Yoon, “Design of Programmable Finite Impulse Response Filter”, Proceedings of Conference on Information and Communication Engineering, Vol. 23, No. 1, pp. 469–471, May 2019.
- [9] M.-U. Seong, J.-H. Lee, and J.-Y. Ryu, “Design of a Low Area 12-bit 1MSps SAR ADC”, Journal of Korean Institute of Information Technology, Vol. 13, No. 2, pp. 1–6, February 2015.
- [10] S.-K. Choi, M.-U. Seong, S.-W. Kim, J.-Y. Ryu, “Design of a 12-bit 1MSps SAR ADC for System-on-Chip”, Journal of Korean Institute of Information Technology, Vol. 12, No. 5, pp. 1–6, May 2014.
- [11] S. K. Choi, S. W. Kim, M. U. Seong, and J. Y. Ryu, “A 12bit 1MSps CMOS SAR ADC Design”, Proceedings of Conference on Information and Communication Engineering, Vol. 17, No. 1, pp. 352–353, May 2013.
- [12] M. U. Seong, S. K. Choi, S. W. Kim, S. G. Kim, J. S. Lee, S. M. Oh, M. S. Seo, and J. Y. Ryu, “Design of a 12-bit 1MSps SAR ADC using 0.18 μ m CMOS Process”, Proceedings of Conference on Information and Communication Engineering, Vol. 17, No. 2, pp. 365–367, October 2013.
- [13] 이승훈, 김범섭, 송민규, 최중호 공저, “CMOS 아날로그/혼성모드칩

- 적시스템설계,” 시그마프레스, 1999.
- [14] 박상민, “입력신호 범위의 가변이 가능한 10비트 20MS/s CMOS 비동기 축차 근사형 아날로그/디지털 변환기”, 석사학위논문, 금오공과대학교, 2015.
- [15] 조영재, 임신일, 이승훈, “Data Converters (ADC, DAC) IC 설계기술”, 전자공학회지, 제 31권, 제 9호 (통권 제 244호), pp. 21-31, 2004년 9월.
- [16] Wen-Cheng Lai, Ho-Chang Lee, Yen-Jung Su and Sheng-Lyang Jang, “SAR ADC with a body effect reduction T/H circuit for wireless power transfer applications,” 2017 IEEE 3rd International Future Energy Electronics Conference and ECCE Asia (IFEEC 2017 - ECCE Asia), pp. 638-642, 2017.
- [17] L. Xie, X. Han, H. Zhang and X. Jin, "A 12bit 16MS/s Asynchronous SAR ADC with Speed-Enhanced Comparator and TSPC Latch," *2019 IEEE 4th International Conference on Integrated Circuits and Microsystems (ICICM)*, Beijing, China, 2019, pp. 104-108
- [18] S. Li, Y. Guo, Y. Liu, J. Chen, Q. Xu and J. Zhang, "A 1.2V 12 Bits SAR ADC with a Two Stages Amplifier Full-scale Differential Dynamic Comparator," *2018 10th International Conference on Communications, Circuits and Systems (ICCCAS)*, Chengdu, China, 2018, pp. 22-24
- [19] A. Shrivastava, "12-bit non-calibrating noise-immune redundant SAR ADC for system-on-a-chip," *2006 IEEE International Symposium on Circuits and Systems*, Island of Kos, 2006, pp. 4 pp.-1518
- [20] 김주성, “저전력 SAR 형 12비트 아날로그-디지털 변환기 설계”, 건국대학교 대학원 석사학위 청구논문, 2011년 2월.
- [21] 박보영, 최예지, 델웨어 타헤신 사미라, 배해라 프란가다르시니, 비스왈

- 마나스 란잔, 시디크 아브라르, 하빔블로예브 파흐리딘 압두하림 우그리, 성명우, 류지열. (2022). 저전력 12비트 아날로그 디지털 변환기 설계. 대한전자공학회 학술대회, 365-367.
- [22] 천재일, 류지열 "12비트 1MSps 완전 차동 SAR ADC 개발" 부경대학교 공학석사학위논문, 2021
- [23] 최성규, 2014. USN 용 12 비트 연속 근사화 아날로그-디지털 변환기 설계 (Doctoral dissertation, 부경대학교).
- [24] Nazzal, Tasnim & Mahmoud, Soliman. (2016). Low-Power Bootstrapped Sample and Hold Circuit for Analog-to-Digital Converters. 10.1109/MWSCAS.2016.7870027.
- [25] Nazzal, Tasnim & Mahmoud, Soliman. (2016). On the Design of Low Power CMOS (SA-ADCs) for Biomedical Applications, pp. 6-25.
- [26] 강연화. "SPLIT CAPACITOR ARRAY와 보정회로 기반 저전력 SAR ADC 설계." 국내석사학위논문 충북대학교, 2021. 충청북도
- [27] 김정흠, 이상현, 윤광섭.(2017).C-DAC Array내 선형성을 향상시킨 10비트 CMOS SAR ADC 설계. 전자공학회논문지, 54(2),47-52.
- [28] W. Guo and S. Mirabbasi, "A low-power 10-bit 50-MS/s SAR ADC using a parasitic-compensated split-capacitor DAC," 2012 IEEE International Symposium on Circuits and Systems (ISCAS), Seoul, Korea (South), 2012, pp. 1275-1278.
- [29] Xin, Xin & Cai, Jueping & Xie, Ruilian & wang, peng. (2017). Ultra low power comparator with dynamic offset cancellation for SAR ADC. Electronics Letters. 53. 10.1049/el.2017.2916.
- [30] Sung, G.-M.; Huang, C.-C.; Xiao, X.; Hsu, S.-Y. 10-Bit 5 MS/s Successive Approximation Register Analog-to-Digital

Converter with a Phase–Locked Loop and Modified Bootstrapped Switch for a BLDC Motor Drive. *Electronics* 2022, 11, 624.

- [31] K. Arabi and B. Kaminska, "Design for testability of embedded integrated operational amplifiers," in *IEEE Journal of Solid–State Circuits*, vol. 33, no. 4, pp. 573–581, April 1998.
- [32] H. Zhang and G. Shi, "Symbolic behavioral modeling for slew and settling analysis of operational amplifiers," 2011 IEEE 54th International Midwest Symposium on Circuits and Systems (MWSCAS), Seoul, Korea (South), 2011, pp. 1–4.



별 첨

(1) Journal

Paper Title	Date	Journal Title
Design of Low power 12bit SAR Analog-to-Digital Converter	October 2023	Journal of Institute of Control, Robotics and Systems(SCOPUS)

(2) Conference

Paper Title	Date	Conference Title
A Low power 12bit Analog to Digital Converter	June 2023	2023 대한전자공학회 하계 학술대회
저전력 12비트 아날로그 디지털 변환기	December 2022	2022 전자통신 추계 학술대회
저전력 12비트 아날로그 디지털 변환기 설계	July 2022	2022 대한전자공학회 하계 학술대회
Design of Programmable Gain Amplifier	July 2022	2022 대한전자공학회 하계 학술대회
PYNQ-Z board: A low-cost interface for image processing based on IoT platform	July 2022	2022 대한전자공학회 하계 학술대회
Realizing DNN on low resource FPGA based IoT devices	July 2022	2022 대한전자공학회 하계 학술대회
A 24 GHz High Gain, High Efficient Stagger-Tuned CMOS Power Amplifier	July 2022	2022 대한전자공학회 하계 학술대회
Design and Analysis of 24 GHz VCO for FMCW Radar Applications	July 2022	2022 대한전자공학회 하계 학술대회
저전력 12비트 아날로그 디지털 변환기	June 2022	2022 한국통신공학회 학술대회

감사의 글

석사과정을 마치기까지 5년을 되돌아보며 도움을 주신 많은 분들께 감사의 글을 적습니다.

우선 대학원이라는 기회를 주신 류지열 교수님께 감사의 마음을 전합니다. 대학원 진학을 늦게 결정하여 학부 막학기가 끝나가는 시점에 교수님을 찾아 보였습니다. 그때까지도 망설이고 있던 저에게 확신을 주셨고 저는 교수님을 믿고 연구실에 합류하게 되었습니다. 남들보다 늦게 연구실의 일원이 되어 적응하기 힘들 것이라 스스로 예상하였지만 교수님께서 챙겨 주신 덕분에 빠르게 녹아들 수 있었습니다. 전공공부부터 시작하여 국내 학술대회, 국외프로그램 등 연구실에서 배울 수 있었던 크고 작은 지식과 경험들이 앞으로 저의 인생에 단단한 뿌리가 되어줄 것이라 생각합니다. 이러한 소중한 기회를 주시고, 대학원의 길로 이끌어주셔서, 그리고 저의 지도교수님이 되어주셔서 감사드립니다. 또한 바쁘신 와중에도 제 논문을 심사해주시고 부족한 부분을 조언해주신 박규철 교수님과 김성운 선배님께 감사의 말씀을 올립니다.

또한 연구실 생활 동안 정말 많은 도움을 준 예지연니! 유학 준비하느라 바쁜 와중에도 챙겨주고 도와줘서 정말 너무 고마웠어. 그리고 석사과정동안 함께했던 우리 SoC연구실원들, 다 함께 뜻깊은 경험할 수 있어서 좋았고 고맙습니다. 또 힘들 때마다 곁에 있어주었던 내 소중한 친구들도 모두

고마워.

마지막으로 사랑하는 엄마아빠, 변함없이 나를 믿어주고 사랑해줘서
고맙고 앞으로도 잘 부탁드립니다. 아낌없는 애정에 보답하는 딸이 될게
요. 사랑하고 감사합니다.

