



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권으로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공 학 석 사 학 위 논 문

Fractional ripple 보상 PFD 를 이용한
fractional-N 주파수 합성기 설계



2007 년 2월

부 경 대 학 교 대 학 원

전 자 공 학 과

양 홍 준

공학 석사 학위 논문

Fractional ripple 보상 PFD 를 이용한
fractional-N 주파수 합성기 설계

지도교수 최 영 식

이 논문을 공학석사 학위논문으로 제출함

2007 년 2 월

부 경 대 학 교 대 학 원

전 자 공 학과

양 홍 준

양홍준의 공학석사 학위논문을 인준함.

2007 년 2월



주 심 공학박사 권 태 하 (인)

위 원 공학박사 최 혁 환 (인)

위 원 공학박사 최 영 식 (인)

목 차

Abstract

I. 서론.....	1
II. 주파수 합성기의 기본이론.....	4
2.1 기본 블록들의 동작 특성.....	6
2.2 전하펌프 PLL의 선형적 분석.....	7
2.3 주파수 분주기 구조에 따른 PLL.....	10
2.3.1 Integer-N구조.....	10
2.3.2 Fractional-N구조.....	11
III Delta sigma 방식의 주파수 합성기 설계.....	15
3.1 Delta sigma 변조기를 이용한 fractional-N PLL.....	15
3.2 Adaptive bandwidth를 이용한 fractional-N PLL.....	18
3.3 Simulink를 이용한 PLL 모델링.....	20
3.4 전체 주파수 합성기의 구조.....	25
VI 시뮬레이션 결과 및 레이아웃.....	36
4.1 시뮬레이션 결과.....	36
4.2 레이아웃.....	42
V 결론.....	43
참고문헌.....	45

**A Fractional-N Frequency Synthesizer Architecture with Fractional Ripple
Compensating PFD**

Hong Jun Yang

*Department of Electronic Engineering, The Graduate School,
Pukyong National University*

Abstract

In this paper, We propose the low fractional spur phase-locked loop(PLL) with multiple phase-frequency detector(PFD). We used a new PFD architecture with two different edge detection method. We suppressed the influence of fractional ripple by limiting a maximum width of the output signals of PFD, therefore the fractional ripple compensation can be done. The proposed PLL was simulated by HSPICE using 0.35 μ m CMOS parameters. The simulation result shows that this type of PLL is able to fast lock, and reduce phase noise and fractional spurs. The behavioral simulation of the proposed fractional-N PLL with a $\Delta\Sigma$ modulator was carried out by using MatLab to determine if the architecture could achieve the objectives.

I 서론

최근 급증하는 휴대전화의 사용과, IMT-2000, 휴대 인터넷 등과 같은 무선 시스템의 발전으로 저잡음 증폭기, 믹서, 주파수 합성기와 같은 이동 통신용 부품에 대한 수요가 증가하고 있다. 이런 부품들은 휴대용 배터리로 동작하므로 전력소모가 적어야 하고, 휴대성이 좋아야 하므로 집적도를 높여 부피를 줄여야 한다. 이러한 특성들을 만족 시키기 위하여 GaAs, Bi-CMOS등의 공정을 이용하여 제작되어왔다. 그러나 최근 CMOS공정의 발달로 CMOS공정으로도 이러한 특성들을 만족시킬 수 있게 됨에 따라 CMOS RF IC에 대한 연구가 활발히 이루어지고 있다.

주파수 합성기는 일반적으로 phase locked loop(PLL)을 기반으로 한다. 무선통신시스템에 사용되는 주파수 합성기의 경우, 시스템 요구조건을 만족하면서 interfere와 여러 가지 노이즈에 대한 영향을 막기 위해 낮은 위상 잡음, 빠른 락킹 시간, 좋은 주파수 resolution 등을 요구한다. PLL의 개념은 1930년대에 처음 개발되었고, 반도체의 집적화 기술의 발달로 많은 분야에서 널리 사용되고 있다. 이러한 연구의 하나로 fractional-N 방식의 PLL이 등장하였다. 채널 간격이 좁은 통신 시스템이 개발되면서 좁은 대역폭 때문에 integer-N 구조는 락킹 시간이 길어지기 때문에 대역폭이 좁은 통신시스템에 integer-N 방식을 적용하는 것이 어려웠다. 이러한 문제점의 해결책으로 입력 주파수의 분수배로 주파수를 합성하는 fractional-N 방식이 제안되었다[1]. 그러나 fractional-N방식은 주파수를 더욱

효율 적으로 사용할 수 있지만 fractional spur의 문제가 있었다. Fractional spur를 해결하기 위해 DAC를 이용하는 방법, delta sigma 변조를 이용하는 방법 등이 해결책으로 제시되고 있다[2][3]. 그러나 DAC 등을 이용하게 되면 더욱 회로가 복잡해지며 전력 소모 또한 크게 증가한다.

본 논문에서는 fractional-N 구조의 문제점인 fractional spur를 해결하는 방법과, 동시에 락킹 시간 또한 줄일 수 있는 PLL을 제안한다. Fractional spur는 대역폭을 줄이게 되면 낮아지는데, 대역폭이 좁아지면 락킹 시간이 길어지는 단점이 있으므로 이 두 가지 문제점을 해결하기 위해 lock state indicator(LSI)를 사용하여 락킹 이전과 락킹 이후의 대역폭을 조절하여 위의 두 문제를 해결하였다. 또한 전하펌프(charge pump)에 흐르는 전류에 따라 대역폭이 변하는 특성을 이용하여 락킹 이후의 작은 전류로 fractional spur를 줄여 델타 시그마 변조기의 차수도 줄일 수 있음을 알 수 있었다. 또한 새로운 구조의 PFD를 사용하여 락킹 상태에서 PFD 출력 신호의 폭을 제한하여 전하펌프의 전류량을 조절하는 방법을 통하여 대역폭을 줄여서 fractional spur의 크기를 감소시켰다.

그리고 PLL을 설계할 때 HSPICE 시뮬레이션을 통하여서 결과를 검증하고, 설계를 최적화 시키게 되는데 fractional-N 구조는 HSPICE를 이용할 경우 integer-N PLL의 경우 보다 10배 이상의 시간을 필요하게 된다. 이러한 시뮬레이션 상의 문제를 해결하기 위하여 보다 간단하고 빠른 시뮬레이션 기법에 대한 연구도 많이 진행되고 있다[4][5]. 본 논문에서는 MatLab의 Simulink 프로그램

을 이용하여 PLL을 수학적으로 모델링 해, 간단히 결과를 검증 할 수 있는 방법
을 제안한다.

제안한 PLL은 $0.35\mu\text{m}$ CMOS공정을 이용하여 제작하였고, 동작주파수는 896MHz
이고, 락킹 시간은 $40\mu\text{s}$ 이다.



Ⅱ. 주파수 합성기의 기본 이론

주파수 합성기를 구현하는 방법에는 여러 가지 방법들이 제안되어 왔다. 그 중에 가장 보편적으로 사용하는 방법이 PLL를 이용하는데, 그 이유는 PLL은 낮은 위상잡음, 낮은 spurious tone등 여러 가지 장점을 가지고 있기 때문이다.

PLL은 기준 주파수에 대해 주파수와 위상이 같은 신호를 만들어 내는 회로이다. PLL의 여러 특성 중 주파수 합성기로서 PLL의 동작특성을 나타내는 지표는 위상잡음(phase noise), 락킹 시간, spurious tone등이 있다. 이들 모두 PLL의 대역폭에 의해 영향을 받는다. 대역폭이 넓어지면, 락킹 시간이 짧아지고, 대역폭이 줄어들면 반대의 효과를 나타내게 된다. 대역폭은 PLL에 인가되는 기준 주파수에 의존한다. 본 논문에서 다루고 있는 PLL은 전하 펌프 PLL로 기본적인 블록 다이어그램은 그림 2.1과 같다.

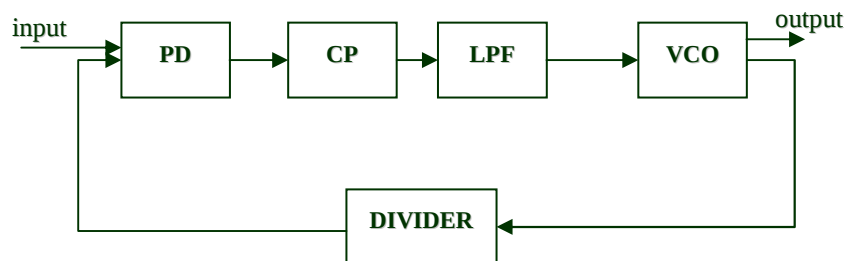


그림 2.1. PLL블록 다이어그램

PLL은 위상주파수 검출기(phase frequency detector), 전하펌프(charge pump), 루프 필터(loop filter), 전압 제어 발진기(voltage controlled oscillator), 주파수 분주기(divider)의 주요 부분으로 나누어져 있다. PLL의 동작을 살펴보면, 위상 주파수 검출기는 외부로부터 입력되는 기준주파수(F_{ref}) 신호와 전압 제어 발진기에서 생성되는 신호의 위상과 주파수를 비교하여 위상 및 주파수의 차이에 해당하는 신호를 출력하여 전하펌프를 구동한다. 전하펌프는 입력신호의 펄스폭에 비례하는 전류를 구동하여 루프 필터의 커패시터를 충전 또는 방전시킴으로써 전압 제어 발진기의 출력신호(F_{out})와 위상을 기준주파수의 위상과 주파수에 동일하게 만드는 전압 제어 발진기의 제어전압을 발생시킨다.

PLL이 위상 고정되는 과정은 비선형적 과정이지만 위상 고정된 후에는 PLL을 선형 모델링 할 수 있다. 그림 2.2는 위상고정상태에서 PLL의 선형모델을 나타낸다.

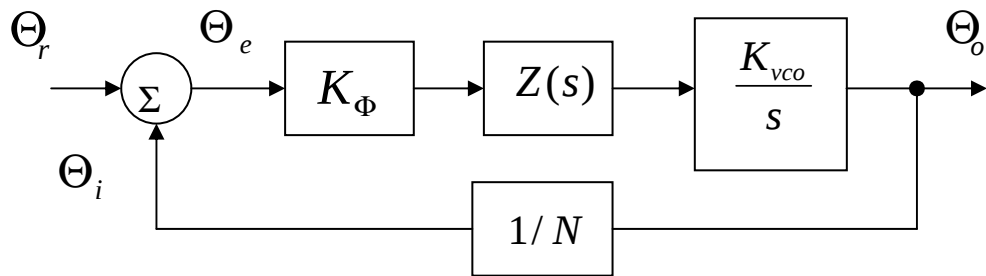


그림 2.2. 위상고정상태에서의 PLL 선형 모델

2.1 기본 블록들의 동작특성

본 장에서는 전하펌프 PLL을 선형 시스템으로 가정하고 기본 블록들의 동작을 이해하고자 한다.

위상 검출기 (phase detector)

위상 검출기 PD는 두 입력 위상간의 위상차에 비례하는 전압을 발생시키는 역할을 한다. 두 입력의 위상차를 $\Delta\theta$ 라디안이라 하면, PFD는 주기가 $2\pi / f_{PFD}$ 이고 펄스의 크기가(duration) $|\Delta\theta| / \omega_{PFD} (= 2\pi f_{PFD})$ 인 펄스를 발생시킨다. 전하펌프의 전류가 I_p 라 할 때, 이는 전하펌프에 인가되어 각각의 cycle당 $I_p \Delta\theta / 2\pi$ 의 전류를 LPF에 전달해 준다. 이를 LPF는 전압으로 바꾸어 주는 역할을 한다. 이를 수식으로 표현하면 수식(1)와 같다.

$$V_{cont}(s) = \frac{1}{2\pi} I_p G_{LPF}(s) \cdot \Delta\theta(s) \quad (1)$$

위의 수식에서 V_{cont} 는 LPF의 출력 전압이며, G_{LPF} 는 LPF의 전달함수이다.

전압 제어 발진기

전압 제어 발진기는 입력전압에 비례하는 주파수를 발생하는 블록으로, 그 수

식은 다음과 같다.

$$\omega_{out} = \omega_{free} + K_{vco} V_{cont} \quad (2)$$

위의 수식에서 ω_{free} 는 V_{cont} 전압이 인가되지 않았을 경우의 전압 제어 발진기 free running frequency, K_{vco} 는 전압 제어 발진기의 이득을 의미한다. 위의 수식에서 전압 제어 발진기의 전달함수를 구하면 다음과 같다.

$$\Phi_{out}(s) = \frac{1}{s} \cdot K_{vco} V_{cont} \quad (3)$$

주파수 분주기

출력 주파수를 입력 기준 주파수에 비해 높은 주파수를 가지게 하기 위해서는 전압 제어 발진기의 주파수를 그대로 사용하지 못하고, 주파수 분주기를 이용해서 주파수를 분주하게 된다. 이때 사용되는 주파수 분주기의 특성에 따라 integer-N, fractional-N 방식으로 나누어진다.

2.2 전하펌프 PLL의 선형적 분석

루프의 동작특성을 s-domain에서 분석하면 열린 루프 전달함수와, 닫힌 루프의 전달함수는 수식 (4) (5)와 같이 나타낼 수 있다

$$H_{open} = K_{PFD} \frac{K_{vco}}{s} G_{LPF}(s) \quad (4)$$

$$H_{closed}(s) = \frac{K_{PFD} K_{vco} G_{LPF}(s)}{s + K_{PFD} K_{vco} G_{LPF}(s)} \quad (5)$$

위의 수식을 바탕으로 PLL의 열린 루프 전달함수는 수식(6)과 같고, 닫힌 루프의 전달함수는 수식(7)이다.

$$\frac{\theta_o(s)}{\Delta\theta(s)} = \frac{1}{2\pi} I_P G_{LPF}(s) \frac{K_{vco}}{s} \quad (6)$$

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{K_{vco} I_P G_{LPF}(s)}{2\pi + K_{vco} I_P G_{LPF}(s)} \quad (7)$$

$G_{LPF}(s)$ 는 루프 필터의 전달함수를 나타내고, 주로 저역통과 필터가 사용된다.

2차필터를 사용하는 경우에 대하여 루프의 동적 특성을 살펴보기로 한다. 2차

필터를 사용하면 두 개의 pole은 원점에 존재하고 나머지 하나의 pole과 한 개의 zero를 이용하여 위상 마진을 고려하여 루프의 안정성을 보장하게 하고, 대역폭을 조절하게 된다. 2차 필터는 그림 2.3과 같다.

2차필터를 이용한 전체 PLL의 열린 루프와 닫힌 루프의 전달함수를 구하면 다음과 같다.

$$H_{open}(s) = \frac{1}{2\pi} I_P \cdot \frac{1+sRC_1}{s(C_1+C_2)+s^2RC_1C_2} \cdot \frac{K_{vco}}{s} \quad (8)$$

$$H_{closed}(s) = \frac{K_{vco}I_P(1+sRC_1)}{K_{vco}I_P + K_{vco}I_PRC_1s + 2\pi(C_1+C_2)s^2 + 2\pi RC_1C_2s^3} \quad (9)$$

위의 수식(8), (9)에서처럼 원점에 2개의 pole이 존재하고, $\frac{C_1+C_2}{RC_1C_2}$ 에 pole이 하나 존재하고, $\frac{1}{RC_1}$ 에 하나의 zero가 존재한다. 위의 전달함수에 대한 위상에 대한 보드선도를 그리면 그림 2.4와 같다.

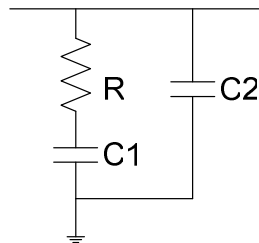


그림 2.3. 2 차 루프 필터

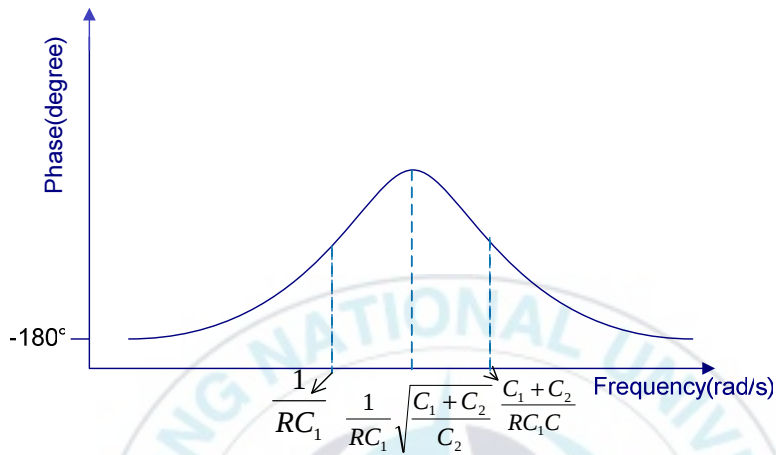


그림 2.4. 3 차 PLL 의 위상특성

루프 필터의 차수에 따라, 그리고 R 과 C_1 , C_2 의 값에 따라 위상의 특성이 달라지므로 원하는 대역폭과, 안정성을 고려하여 필터를 설계하여야 한다.

2.3 주파수 분주기 구조에 따른 PLL

2.3.1 Integer-N

Integer-N은 가장 일반적인 방법으로써 채널 간격과 입력 기준 주파수가 같지 않을 때에 전압 제어 발진기의 출력 신호를 N 으로 나누어 사용하는 방법이다.

Integer-N 구조에서 전압 제어 발진기에서 생성되는 주파수는 다음과 같다.

$$f_{out} = Nf_{ref} \text{ or } f_{out} = \frac{N}{M} f_{ref} \quad (10)$$

M은 입력 기준 주파수를 나누어서 사용할 때의 나누는 수를 말한다. 실제로 PLL의 구조에서는 M보다는 N의 변화를 주어서 주파수를 만들어 내는 것이 간단하기 때문에 M보다는 N을 변화시켜 원하는 주파수를 얻게 된다.

그러나 integer-N 구조는 합성 가능한 주파수 간격이 f_{ref} 가 된다. 현재의 여러 통신 시스템처럼 채널 간격이 좁은 시스템에서 사용하기 위해서는 f_{ref} 가 낮아질 수 밖에 없기 때문에, 낮은 f_{ref} 때문에 안정성을 고려할 때 대역폭이 좁아지게 되고, 좁은 대역폭 때문에 락킹 시간이 길어진다.

2.3.2 Fractional-N 구조

통신 시스템들이 발전 하면서 각 채널이 가질 수 있는 대역폭은 좁아지고, 채널간의 간격도 좁아짐에 따라 integer-N 구조는 주파수 분주기의 계수 M의 값을 계속 올릴 수밖에 없다. 그러나 M을 계속 높이면 PLL의 대역폭 역시 안정성을 고려하면 기준 주파수의 1/10 보다 작아져야 하므로 대역폭이 좁아지게 된다. 그러나 대역폭이 좁아지게 락킹 시간이 길어지는 등 여러 가지 문제점이

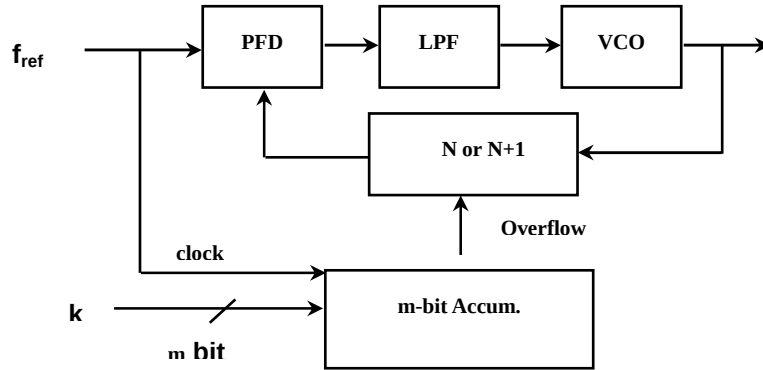


그림 2.5. fractional-N PLL 의 블록 다이어그램

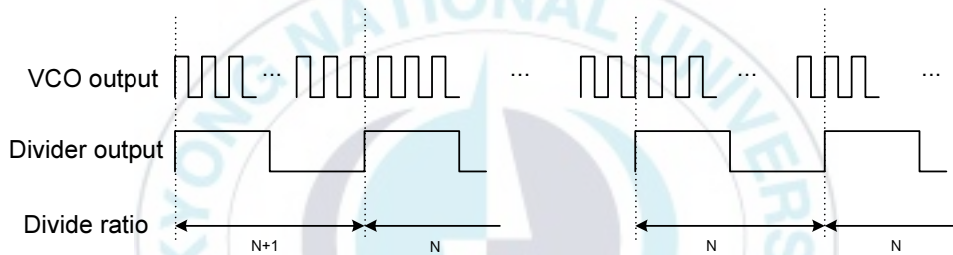


그림 2.6. fractional-N 에 대한 개념도

발생하게 되었다. 이러한 문제점의 해결 방안으로 고안된 것이 분수의 분주비로 주파수를 합성하는 fractional-N 구조 이다[6].

기본적인 fractional-N 구조는 그림 2.5와 같고, 전압 제어 발진기에서 생성된 주파수를 나누는 N의 값을 변화 시켜서 f_{ref} 의 분수 배로 출력 주파수를 만들어 내는 방법이다. 그림 2.6과 그림 2.5에서처럼 P번에 Q번 꼴로 N+1로 나눈다면 평균적으로 전압 제어 발진기에서 생성된 주파수와 기준 주파수사이의 관계는 다음과 같이 나타낼 수 있다.

$$f_{out} = \frac{(P-Q)N + Q(N-1)}{P} = N + \frac{Q}{P} \quad (\text{단, } P, Q \text{ 는 정수}) \quad (11)$$

위의 수식(11)에서 알 수 있듯이 integer-N구조에서는 f_{ref} 에 의해 PLL이 만들어 낼 수 있는 주파수가 제한을 받았지만, fractional-N구조는 기준주파수에 상관없이 원하는 전압 제어 발진기의 출력 주파수를 만들어 낼 수 있음을 위의 수식을 통해서 알 수 있다.

이러한 주파수를 만들어 내는 동작은 다음과 같이 누산기(accumulator)를 이용하여 설명할 수 있다. 누산기가 입력된 K의 값을 계속 더해나가다가 carry out이 발생하면, 이 신호가 dual modulus 주파수 분주기의 분주비의 값을 결정 하게 된다. 누산기의 출력이 '1'이면, N+1로 분주하고, '0'이면 N으로 분주한다면, 입출력 주파수와의 관계식은 다음과 같이 나타낼 수 있다. 이러한 방법으로 fractional-N을 구현 하였을 때 가장 큰 문제점이 carry-out 신호의 주기성으로 인해 발생하는 위상잡음으로 그림 2.7처럼 fractional spur라는 spurious tone이다. 실제로 누산기를 이용하여 fractional-N구조로 PLL을 구현하면 fractional spur가 중심 주파수 가까운 곳에 아주 큰 값을 가지기 때문에 spur를 제거하는 방법이 없으면 실제 통신 시스템에서 fractional-N구조를 사용할 수 없다. Fractional spur를 제거하기 위한 방법으로 여러 가지 방법들이 논의 되어 왔는데, DAC를 이용하여 차이 난 위상만큼 보상해주는 phase interpolation[7], delta sigma modulation을

이용하여 noise를 고주파영역으로 이동시키는 noise shaping 방식 등이 연구되어 왔다[8][9]. 본 연구에서는 delta sigma 방식을 기초로 하여 새로운 구조의 PFD를 사용하여 락킹 상태에서의 전하펌프의 전류량을 조절하여 spur를 제거하는 방법에 대해 연구를 진행하였다.

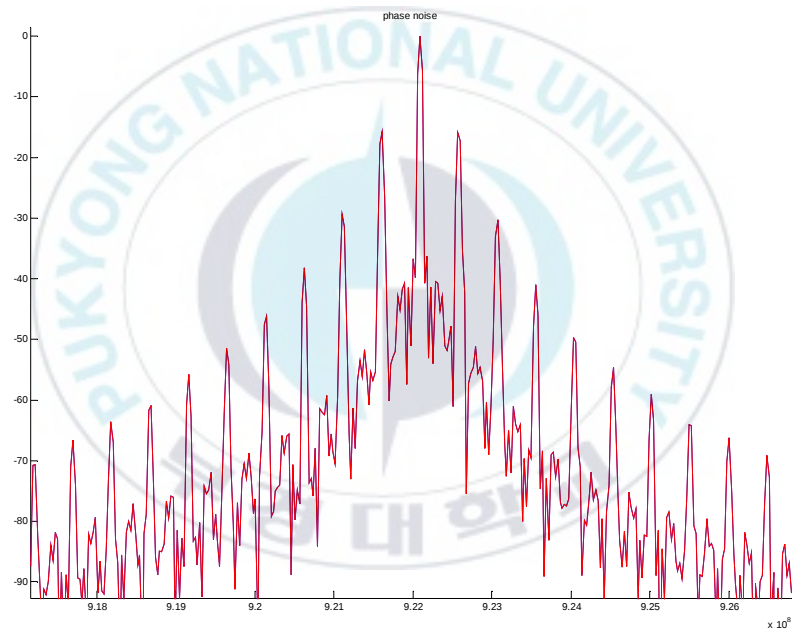


그림 2.7. 1 차 delta sigma 변조기에 대한 fractional spur

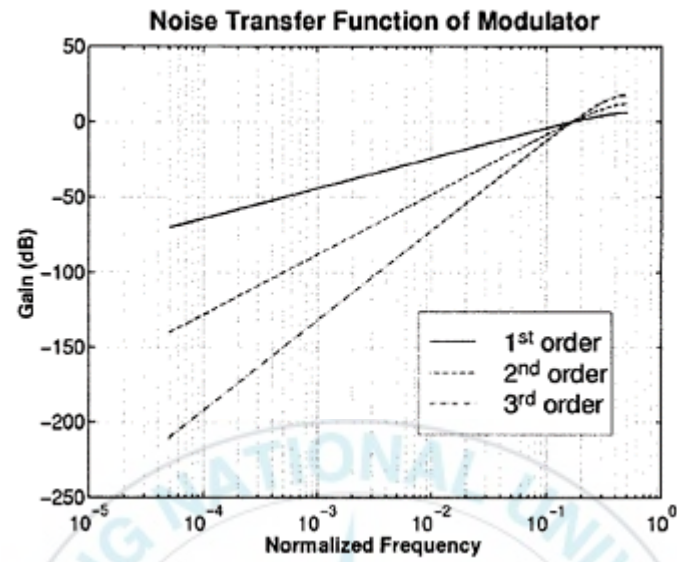
III. Delta sigma 방식의 주파수 합성기 설계

3.1 Delta sigma 변조기를 이용한 fractional-N PLL

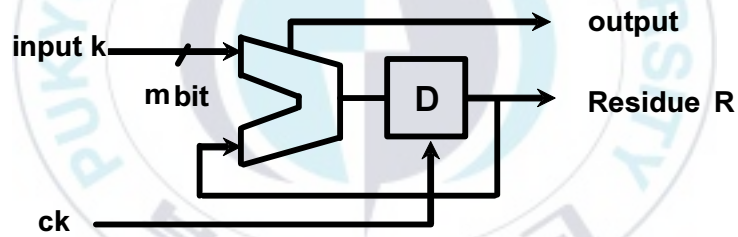
Delta sigma 변조기는 과표본화를 기반으로 한 블록으로 주로 ADC에 응용되어 왔다. 과표본화를 이용한 데이터 변환방식은 과표본화로 인하여 발생한 양자화 오차가 백색잡음의 특성을 갖는 양자와 잡음이 고주파 대역으로 옮겨가는 noise shaping 효과를 가지게 되는 변조 방식이다. 그림 3.1 (a)는 delta sigma 변조기의 차수에 따른 noise shaping효과를 보여 주고 있다. 그림 3.1 (b)는 가장 기본적인 1차의 delta sigma 변조기를 나타낸다.

그림 3.1의 delta sigma 변조기의 출력은 -3에서 4사이의 sequence의 형태로 나타난다. 이 출력 sequence는 랜덤 한 특성을 나타내기 때문에 fractional-N이 가지는 주기적인 성질을 해결 할 수 있는 것이다. 이러한 delta sigma modulator의 특성을 Z 도메인에서 해석하면, 1차의 delta sigma 변조기는 수식(12)로 나타낼 수 있다.

$$Y(z) = X(z) + (1 + Z^{-1})E(z) \quad (12)$$



(a)



(b)

그림 3.1. (a) Delta sigma 변조기의 차수에 따른 noise shaping 효과
(b) 1 차 delta sigma 변조기

그리고 2차의 delta sigma 변조기의 출력은 다음과 같이 표현 할 수 있다.

$$Y(z) = X(z) + (1 + z^{-1})^2 E(z) \quad (13)$$

고차의 delta sigma 변조기를 사용하게 되면 noise shaping 효과는 높아지나 고차로 갈수록 시스템 안정성을 보장하기가 어려워진다. 따라서 2차 이상의 delta sigma 변조기를 사용하게 될 경우 시스템의 안정성을 보장하기가 어려워지고, PLL의 전체 차수 또한 delta sigma 변조기의 차수보다 한 차수 높아져야 잡음을 제거할 수 있기 때문에, 시스템 설계에 많은 부담으로 작용한다. 이러한 delta sigma 변조기를 이용한 fractional-N 방식의 단점을 보완한 것이 MASH 구조의 delta sigma 변조기이다. MASH 구조는 안정한 1차의 delta sigma 변조기를 cascade 형태로 연결한 것으로, 1차의 안정성을 가지기 때문에 이 구조를 이용하면 항상 안정한 시스템을 만들 수 있다. 그림 3.2은 MASH 구조로 3차 delta sigma 변조기를 구현한 것이다. m-비트의 누산기의 출력 주파수를 선택하는 K 값이 입력으로 들어가면 출력에서는 -3~4의 값이 랜덤 하게 출력된다. 이 출력 값에 따라 주파수 분주기의 분주비가 결정된다. PLL의 출력에서 생성되는 출력 주파수는 $N-3 \sim N+4$ 사이의 값으로 선택되는 분주비의 평균값을 가지게 된다.

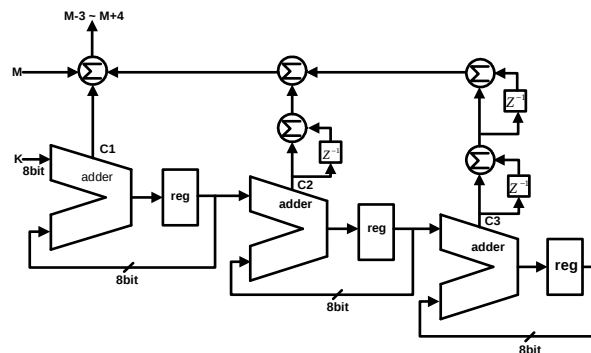


그림 3.2. 3 차 delta sigma 변조기

3.2 Adaptive bandwidth 를 이용한 fractional-N PLL

Fractional spur를 줄이기 위한 방법으로 delta sigma를 이용하여 fractional spur를 제거하는 방법이 많은 연구가 되어 왔다[2][3]. 이러한 연구의 성과로 PLL의 출력 주파수는 입력 기준 주파수의 fractional로 변하게 되며, integer-N 방식과는 달리 주어진 채널 space에 비해 높은 기준 주파수를 사용할 수 있게 되었다. 그 결과 PLL의 루프 대역폭을 넓게 설정할 수 있어서 integer-N 방식보다 짧은 락킹 시간을 실현 할 수 있다. 또한 동일한 출력 주파수를 얻고자 할 때, 기준 주파수가 integer-N 방식보다 높기 때문에 feedback 주파수 분주기의 분주비가 줄어들게 되어 PLL 전체의 in-band 위상 잡음을 개선시킬 수 있는 효과도 얻을 수 있다. 그러나 이러한 장점에도 fractional spur를 해결하지 못하면 실제 시스템에 적용할 수가 없다.

Delta sigma 변조기를 이용한 fractional-N PLL은 delta sigma 변조기의 차수에 따라 noise shaping 특성이 변하게 된다. 고차로 갈수록 특성은 좋아지나, 고차의 delta sigma 변조기는 칩 내에서 많은 면적과 전력을 소비하기 때문에 고차의 delta sigma 변조기를 사용하는 것은 무리가 따른다. 따라서 delta sigma 변조기의 차수를 줄 일 수 있다면, PLL 설계가 더욱 간단해 질 수 있고, 전력 소모 또한 줄일 수 있다. 이러한 관점에서 제안된 것이 Lock State Indicator(LSI)를 이용한 adaptive bandwidth fractional-N PLL이다[10]. LSI 블록이 그림 3.3이다.

LSI는 위상 주파수 검출기의 출력이 락킹 상태가 가까워지면, Up 신호와, Dn 신호의 duration의 차이를 이용하여 lock 상태는 알아내는 블록이다. 이 LSI의 역할은 락킹 상태를 감지하여서 락킹 이전에는 전하펌프에 흐르는 전류의 양의 커서 빠른 락킹을 실현하고, 락킹 이후에는 전하펌프에 흐르는 전류의 양을 줄여서 대역폭을 좁혀 spur의 영향을 줄이는 것이다.

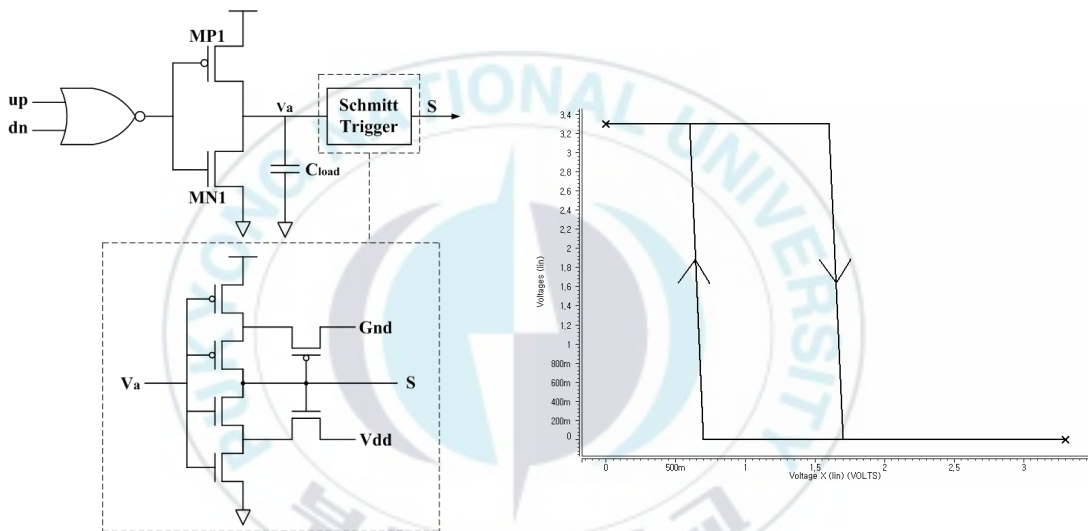


그림 3.3. Locking State Indicator(LSI)와 동작 특성

LSI는 NOR게이트, 인버터, 커패시터, 슈미트 트리거로 구성된다. MP1, MN1에 흐르는 전류에 의해 C_{load} 의 전압 V_a 가 정해지고, V_a 에 따라서 슈미트 트리거가 동작한다. 위상고정루프가 unlock상태 즉, 위상 주파수 검출기의 두 입력 신호의 주파수와 위상 차이가 크면 NOR게이트의 출력은 상대적으로 "LOW"값을 많이 가지는 주기가 일정하지 않은 펄스형태로 나타나고 NMOS가 "ON" 되어 흐르는 전

류보다 상태적으로 PMOS가 "ON" 되어 흐르는 전류량이 많아서 V_a 의 전압은 서서히 증가한다. 그러나 주기가 일정하지 않은 펄스로 인해 V_a 의 전압은 Ripple과 같은 출렁거림이 생긴다. 특히 PLL이 거의 락킹 상태가 될 때에는 주파수는 거의 같지만 위상 차이가 많은 시점이 있기 때문에 V_a 의 출렁거림이 더욱 심하다. PLL의 락킹 상태에 따라 LSI 블록의 출력신호 S가 일정하지 않고 움직인다면 신호 S에 연결된 전하펌프와 루프필터가 원하지 않는 동작을 할 수 있다. 이러한 원하지 않는 S신호의 움직임을 슈미트 트리거의 히스테리시스 효과를 이용하면 V_a 의 출렁거림에 관계없이 안정된 신호 S를 얻을 수 있다. V_a 의 출렁거림이 심한 부분에서도 슈미트 트리거의 히스테리시스 동작 범위를 벗어나지 않게 충분한 여유를 두어 설계하면 안정한 S신호를 얻을 수 있다. 슈미트 트리거의 히스테리시스 동작 범위가 정해지면, MP1, MN1에 흐르는 전류와 C_{load} 값은 짧은 락킹 시간을 갖도록 선택하였다.

3.3 Simulink 를 이용한 fractional-N PLL PLL modeling

현재까지 가장 보편적으로 사용되는 시뮬레이션 프로그램은 HSPICE이다. 그러나 HSPICE는 정확한 해석을 하는 대신에 시뮬레이션을 수행하는데 있어 많은 시간을 요구한다. PLL에 있어 D flip-flop등이 많이 사용되는 주파수 분주기 블록

은 시뮬레이션 시간을 특히 많이 요구한다. 보통의 integer-N PLL의 경우는 $100\mu\text{s}$ 를 시뮬레이션 하는데 24시간 정도를 요구하고 있다. 그러나 본 논문의 fractional-N 구조는 delta sigma 변조기가 들어가기 때문에 D flip-flop의 수가 integer-N PLL에 비해 10배 이상을 필요로 되어서 $100\mu\text{s}$ 를 시뮬레이션 하는데 10일 이상의 시간을 요구하게 된다. 이러한 시뮬레이션 상의 어려움을 해소하기 위해서 최근에 많은 방법들이 제시되어 오고 있고, 그 한 방법인 MatLab의 Simulink 프로그램을 이용하는 것이다. Simulink를 이용하면, 짧은 시간으로도 fractional-N PLL을 간단히 시뮬레이션 할 수 있기 때문에, HSPICE로 시뮬레이션을 하기 전에 PLL의 여러 조건에 대한 변화들은 Simulink를 통해서 관찰하고, 최적의 시뮬레이션 조건을 찾아 HSPICE를 통해 검증하는 방식으로 시뮬레이션을 진행하였다.

Simulink에서는 다양한 함수 블록과, logic gate들을 제공하고 있어 쉽게 PLL의 각 블록들은 modeling 할 수 있다.

전하펌프의 경우는 위상 주파수 검출기의 출력에 따라 펄스 형태의 출력을 전류의 형태로 바꿔 주기만 하면 되므로 gain 블록을 사용하여 원하는 전류값을 적용시키면 된다. 그림 3.4 가 전하펌프를 modeling 한 것이며, 전하펌프의 미스매치 등은 고려하지 않았다.

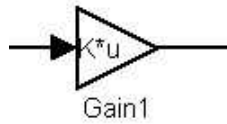


그림 3.4. 전하펌프의 Simulink modeling

위상 주파수 검출기의 경우는 digital logic로 설계가 되기 때문에 Simulink에서 제공하는 D flip-flop, logic gate를 이용하여 쉽게 modeling이 가능하다. 위상 주파수 검출기를 modeling한 것이 그림 3.5 이다.

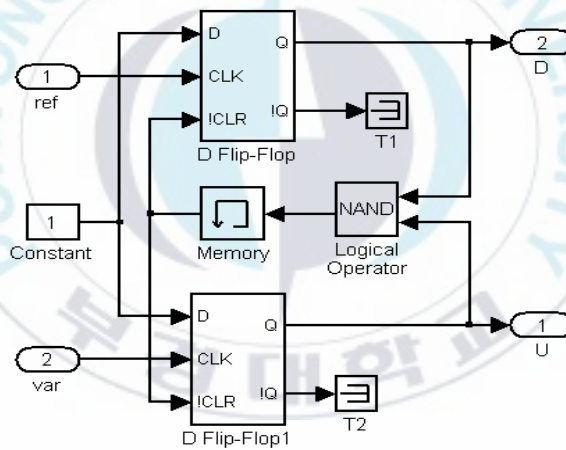


그림 3.5. 위상 주파수 검출기의 Simulink modeling

루프 필터는 전달함수 형태로 나타나기 때문에 특별한 블록이나 게이트는 사용하지 않았고 전달함수 블록을 이용해 루프 필터의 전달함수를 구현하였다. 전달함수에 필요한 R, C 값은 MatLab을 이용하여 bode 선도를 그려, 위상 여유를 45° 이상으로 하여 안정한 시스템을 구현하였다.

전압 제어 발진기는 수식(2)로 나타낼 수 있으므로 수식을 이용하여 모델링 하였고 그림 3.6과 같다.

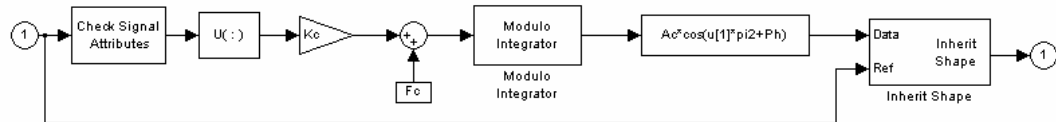


그림 3.6. 전압 제어 발진기의 Simulink modeling

주파수 분주기는 Simulink에서 제공을 하고 있는 블록을 이용하였다(그림 3.7).

Delta sigma 변조기는 출력주파수를 결정하는 K가 delta sigma 변조기로 입력되고 그 값과 이전의 값을 계속 더해가면서 발생하는 carry-out의 값을 연산하여 최종 출력으로 발생 되게 된다. 아래의 그림 3.8이 delta sigma 변조기를 modeling 한 것이다. 이렇게 modeling 한 블록들을 가지고 전체 주파수 합성기에 대한 Simulink model이 그림 3.9이다.

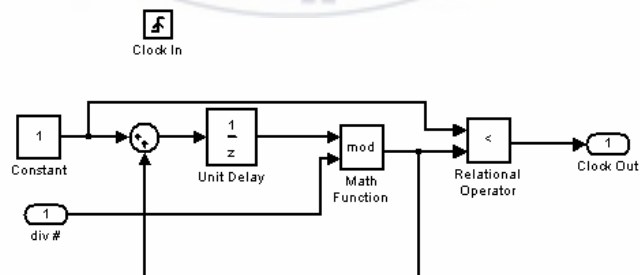


그림 3.7. 주파수 분주기의 Simulink modeling



- 24 -

3.4 전체 주파수 합성기의 구조

본 논문에서 제안한 주파수 합성기의 전체 구조는 그림 3.10과 같다.

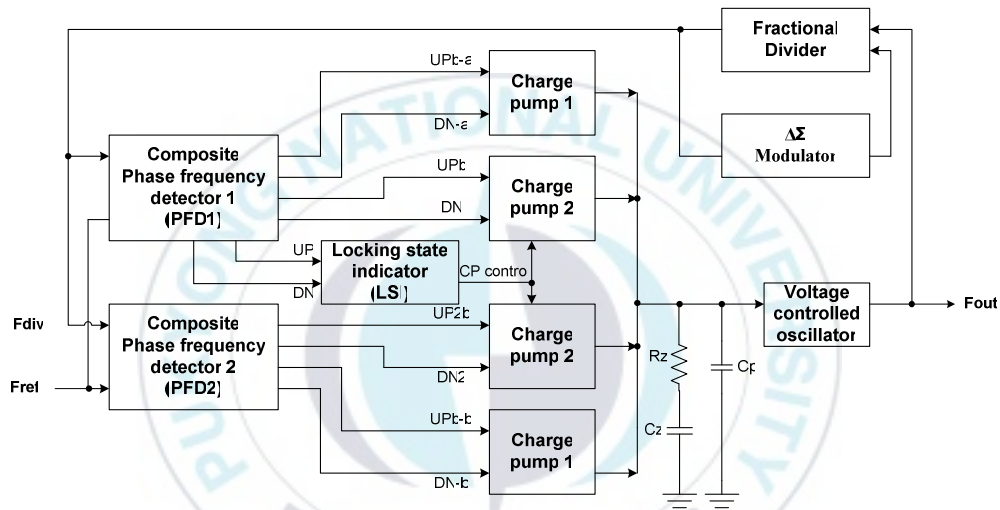


그림 3.10. 구현한 주파수 합성기 구조

제안한 구조의 주파수 합성기는 rising edge 검출방식의 복합위상검출기 (PFD1)와 falling edge 검출 방식의 복합위상검출기(PFD2)를 사용한다. LSI에서 PFD1 의 출력 신호 UP, DN을 이용하여 PLL의 락킹 상태를 확인하고, 전하펌프에 제어신호($CP_{control}$)를 보낸다. 이 제어신호는 연결된 두 개의 전하펌프의 동작을 제어한다. PLL이 out-of-lock 상태일 때는 $CP_{control}$ 신호는 두 개의 전하펌프2를 ‘on’ 시키게 되어 4개의 전하펌프가 모두 동작하여 loop filter로 흐르는 전류를

크게 증가시킨다. PLL이 락킹 상태일 때는 제어 신호에 의해 두 개의 전하펌프1을 ‘off’ 시키게 되어 전하펌프1의 전류만 loop filter 흐르게 된다. 이 전류량의 변화에 따라 전체 루프의 대역폭이 변화하여 out-of-lock 상태에서 빠른 락킹 시간을 갖는다. 그리고 delta sigma 변조기는 -3~4 사이의 값이 출력되고 주파수 분주기 delta sigma 변조기의 출력 값을 매칭하여 64~78의 값으로 전압 제어 발진기의 출력 신호를 분주시킨다.

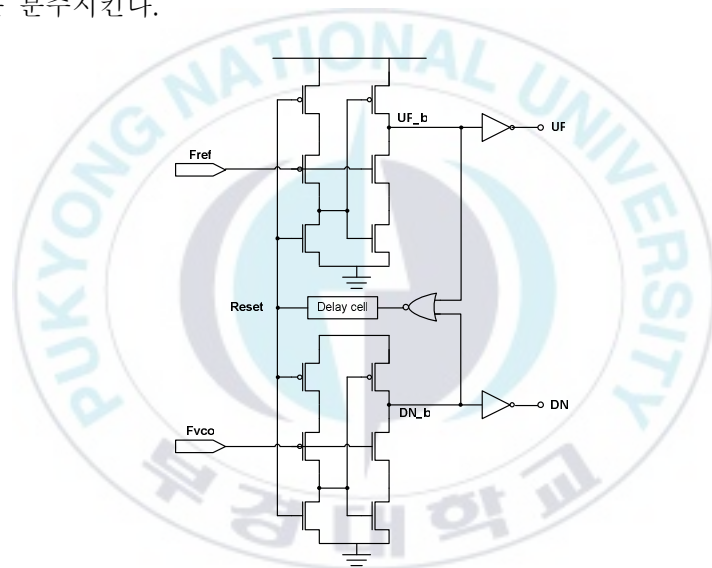


그림 3.11. 위상 주파수 검출기 회로

그림 3.11은 위상 주파수 검출기를 나타내었다. 위상 주파수 검출기는 최근에는 다이내믹 CMOS 로직회로를 이용하고 있다. 다이내믹 CMOS 로직을 이용하면 위상 주파수 검출기를 더욱 간단하게 설계할 수 있기 때문에 칩 면적과 전력소모를 줄일 수 있다[11]. 위상 주파수 검출기가 기준 주파수와 전압 제어 발진기 출력 신호의

위상 차가 매우 작은 경우에 위상 차이가 있음에도 불구하고 위상 차이를 검출하지 못하는 데드존(dead zone) 문제를 가지기 때문에 전하펌프의 충분한 스위칭 시간을 위해 NOR 게이트 출력에 지연 셀(delay cell)을 이용하여 데드존 문제를 해결하였다.

제안한 복합 위상 검출기의 구조는 다음과 같다.

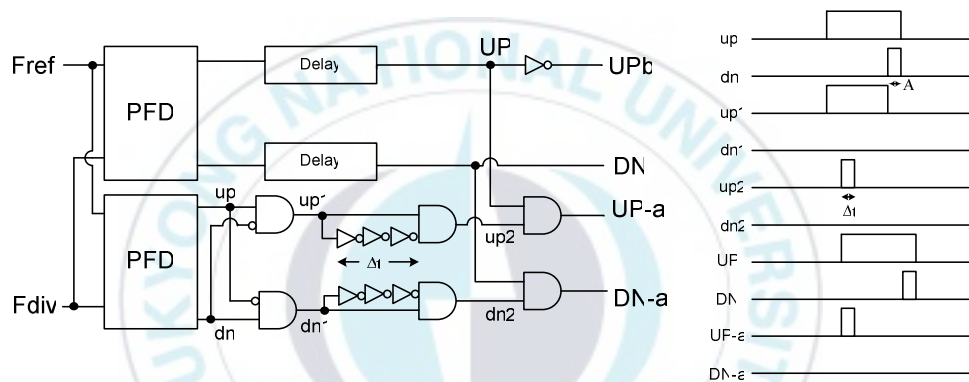


그림 3.12. 제안된 복합 위상 주파수 검출기 회로와 출력파형

복합 위상검출기 1은 rising edge 검출 방식을 사용하고 복합 위상검출기 2는 falling edge 검출 방식을 사용한다. 각각 복합 위상검출기는 그림 3.12과 같이 2개의 위상검출기와 로직회로로 구성된다. 상단의 위상검출기의 출력은 일반적인 위상검출기의 출력과 같으며 UP , DN 신호는 $up2$, $dn2$ 와 AND 게이트를 통하여 $UP-a$ 와 $DN-a$ 신호를 출력한다. 따라서 UP , DN 신호와 $up2$, $dn2$ 신호의 동기화가 중요하므로 지연 셀을 사용하여 동기를 맞춰주었다. 이 출력신호 UPb , DN 은

전하펌프2와 연결되어 out-of-lock 상태에서 전하펌프2의 전류량을 조절한다. 하단의 위상검출기의 출력 up, dn 은 그림 3.12와 같이 A 만큼의 reset delay 시간 동안 동시에 출력되고 이 reset delay만큼의 출력신호는 전하펌프 출력전류에 영향을 미치게 되어 위상고정루프의 phase noise에 영향을 미치게 된다. 이 성분을 제거하기 위하여 로직 회로를 사용하여 제거한 up1, dn1을 출력한다. 본 연구의 초점은 락킹 상태에서 위상검출기의 출력 폭을 제한하는 방법을 통하여 spur를 줄이는 것이므로 up1과 dn1을 inverter delay시킨 신호를 AND 로직을 이용하여 Δt 만큼의 폭을 갖는 up2, dn2신호를 출력한다. 이 신호는 상단 위상검출기의 출력과 AND 로직을 통하여 UP-a, DN-a신호를 출력하게 되므로 락킹 상태에서의 reference 주파수와 divider출력 주파수간의 phase error의 크기가 Δt 보다 크게 되면 Δt 를 출력하고 작을 경우 UP, DN신호를 출력한다. 이 출력신호는 전하펌프1과 연결되며 락킹 상태에서 phase error를 억제하여 VCO입력의 급격한 흔들림을 억제하게 된다.

전압 제어 발진기는 voltage controlled resistor(VCR)을 사용한다. VCR이 전압 제어 발진기의 전체 튜닝 영역과 선형성을 결정하게 되므로 입력전압 V_{cont} 에 따라 변하는 VCR 전류의 가변 범위와 선형성이 중요하다. 지터 및 위상 잡음을 개선하기 위해 일반적인 인버터-링(inverter-ring) 전압제어 발진기와는 달리 3단의 래치 구조를 사용하였다. 그림 3.13은 사용 한 전압 제어 발진기의 회로이다.

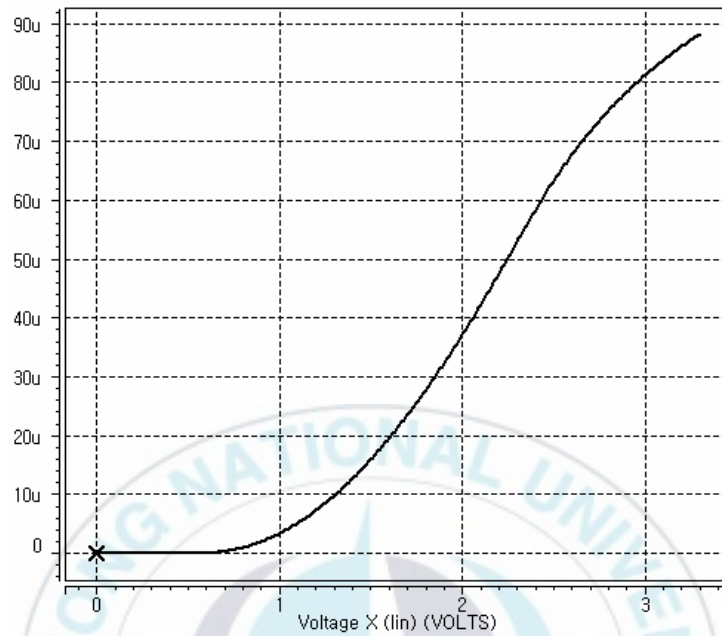


그림 3.14. VCR의 전압 - 전류 특성

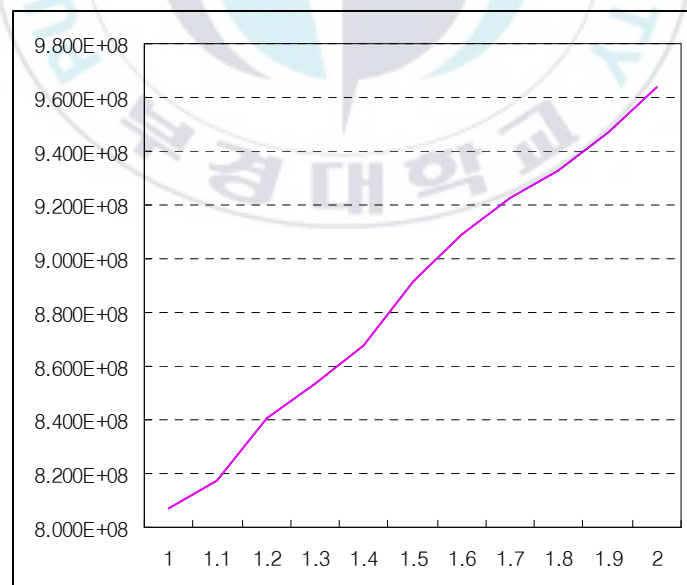


그림 3.15. 전압 제어 발진기의 특성곡선

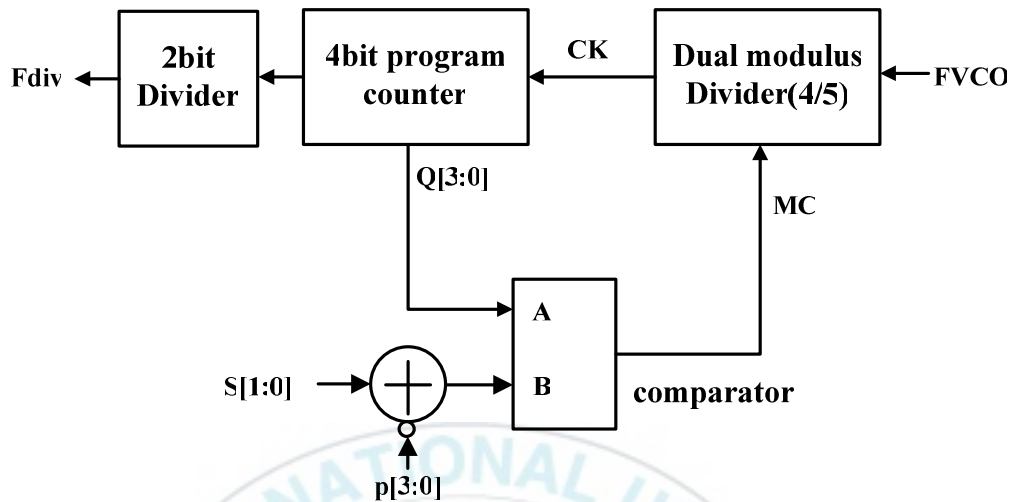


그림 3.16. 주파수 분주기의 블록 다이어그램

주파수 분주기는 delta sigma modulator에서 출력되는 값에 따라 8가지의 분주비가 필요하기 때문에 4비트 프로그램 카운터를 이용하여 32~39까지의 분주비에 대하여 동작을 할 수 있도록 설계하였다. 위의 그림 3.16 에서 MC는 dual modulus 주파수 분주기의 분주비를 결정하는 값이 된다. 입력으로 주어지는 P와 S의 값에 따라 MC신호가 0과 1로 변하게 되고, MC의 값에 따라 분주비가 32~39 사이의 값으로 결정된다[12]. 여기서 사용되는 P와 S의 값은 delta sigma의 출력을 이용하여서 만들어진다. 예를 들어 32의 분주비가 선택될 때는 delta sigma 변조기의 출력이 이론 상으로는 -4의 값이 출력이 되어야 하지만 부호를 표현하기 위해서는 부호 비트가 1비트 더 필요하므로 실제로 회로를 설계 할 때는 '0'이 -4

의 값을 나타내도록 설계하였다. 따라서 delta sigma 변조기의 출력이 0을 출력하면 실제로 분주비는 32로 선택되도록 $P[3:0] = 1000$, $S[1:0] = 00$ 이 된다. Delta sigma 변조기의 출력과 주파수 분주기의 분주비 선택과의 관계를 표1에 나타내었다.

표1. DELTA SIGMA 변조기의 출력과 주파수 분주기의 분주비 선택과의 관계

Delta sigma 출력			회로상 출력값	선택되는 분주비
이론적 출력 값	$P[3:0]$	$S[1:0]$		
-4	1000	00	0(000)	64
-3	1000	01	1(001)	66
-2	1000	10	2(010)	68
-1	1000	11	3(011)	70
0	1001	00	4(100)	72
1	1001	01	5(101)	74
2	1001	10	6(110)	76
3	1001	11	7(111)	78

위의 표1을 보면 실제로 변하는 P의 마지막 비트와, S의 2 비트만 변하고 있는데 이 값들 또한 delta sigma 변조기의 출력값의 마지막 2비트의 값과 같다. 이러한

특성을 이용하여 8개의 delta sigma 변조기의 출력에 대해 서로 다른 8개의 분주비로 매핑을 할 수 있다. 4비트 프로그램 카운터는 P값의 각 비트를 반전시켜 S의 값과 더하게 되고, 이 값을 Q[3:0] 값과 비교하여 Q[3:0]의 값이 /P+S의 값보다 작으면 MC신호를 '1'로, 크면 '0'을 출력한다.

본 연구에서는 두가지 edge detection 방식의 복합위상검출기를 사용하기 때문에 분주기 출력신호의 duty ratio가 정확하게 맞아야 한다. 설계한 주파수 분주기의 duty ratio는 50%가 되지 않으므로 주파수 분주기의 출력신호를 2분주하여 64~78까지의 분주비로 매핑 하였다.

그림 3.17과 그림 3.18은 제안한 주파수 합성기에 사용된 두 가지 형태의 전하펌프를 나타내었다. 전하펌프는 복합위상검출기마다 두 개씩 사용하여 4개의 전하펌프를 사용하였다. 각각 복합 위상검출기는 고정된 폭 이하의 크기를 갖는 출력신호와 phase error만큼의 폭을 갖는 출력신호를 갖게 되고 고정된 폭 이하의 크기를 갖는 출력신호는 그림 3.17의 전하펌프1의 전류를 조절하고 위상차이만큼의 폭을 갖는 출력신호는 그림 3.18의 전하펌프2의 전류를 조절한다.

전하펌프는 락킹 이전에는 4개가 모두 동작하며 $1200\mu\text{A}$ 의 전류가 loop filter로 흐르고 락킹 이후에는 LSI의 제어 신호에 의해 전하펌프2는 "off" 되어 $400\mu\text{A}$ 의 전류가 loop filter에 공급된다.

전하펌프2는 LSI의 신호가 "0"이 되면 동작하게 되고, 큰 전류를 루프 필터에 공급하여 락킹 시간을 단축시킨다. 그리고 락킹이 되면 "off" 되기 때문에 PLL의

특성에 영향을 미치지 못하도록 하였다.

그림 3.17의 전하펌프1 는 PLL의 성능에 영향을 미치는 전하펌프로써 락킹 이 된 후에는 전하펌프1 만 전류를 루프 필터에 공급하게 된다. 따라서 전하펌프1은 전류 mismatch 가 발생하면 PLL의 성능을 저하시키므로 전류 mismatch 현상을 최소화 하도록 MP4와 MN4의 사이즈를 선택하였다. Mpout, Mnout는 갑작스러운 전류 스위칭에 의한 클록 피드스루(clock feedthrough)를 줄이는 역할을 한다.

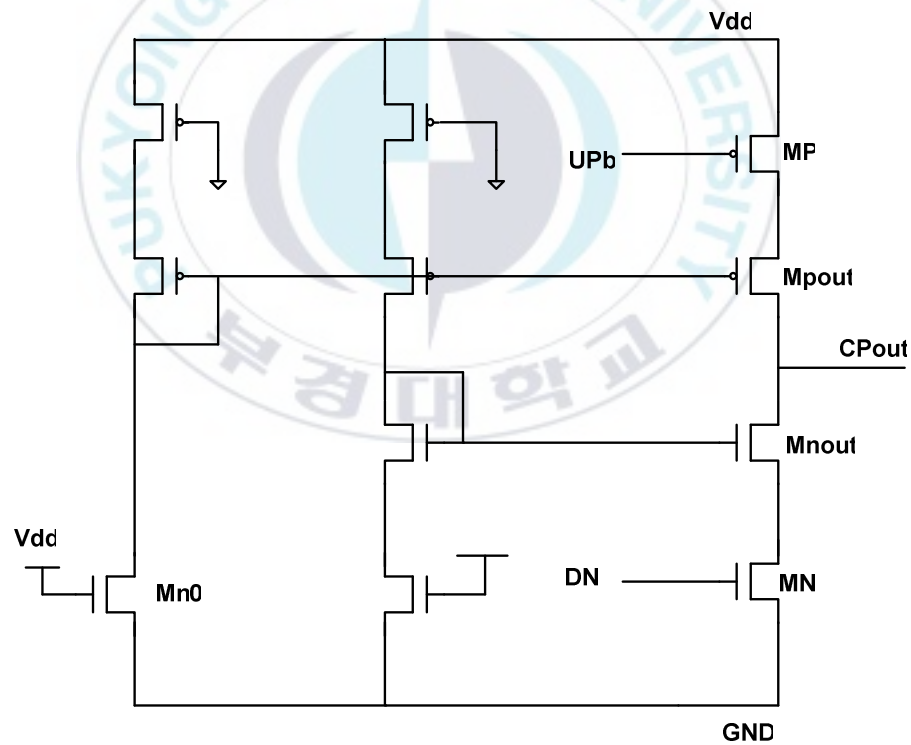


그림 3.17. 전하펌프 1

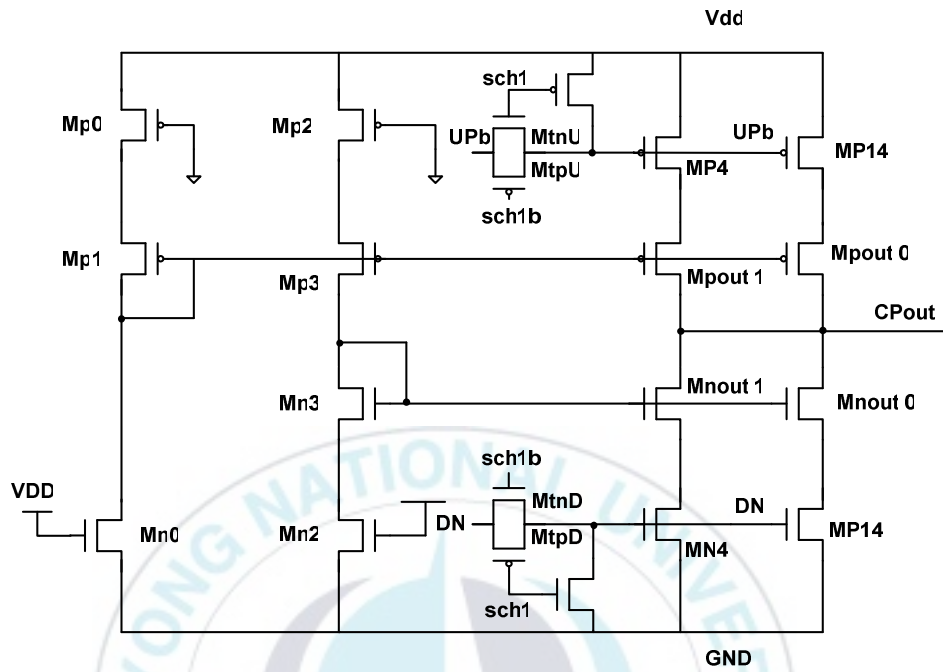


그림 3.18. 전하펌프 2

IV 시뮬레이션 결과 및 레이아웃

4.1 시뮬레이션 결과

본 논문에서는 제안한 구조의 주파수 합성기의 저항, 커패시터, 전하펌프의 전류, 전압제어 발진기의 이득 등의 파라미터를 구하기 위하여 MATLAB을 사용하였다. 또한 이 파라미터들은 주파수 합성기의 각 상태에 따라 충분한 마진을 가지는 값으로 구현되었다. 본 논문에서 실제 적용한 변수는 표2와 같다.

표2. FRACTIONAL-N방식에 사용된 변수들

I_{CP}	1200 μ A ~ 400 μ A
R1	1.5K Ω
C1,C2	2.2nF, 180pF
K_{vco}	150MHz/v
BW	493~75kHz
F_{ref}	12.8MHz
N	64~78

그림 4.1은 위상 마진을 MATLAB을 이용하여 각 상태에 따라 시뮬레이션 한 것이다. In lock 상태에서 분주비에 따라 $50.6^{\circ} \sim 53.4^{\circ}$ 의 위상마진을 가지며 out-of-lock 상태에서 $46.7^{\circ} \sim 49.8^{\circ}$ 의 위상마진을 가진다. 따라서 위상고정루프는 in-lock 상태와 out-of-lock 상태에서 충분한 위상마진을 가지며 in-lock 상태에서 위상마진이 더욱 좋아지는 것을 알 수 있다.

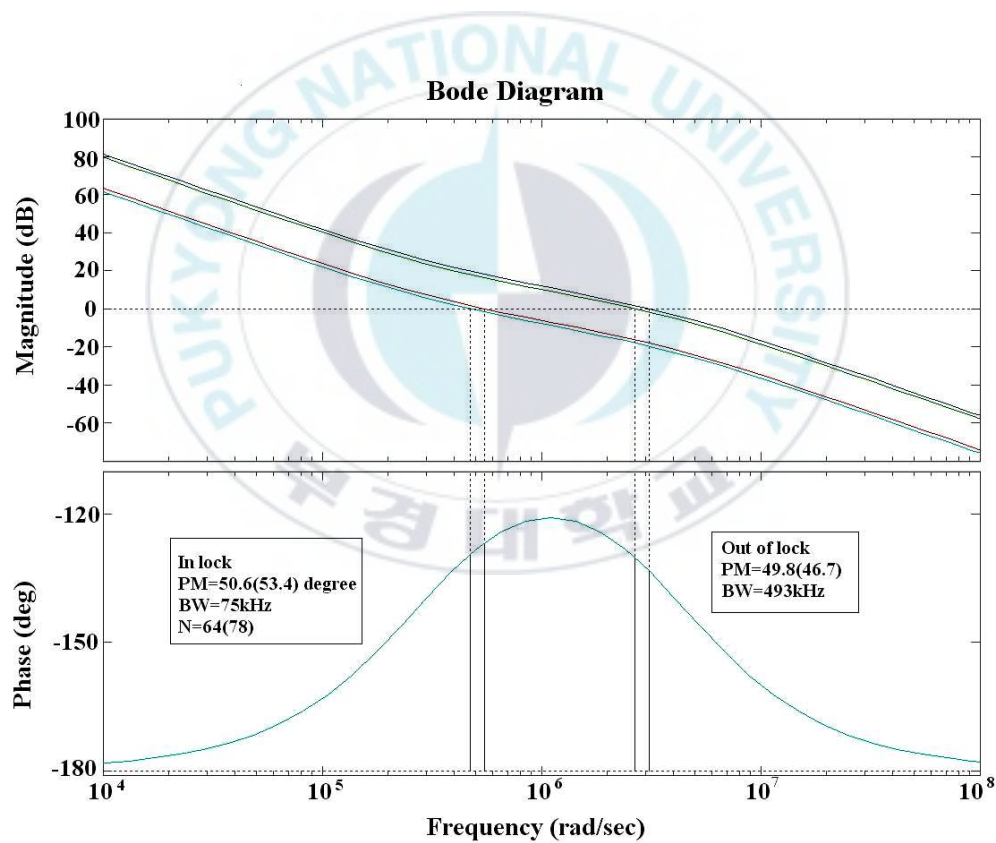


그림 4.1. 위상 마진을 구하기 위한 bode 선도

그림 4.2와 그림 4.3은 제안한 주파수 합성기를 CMOS 0.35 μ m 공정을 이용하여 HSPICE로 시뮬레이션 한 결과를 나타내었다. 그림 4.2는 제안한 구조의 전압제어 발진기의 입력전압을 나타낸다. 제안된 주파수 합성기는 40us 이하의 락킹 시간을 갖는다. 그림 4.3은 LSI 내의 Schmitt trigger의 입력전압 V_a 와 출력 S 를 나타낸다. 제안된 주파수 합성기는 12.6MHz의 입력주파수, 896MHz의 출력주파수를 갖는다.

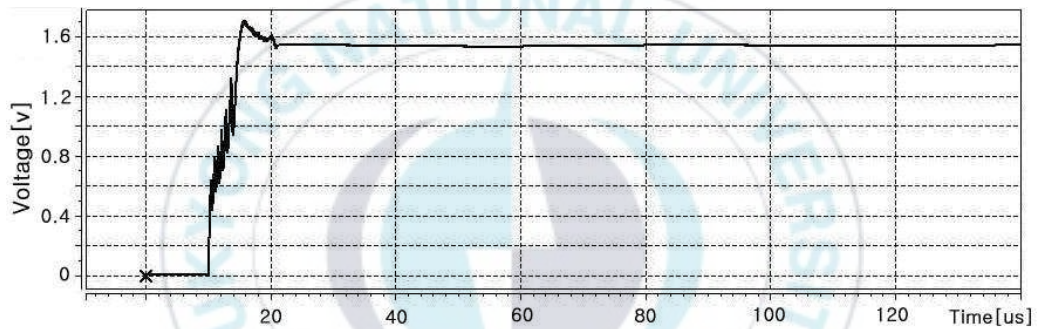


그림 4.2. 제안된 구조의 전압제어 발진기 입력전압

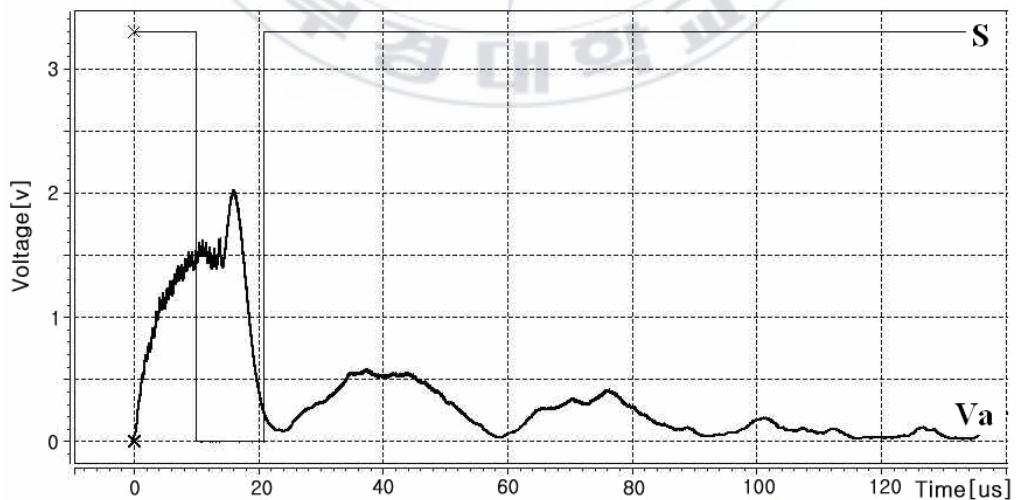


그림 4.3. LSI의 Schmitt trigger의 입력전압 V_a 와 출력 S

그림 4.4와 그림 4.5은 LSI만을 사용하여 루프 대역폭을 조절하여 빠른 락킹 시간을 갖는 위상고정루프의 power spectral density(PSD)를 MATLAB을 이용하여 시뮬레이션한 결과를 나타내었다. Fractional spur의 크기는 전하펌프의 전류량에 의한 대역폭의 변화에 따라서 바뀌게 되며, 락킹 상태에서 전하펌프의 전류량이 작을수록 대역폭이 좁아지게 되어 spur가 감소되는 것을 확인 할 수 있다.

그림 4.6와 그림 4.7는 락킹 상태에서 복합위상검출기의 출력 폭을 0.35ns이하로 제한한 경우와 0.55ns이하로 제한한 경우의 PSD를 나타내었다. 그림 4.7은 위상검출기의 출력 폭의 제한이 없는 conventional 구조에 보다 가깝게 되며 그림 4.6과 비교하면 락킹 상태에서 복합위상검출기의 출력 폭을 제한함으로써 주파수 특성이 개선되고 spur 성분이 줄어드는 것을 알 수 있다. 또한 그림 4.4와 그림 4.6을 비교하면 제안한 구조의 주파수 합성기의 락킹 상태에서 전하펌프 전류량이 400uA로 10배 이상의 전류가 루프 필터로 흐르지만 PSD는 거의 동등한 동작 특성을 갖는다. 따라서 제안한 구조의 주파수 합성기는 conventional 구조보다 큰 대역폭에서도 낮은 spur를 갖는 것을 알 수 있다.

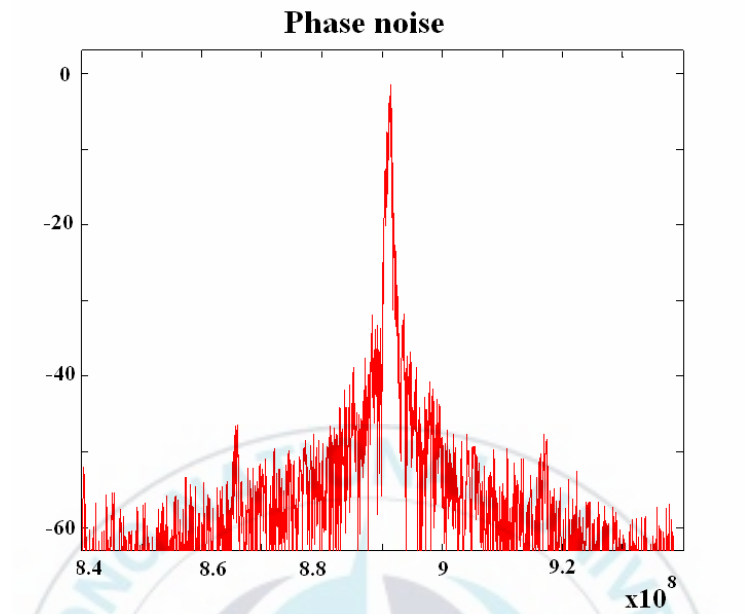


그림 4.4. 락킹 상태에서 전하펌프 전류량이 30uA인 경우의 PSD

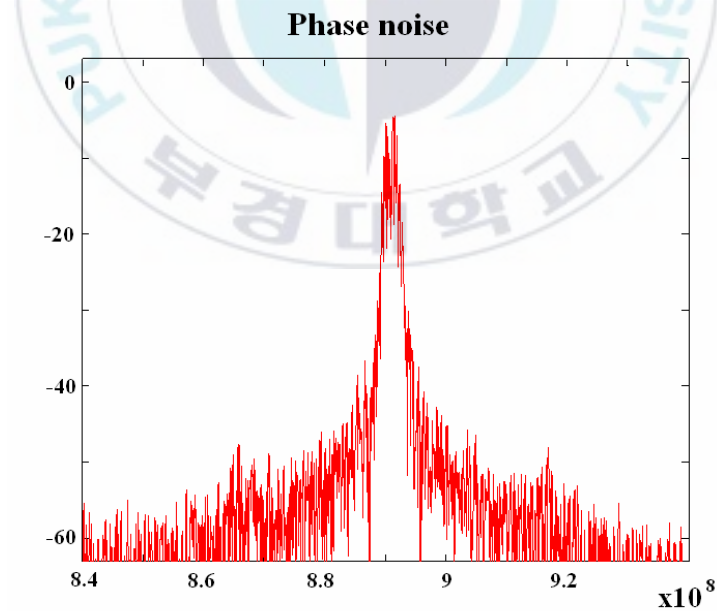


그림 4.5. 락킹 상태에서 전하펌프 전류량이 70uA인 경우의 PSD

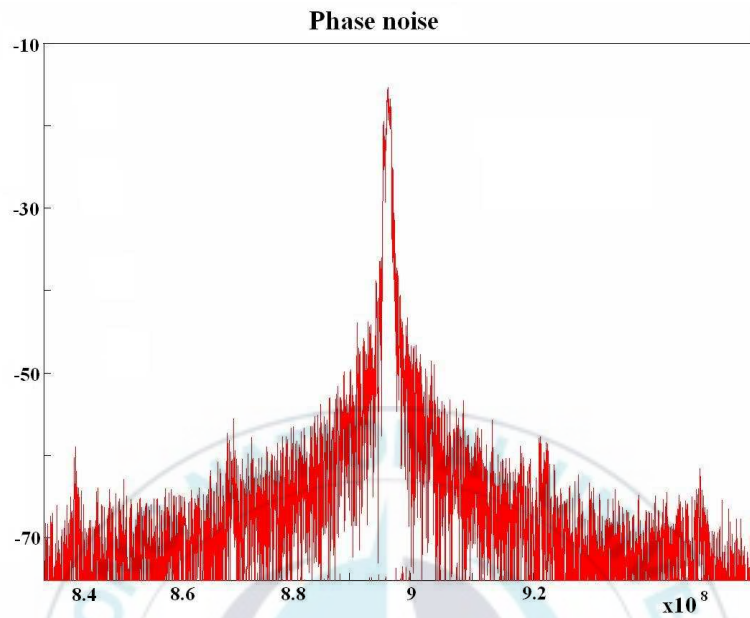


그림 4.6. $\Delta t=0.35\text{ns}$ 일 때의 PSD

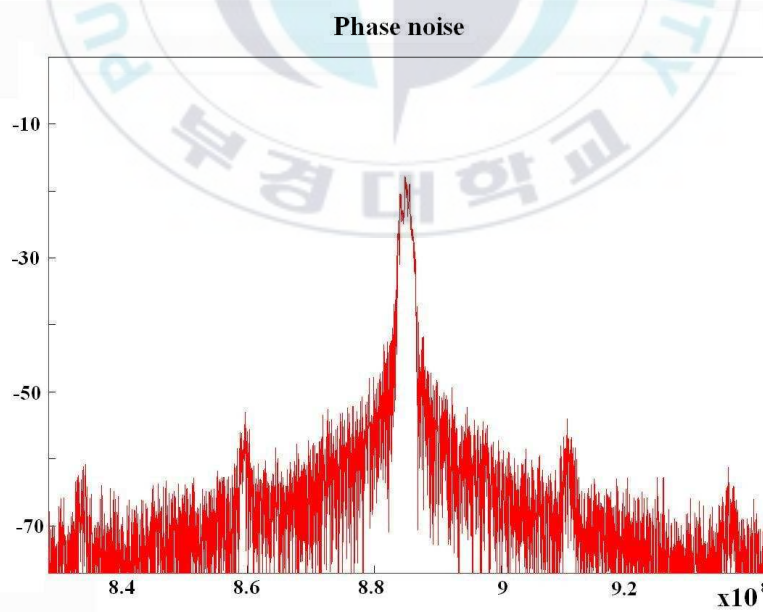


그림 4.7. $\Delta t=0.55\text{ns}$ 일 때의 PSD

4.2 레이아웃

그림 4.7은 제안된 주파수 합성기의 전체 레이아웃을 나타내었다. 레이아웃은 IDEC에서 지원하는 MPW Magnachip/Hynix $0.35\mu\text{m}$ 공정을 이용하여 Cadence의 virtuoso로 구현하였다. Chip의 면적은 $1.3\text{mm}\times 1.5\text{mm}$ 이다.

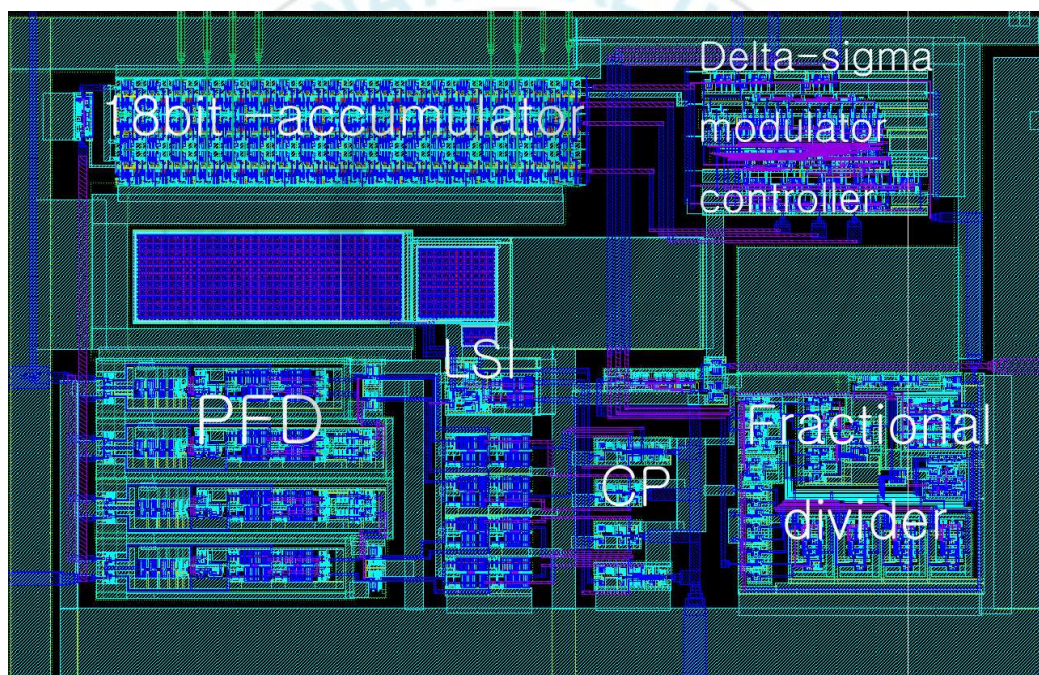


그림 4.7 전체 레이아웃

V 결론

본 논문에서는 fractional-N 위상고정루프에서 발생하는 fractional ripple을 보상하는 구조의 위상주파수검출기 구조를 사용하여 fractional-N 위상고정루프에서 fractional spur를 억제할 수 있는 주파수 합성기를 설계하였다.

시뮬레이션 결과 고정된 출력을 갖는 PFD의 출력펄스 폭을 0.35ns 인 경우 40 μ s 에서 락킹되고 0.55ns 인 경우 60 μ s 에서 락킹 되는 특성을 보였다. 또한 전하펌프의 전류를 조절하여 대역폭을 조절하면 fractional spur의 크기는 전하펌프에 흐르는 전류량이 작을수록 더 좋은 특성을 가지는 것을 확인 할 수 있었다. 그러므로 delta sigma 변조기의 차수를 올려서 fractional spur를 제거하는 방법이나 fractional ripple이 발생할 때마다 같은 크기의 반대 신호를 입력하여 fractional spur를 제거하는 fractional compensation 방법에 비해 다중 복합위상검출기로 락킹 상태에서 위상검출기 출력 신호의 폭을 제한하는 방법을 통해 전하펌프의 전류를 조절하여 fractional spur의 영향을 줄이는 방법이 칩 면적 면에서나, 전력소모 면에서 더욱 효과적인 방법이 될 것이다. 따라서 본 구조를 이용하면 낮은 전력소모와, 더욱 작은 칩 면적으로 낮은 spur와 동시에 빠른 락킹 시간을 얻을 수 있음을 확인하였다.

Fractional-N 구조를 설계할 때 문제가 되는 블록이 주파수 분주기 블록이다. 고속의 동작과, 하나의 디바이더로 여러 가지 분주비를 가지는 것이 어렵기 때문

에 현재는 프로그램 카운터 등을 이용하여 주파수 분주기를 설계하는 방법이 보편적이나 전력소모가 큰 단점이 있기 때문에 새로운 구조의 fractional-N 주파수 분주기의 연구가 앞으로 수행되어야 할 과제이다. 또한 현재 제작중인 칩을 측정을 바탕으로 설계된 PLL의 문제점과 그에 대한 원인 분석 등에 대한 연구가 요구된다.



참 고 문 헌

- [1] Rizkalla, M.E.; Gundrum, H.; Michel, H.; “Design of a fractional phase locked-loop frequency synthesizer using a Motorola based microcontroller” Science, Measurement and Technology, IEE Proceedings-Volume 138, Issue 6, pp. 295 - 299 , Nov 1991.
- [2] T. A. D. Riley, M. A. Copeland, and T. A. Kwasniewski, “Delta-sigma modulation in fractional-N frequency synthesis,” *IEEE J, Solid-State Circuits*, vol. 28, pp. 553-559, May, 1993.
- [3] S. E. Meninger and M. H. Perrot, “A fractional-N synthesizer architecture utilizing a mismatch compensated PFD/DAC structure for reduced quantization-induced phase noise,” *IEEE Trans. Circuits Syst. II*, vol. 50, pp. 839-848, Nov., 2003.
- [4] 이기원, “Simulink 모델링을 이용한 Fractional-N 주파수 합성기의 위상 잡음에 대한 연구” 고려대학교 대학원 2003.
- [5] Tai-Cheng Lee; Razavi, B. “A stabilization technique for phase-locked frequency synthesizers” Solid-State Circuits, IEEE Journal of Volume 38, Issue 6, pp.888 – 894 June 2003.
- [6] Born De Muer, and Michiel Steyaert “CMOS fractional-N synthesizers” KAP, 2003
- [7] E. Temporiti, G. Albasini, R. Castello, and M. Colombo, “A 700-KHz bandwidth $\Sigma\Delta$ fractional synthesizer with spurs compensation and linearization techniques for WCDMA applications,” *IEEE J, Solid-State Circuits*, vol. 39, pp. 1446-1454, Sept., 2004.
- [8] S. Pamarti, L. Jansson, and I. Galton, “A wideband 2.4-GHz delta-sigma fractional-N PLLwith 1-Mb/s in-loop modulation,” *IEEE J, Solid-State Circuits*, vol. 39, pp. 49-62, Jan., 2004.
- [9] W, Rhee, B. Song, and A. Ali, “A 1.1-GHz CMOS fractional-N frequency synthesizer with a 3-bit third-order Δ - Σ modulator,” *IEEE J, Solid-State Circuits*, vol. 35, pp. 1453-1460, Oct., 2000.
- [10] Joonsuk Lee, and Beomsup Kim, “A low-noise fast lock phase-locked loop with adaptive bandwidth control,” *IEEE J, Solid-State Circuits*, vol. 35, pp.1137-1145, Aug. 2000.

- [11] B. Razavi, *RF Microelectronics*, Prentice Hall PTR, 1998.
- [12] 길민선, “3차 delta sigma 변조기를 이용한 2GHz CMOS 주파수 합성기 설계”
고려대학교 대학원 2001.

