

공 학 석 사 학 위 논 문

Fractional spur를 억제한
single-PLL 구조의 fractional-N
주파수 합성기



2007년 2월

부 경 대 학 교 대 학 원

전 자 공 학 과

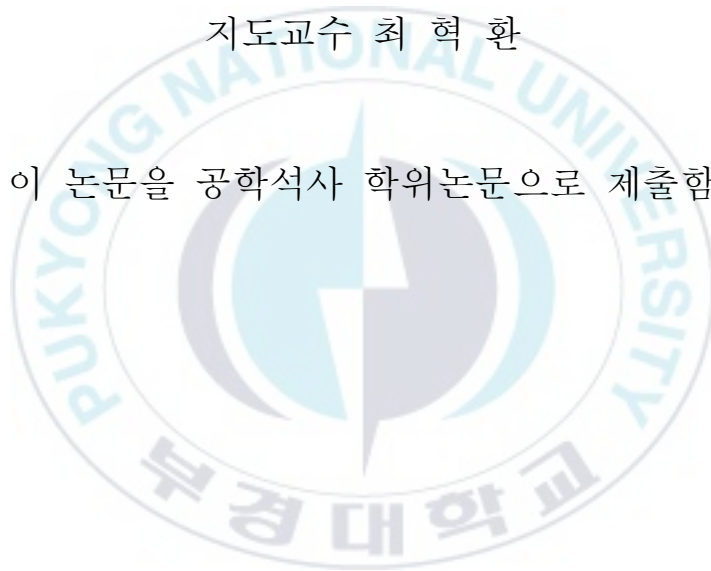
최 정 민

공 학 석 사 학 위 논 문

Fractional spur를 억제한 single-PLL 구조의
fractional-N 주파수 합성기

지도교수 최 혁 환

이 논문을 공학석사 학위논문으로 제출함



2007년 2월

부 경 대 학 교 대 학 원

전 자 공 학 과

최 정 민

최정민의 공학석사 학위논문을 인준함

2007년 2월



주 심 공학박사 권 태 하 (인)

위 원 공학박사 최 영 식 (인)

위 원 공학박사 최 혁 환 (인)

목 차

Abstract	iii
1. 서 론	1
2. 위상 고정루프의 이론 및 구조	3
2.1 전하펌프-위상 고정루프	3
2.2 위상 고정루프의 구조	5
2.2.1 위상 주파수 검출기	5
2.2.2 전하 펌프와 루프 필터	8
2.2.3 전압 제어 발진기	10
2.2.4 주파수 분주기	12
2.3 위상 고정루프의 전달 함수	13
2.4 전하펌프-위상 고정루프의 선형적 분석	17
2.5 주파수 분주기 구조에 따른 위상 고정 루프	17
2.5.1 Integer-N 구조,	19

2.5.2 Fractional-N 구조	20
3. Fractional spur 억제 구조의 fractional-N 위상 고정루프	23
3.1 Capacitance scaling 구조의 위상 고정루프	23
3.2 Adaptive bandwidth를 이용한 fractional-N 위상 고정루프	24
3.3 제안한 위상 고정루프의 구조	28
4. 시뮬레이션 결과	42
5. 결 론	45
참고문헌	46

A fractional spur suppressed fractional-N frequency
synthesizer with a fractional divider single-PLL architecture

Jeong-Min Choi

*Department of Electronics engineering, The Graduate School,
Pukyong National University*

Abstract

In this paper, the fractional-N phase-locked loop(PLL) architecture for locking time reduction and fractional spur suppressing is proposed based on the adaptive bandwidth and capacitance scaling scheme. The adaptive bandwidth is controlled by charge pump current and effective capacitance of loop filter which can be scaled up/down depending on the lock status. It has been simulated by HSPICE in a CMOS 0.35um process, and show that locking time is less than 50 μ s with the loop filter of 3nF and 200pF capacitors, and 1.5k Ω resistor.

1. 서론

최근 무선 시스템의 발전으로 고속 데이터 통신 시스템이나 이동 통신 수신기 등 신호를 송수신하기 위하여 주파수 합성기를 필요로 한다. 주파수 합성기란 외부에서 발생시키는 기준 주파수를 이용하여 원하는 주파수로 생성하는 회로이다. 주파수 발생기에는 수정 발진 방식, 위상 고정루프 방식 등 여러 가지가 있으나 그 중에서 위상 고정루프(Phase Locked Loop)방식이 집적화가 쉽고 가격이 저렴하며 제품화가 용이해서 일반적으로 사용되고 있다. 무선통신에 사용하는 위상 고정루프의 경우, 시스템의 요구하는 조건을 만족하면서 낮은 위상 잡음, 빠른 락킹 시간과 작은 주파수 분해능 등을 요구한다. 이러한 연구 중에 하나로 integer-N 방식의 위상 고정루프와 fractional-N 방식의 위상 고정루프가 개발되었다. Integer-N 방식은 채널 간격이 좁은 통신 시스템이 개발되면서 좁은 대역폭 때문에 락 시간이 길어지기 때문에 대역폭이 좁은 시스템에서는 integer-N 방식을 적용하는 것이 어려워졌다. 이러한 문제점을 해결하기 위하여 입력 주파수의 분수배로 주파수를 합성하는 fractional-N 방식이 제안되었다. 그러나 fractional-N 방식은 주파수를 integer-N 방식에 비하여 효율적으로 사용 할 수 있게 되었으나 fractional spur라는 새로운 잡음을 발생시키게 되었다. Fractional spur를 줄이기 위해 광대역(Wide-bandwidth) 위상 고정루프와 협대역(Narrow-bandwidth) 위상 고정루프를 사용한 2중 구조의 위상

고정루프가 제안되었다^[1-2]. 하지만 2중 구조 위상 고정루프는 락 시간도 느리고 구조면에서도 상당히 복잡하여 면적이 넓어지고 전력 소모도 심하게 된다. 본 논문에서는 adaptive bandwidth 구조와 capacitance scaling 방식을 사용하여 fractional spur를 억제한 fractional-N 위상 고정루프를 제안하였다.

제안된 회로에서는 락킹 상태가 아닐때는 전하 펌프에서 전류를 많이 흘려서 루프 필터의 전압을 빠르게 상승 시킴으로서 빠른 락킹 타임을 유도하며 락킹 상태일때는 전하 펌프의 전류를 적게 흘림으로서 spur를 줄이는 역할을 한다.

제안된 위상 고정루프는 0.35 μ m CMOS 공정을 이용하여 HSPICE를 이용하여 시뮬레이션 하였다. 동작 영역은 890~910MHz대이며 기존의 2중 위상 고정루프와 비교하여 락 시간이 빠르며 회로 구조도 간단해졌다. 락킹 시간은 50 μ s이며, fractional spur를 발생시키는 루프 필터의 전압 크기는 800 μ V로서 꽤 작은 값을 가진다.

2. 위상 고정루프의 이론 및 구조

2.1 전하펌프-위상 고정루프^[3]

확장된 동작 범위를 가지는 위상 고정루프의 특별한 형태로 전하펌프-위상 고정루프(Charge Pump Phase Locked-Loop : CPPLL)의 기본적인 블록 다이어그램을 그림 2-1에 나타내었다.

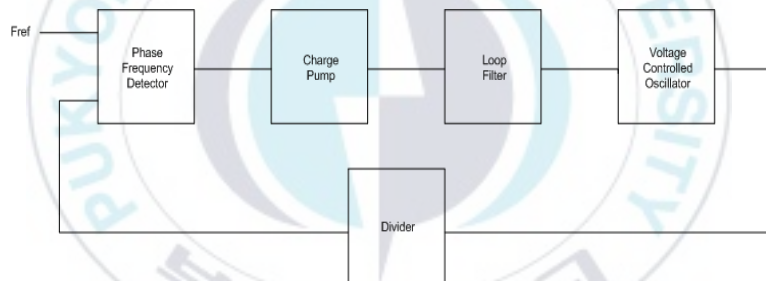


그림 2.1 전하펌프-위상 고정루프의 구조

전하펌프-위상 고정루프는 위상 주파수 검출기(phase frequency detector: PFD), 전하펌프(charge pump: CP), 루프필터(loop filter: LF), 전압제어 발진기(voltage controlled oscillator: VCO), 분주기(clock divider)로 이루어져 있다. 위상 주파수 검출기는 외부로부터 입력되는 기준주파수(Fref) 신호와 전압

제어 발진기에서 생성되는 신호간의 위상과 주파수를 비교하여 위상 및 주파수의 차이에 해당하는 신호를 출력하여 전하펌프를 구동한다. 전하펌프는 입력 신호의 펄스폭에 비례하는 전류를 구동하여 루프필터의 커패시터를 충전 또는 방전시킴으로서 전압제어 발진기의 주파수와 위상을 기준 주파수의 위상과 동일하게 만드는 전압제어 발진기의 제어 전압을 발생시킨다. 분주기는 낮은 기본 주파수의 외부입력을 사용할 수 있게 할 뿐만 아니라, 원하는 전압제어 발진기의 출력주파수를 얻을 수 있게 한다. 루프필터는 차수에 따라 2차, 3차, 4차 필터 등으로 나누며, 필터에 쓰이는 소자에 따라 능동 필터(active filter)와 수동 필터(passive filter)로 다시 나누어진다. 분주기는 보통 D플립플롭을 이용하여 원하는 분주비를 만든다. 표 1은 위상 고정루프의 주요 용도를 나타내었고, 표 2에서는 주파수 합성기로서의 위상 고정루프의 성능에 대한 기준을 나타내었다 [4-6].

표 1. 위상 고정루프의 주요 응용 분야

자동주파수제어	모터의 속도 제어
주파수합성 · 변환	주파수 합성기, 주파수채배 · 분주
FM · PM의 복조	위성통신복조기, MODEM
신호의 트래킹	위성통신
신호의 동기	TV수상기, 데이터통신, PCM통신
주파수 선택성	필터(BPF)

표 2. 주파수 합성기의 성능에 대한 기준

	기준	설명	단위
1	Phase Noise(PN)	위상 잡음	dBc/Hz
2	주파수 범위	VCO의 튜닝범위에 의해 결정	MHz
3	주파수 분해도 (resolution)	채널 간격이나 스텝사이즈의 최소값	Hz
4	스위칭 속도	최종주파수의 허용오차안에 도달하는데 걸리는 시간	μ s
5	이산(discrete) spurious 크기	주기적인 성분들은 캐리어와 관련 없다. 레이아웃에서의 오차와 바이어스의 오차에 원인이 있다. 캐리어의 하모닉 성분들은 이 내용들을 포함하지 않는다.	dBc
6	전력 소비	·	Watts or dBm
7	출력 진폭의 일정함	RF합성기에서 진폭이 위상(phase)으로 변조되는 것을 막기 위해서 중요한 의미를 가진다.	dBm $\pm$ x dB

2.2 위상 고정루프의 구조^[7]

2.2.1 위상 주파수 검출기

위상 주파수 검출기는 기준 신호의 위상과 출력 신호의 위상이 맞는지를 확인하기 위한 위상 검출과 위상 고정루프 전체의 락킹 영역을 넓히기 위하여 주파수 검출까지 같이 할 수 있는 회로를 말한다. 위상 주파수 검출기는 현재

그림 2.2.1과 같은 3-상태(3-state) 구조를 가장 많이 쓰고 있다.

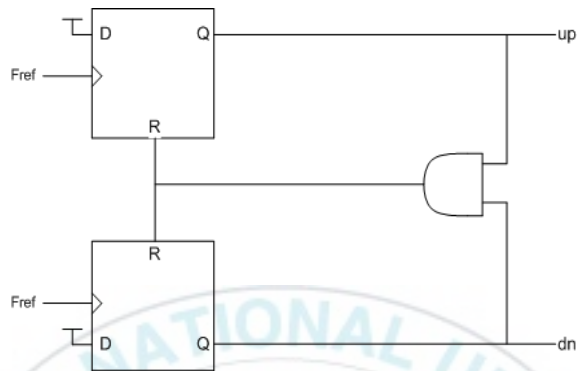


그림 2.2.1 3상 위상 주파수 검출기

3-상태 위상 주파수 검출기는 2개의 D플립플롭과 하나의 AND 게이트로 이루어져 있다. 위상 신호를 입력으로 하는 위상 주파수 검출기가 시간에 따른 위상의 차이, 즉 주파수 정보도 검출 할 수 있도록 하기 위해서는 이전 위상과 현재 위상을 기억할 메모리 소자가 필요하게 된다. 이러한 메모리 소자로 D플립플롭이 사용된다. 그림 2.2.2의 상태 변화도에서 구체적인 동작을 알 수 있다.

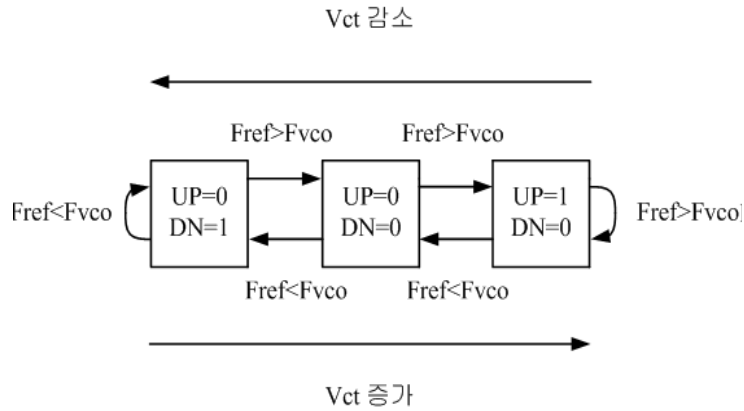


그림 2.2.2 3상 위상 주파수 검출기의 상태 변화도

위상 주파수 검출기는 기준 신호(F_{ref})와 전압제어 발진기의 출력 신호(F_{vco})의 위상과 주파수를 비교하여 그 차이에 따라 up/dn 신호를 발생시킨다. 기준 신호가 전압제어 발진기의 출력 신호보다 더 빠르면, 그 차이만큼의 펄스폭을 가지는 up신호를 출력한다. 출력된 up신호는 전하펌프를 구동시켜서 루프필터의 전압(V_{ct})을 상승시켜 출력 주파수를 높인다. 반대로 기준 신호가 전압제어 발진기의 출력 신호보다 느리면, 그 차이만큼의 펄스폭을 가지는 dn신호를 출력한다. 출력된 dn 신호는 전하펌프를 구동시켜 루프필터의 전압을 감소시켜 출력 주파수를 낮춘다. 기준 신호와 전압제어 발진기의 출력 신호가 같아지면 이상적인 경우 루프필터에 공급되는 전류는 0이 되므로 루프필터의 전압이 일정한 값을 가져 출력 주파수는 항상 일정한 값을 유지하게 된다.

2.2.2 전하 펌프와 루프 필터

그림 2.2.3은 위상 고정루프에서 사용되는 전하펌프와 루프필터의 구성을 나타낸다. 전하펌프는 위상 주파수 검출기로부터 오는 기준 신호와 전압제어 발진기의 출력 신호의 위상오차에 해당하는 up/dn 신호에 의해서 제어된다. Up 신호가 'High' 일 경우에는 전하펌프의 S1 스위치가 'turn on' 되어 루프필터에 전류 I_{up} 가 흐르게 된다. 그러므로 루프필터의 커패시터에 전류가 충전되고 전압제어 발진기 입력전압 V_{ct} 는 상승하게 된다. 반대로 dn 신호가 'High' 일 경우에는 전하펌프의 S2 스위치가 'turn on' 되어 루프필터에 전류 I_{dn} 이 흐르게 된다. 이 경우에는 루프필터의 커패시터에 전류가 방전되어 전압제어 발진기 입력전압 V_{ct} 가 하강하게 된다. 전하펌프에 쓰이는 스위치 회로는 MOS 스위치가 쓰이며 보통 인버터형으로 쓰게 되며, 전하펌프에 흐르는 전류의 시간은 up/dn 신호의 펄스폭에 의하여 결정이 된다.

전하펌프에 흐르는 전류인 I_{up} 과 I_{dn} 은 위상 고정루프가 락킹이 된 상태에서는 똑같은 크기로 흘러야 한다. 하지만 스위치로 쓰이는 MOS의 특성중 PMOS와 NMOS의 이동도 차이와 위상 고정루프에서 나오는 up/dn 신호에 의한 PMOS와 NMOS 스위치의 turn on 시간차이, MOS 스위치의 클럭 피드스루(clock feedthrough), 전하 공유(charge sharing), 유한한 출력 저항값등에 의

해 전류 미스매치(mismatch)가 일어난다. 이러한 요소들에 의해 생기는 전류 미스매치는 전압제어 발전기의 입력 전압을 출렁이게 하는 주된 요인이 된다.

그림 2.2.3의 루프필터는 일반적으로 위상 고정루프에서 사용하는 수동 루프 필터이다. 이 루프필터는 두 개의 커패시터와 한 개의 저항으로 구성되어있다. C1 커패시터를 루프필터에 첨가하는 이유는 전압제어 발전기의 제어전압이 이산 전압 스텝의 형태로 되는 것을 막기 위한 것이다. 루프필터의 기능은 크게 두 가지로 나눌 수 있다. 하나는 위상 주파수 검출기 출력의 리플 성분을 제거하여 전압제어 발전기의 제어전압을 직류로 만든다. 이 기능은 전압제어 발전기의 동작 성능과 깊은 관계가 있다. 그리고 더욱 중요한 기능은 루프 필터의 설계에 따라 위상 고정루프 시스템의 기본적인 동적인 특성, 즉 락킹 타임, 루프 대역폭, 루프 이득 등이 결정된다. 이것은 시스템의 자연주파수(natural frequency), 감쇠율(damping factor)과 밀접한 관계가 있다. 따라서 설계할 때는 많은 주의가 필요하다^[8].

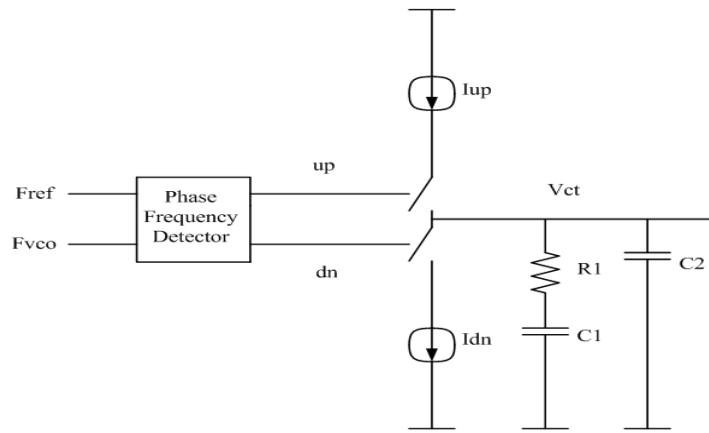


그림 2.2.3 전하펌프와 루프필터

2.2.3 전압제어 발진기

전압 제어 발진기는 입력 전압인 루프필터 전압의 변화에 따라 선형적으로 변화하는 출력 주파수의 사인파(sine wave)나 구형파(square wave)를 출력시키는 발진기이다. 일반적으로 위상 고정루프에 사용되는 전압제어 발진기는 넓은 동작 주파수 범위와 좋은 선형성을 가져야 하며 전압 제어 발진기의 주원인이 되는 공급 전압 잡음에도 안정된 동작을 해야 한다. 제어 전압에 따라서 발진 주파수가 변하는 전압 제어 발진기에서는 다음 파라미터들이 중요한 영향을 끼친다.

- 튜닝영역(Tuning range): 전압제어 발진기 주파수의 최소치와 최대치 사이의 영역
- 지터(Jitter)와 위상잡음(phase noise)
- 공급 전압원 잡음(power supply noise)과 기판 잡음(substrate noise) 제거 능력

그림 2.2.4는 전압 제어 발진기의 제어전압(V_{ct})대 발진 주파수(F_{vco})에 대해 나타내었다. 전압제어 발진기에서 제어 전압 대 발진 주파수의 특성(V-F특성)은 위상 고정루프에서 중요한 의미를 지닌다. 또한 그림 2.2.4에서 처럼 양의 기울기의 V-F특성이 바람직하다. 이것은 전압제어 발진기의 최대 동작 주파수는 최대제어 전압에서 성취됨을 의미한다. 만약 V-F의 기울기가 음이라면 전압제어 발진기의 최소 동작 주파수는 최대 공급 전압에 의해 제한되고, 인가되는 공급전압이 감소함에 따라 최소 동작 주파수가 증가하게 되므로 바람직하지 않다.

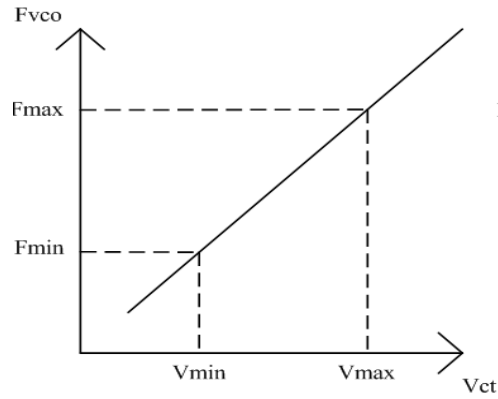


그림 2.2.4 제어 전압(Fref)대 발진 주파수(Fvco)곡선

2.2.4 주파수 분주기^[9]

위상 고정루프에서 출력 주파수를 입력 주파수와 비교하기에는 너무 큰 차이가 나게 되어서 비교가 불가능 하므로 주파수 분주기는 외부의 입력 주파수를 낮은 주파수로 사용할 수 있게 하는 회로이다. 주파수 분주기에서 주파수를 결정하는 것이 주파수 분주비(frequency ratio)이다. 위상 고정루프의 기준 주파수를 Fref, 전압 제어 발진기의 출력 주파수를 Fout, 분주기의 출력을 Fdiv, 그리고 주파수 분주비를 N으로 표현하면 다음 식으로 나타낼 수 있다.

$$F_{div} = F_{out}/N \quad (1)$$

락킹 상태에서 $F_{ref} = F_{div}$ 이므로, 식 (1)은 다음과 같이 나타내어진다.

$$F_{out} = N * F_{ref} \quad (2)$$

식 (2)에서 분주비 N 을 바꿈으로서 전압제어 발진기의 출력 주파수인 F_{out} 을 변화 시킬 수 있다는 것을 알 수 있다.

일반적으로 분주기는 D플립플롭으로 구성되고, 필요한 분주비를 얻기 위해서는 기본 분주비를 가지는 회로를 직렬로 연결하여 사용하며, 분주기의 특성에 따라서 integer- N 방식과 fractional- N 방식으로 구분 되어진다.

2.3 위상 고정루프의 전달 함수^[10-11]

위상 주파수 검출기의 출력 전압을 라플라스 표현 형태로 나타내면 다음과 같다.

$$V_{PFD}(s) = K_p \theta_e \quad (3)$$

여기서 K_p 는 위상 주파수 검출기의 이득이고, 단위는 $[V/rad]$ 이다.

루프필터는 전압제어 발진기에서 필요 없는 측파대 신호를 생산할 수 있는 고주파 성분을 제거한다. 라플라스 변환을 하면 다음과 같다.

$$V_{ct}(s) = F(s) V_{PFD}(s) \quad (4)$$

시간 영역에서 직류전압이 전압제어 발진기의 출력 주파수로 변화한다고 생각하면 다음과 같은 식이 성립된다.

$$\omega_{out} = K_{vco} K_{ct} + \omega_{fr} \quad (5)$$

여기서 K_{vco} 는 전압제어 발진기의 이득값이고, 단위는 [rad/s/V]이다.

주파수의 시간에 대해서 적분이 위상이라는 것을 감안하여, 전압제어 발진기의 초과위상에 대해서 적분을 취하면 다음과 같다.

$$\int \omega_{out} dt = \phi_{out}(t) = K_{vco} \int K_{ct} dt \quad (6)$$

라플라스에서, 이 초과위상은 다음과 같다.

$$\theta_{out} = \frac{K_{vco}}{s} V_{ct}(s) \quad (7)$$

피드백 부분의 분주기는 S-영역에서 다음과 같이 간략화 된다.

$$\theta_{out(\div r)} = \frac{\theta_{out}}{N} \quad (8)$$

forward 전달함수 $G(s)$ 는 다음과 같이 나타낸다.

$$G(s) = \frac{\theta_{out}}{\theta_e} = \left(\frac{V_{PFD}}{\theta_e} \right) \left(\frac{V_{ct}(s)}{V_{PFD}(s)} \right) \left(\frac{\theta_e}{V_{ct}(s)} \right) = \left(\frac{K_p F(s) K_{vco}}{s} \right) \quad (9)$$

피드백 전달함수는 다음과 같다.

$$\frac{H(s) = \theta_{di}}{\theta_{out}} = \frac{1}{N} \quad (10)$$

위상 고정루프에서 계루프(open loop)함수는 다음과 같이 나타낸다.

$$G(s)H(s) = G_{OL}(s) = \frac{\theta_{out}/N}{\theta_e} = \frac{K_p K_{vco} F(s)}{N_s} \quad (11)$$

계루프 전달함수에서, 위상 고정루프의 교차점주파수는 $|G(s)H(s)|=1$ 일 때이다. 계루프 이득이 0dB을 교차할 때의 위상 마진은 충분히 확보되어야 위상 고정루프가 안정도를 가질 수 있다. 이 위상 마진은 루프필터의 구조와 소자들의 값에 따라 변한다. 적절한 시스템 레벨의 디자인에 의해서, 루프 대역폭과 위상 마진은 적용 시스템에 최적화 된다. 폐루프(closed loop)전달함수는 다음과 같다.

$$\frac{\theta_{out}}{\theta_i} = \frac{N \cdot G(s)H(s)}{1 + G(s)H(s)} = \frac{1}{H(s)} \frac{G(s)H(s)}{1 + G(s)H(s)} = \frac{N \cdot G_{OL}(s)}{1 + G_{OL}(s)} \quad (12)$$

$$\frac{\theta_{out}}{N\theta_i} = \frac{K_p K_{vco} F(s)}{N_s + K_p K_{vco} F(s)} \quad (13)$$

계루프에서 오차 전달함수는 다음과 같다.

$$\frac{\theta_e}{\theta_i} = 1 - \frac{\theta_{out}}{N\theta_i} = \frac{1}{1 + G_{OL}(s)} = \frac{N_s}{N_s + K_p K_{vco} F(s)} \quad (14)$$

2.4 전 하웁프-위상 고정루프의 선형적 분석

루프의 동작특성을 s-영역에서 분석하면 계루프 전달 함수와, 페루프 전달함수는 수식(15)와(16)으로 나타낼 수 있다.

$$H_{open} = K_{PFD} \frac{K_{vco}}{s} G_{LPF}(s) \quad (15)$$

$$H_{closed} = \frac{K_{PFD} K_{vco} G_{LPF}(s)}{s + K_{PFD} K_{vco} G_{LPF}(s)} \quad (16)$$

위의 수식을 바탕으로 위상 고정루프의 계루프 전달함수는 수식(17)과 같고, 페루프 전달 함수는 수식(18)과 같다.

$$\frac{\theta_o(s)}{\Delta\theta(s)} = \frac{1}{2\pi} I_P G_{LPF}(s) \frac{K_{vco}}{s} \quad (17)$$

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{K_{vco} I_P G_{LPF}(s)}{2\pi + K_{vco} I_P G_{LPF}(s)} \quad (18)$$

$G_{LPF}(s)$ 는 루프 필터의 전달함수를 나타내고, 주로 저역통과 필터가 사용된

다. 2차필터를 사용하는 경우에 대하여 루프의 동적 특성을 살펴보면, 2차 필터

에서는 두 개의 pole은 원점에 존재하고 나머지 하나는 pole과 한 개의 zero를 이용하여 위상 마진을 고려하여 루프의 안정성을 보장하게 하고, 대역폭을 조절하게 된다.

2차 필터를 이용한 전체 위상 고정루프의 계루프와 폐루프의 전달함수를 구하면 다음과 같다.

$$H_{open} = \frac{1}{2\pi} I_p \frac{1 + sRC_1}{s(C_1 + C_2) + s^2 RC_1 C_2} \frac{K_{vco}}{s} \quad (19)$$

$$H_{closed} = \frac{K_{vco} I_p (1 + sRC_1)}{K_{vco} I_p + K_{vco} I_p RC_1 s + 2\pi(C_1 + C_2)s^2 + 2\pi RC_1 C_2 s^3} \quad (20)$$

위의 수식 (19), (20)에서처럼 원점에 2개의 pole이 존재하고, $\frac{C_1 + C_2}{RC_1 C_2}$ 에 pole이 하나 존재하고, $\frac{1}{RC_1}$ 에 하나의 zero가 존재한다.

루프 필터의 차수에 따라, 그리고 R과 C_1 , C_2 의 값에 따라 위의 식의 특성이 달라지므로 원하는 대역폭과, 안정성을 고려하여 필터를 설계하여야 한다.

2.5 주파수 분주기 구조에 따른 위상 고정루프

2.5.1 Integer-N구조

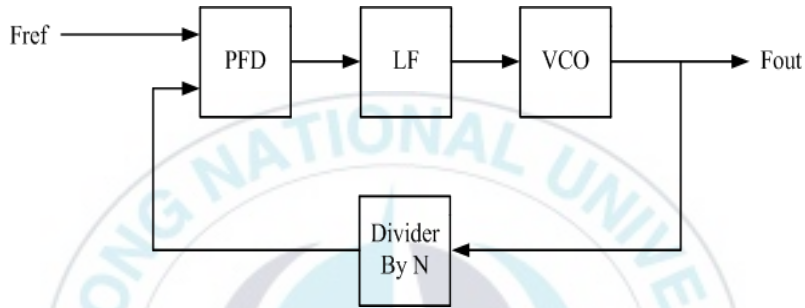


그림 2.5.1 Integer-N 위상 고정루프의 블록 다이어그램

그림 2.5.1은 integer-N 방식의 위상 고정루프의 구조를 블록다이어그램으로 나타낸 것이다. Integer-N 방식은 가장 일반적인 방법으로써 채널 간격과 입력 기준 주파수가 같을 때에 전압제어 발진기의 출력 신호를 N으로 나누어 사용하는 방법이다. Integer-N 구조의 위상 고정루프의 전압 제어 발진기에서 생성되는 주파수는 다음과 같다.

$$F_{out} = NF_{ref} \text{ or } F_{out} = \frac{N}{M}F_{ref} \quad (21)$$

M은 입력 기준 주파수를 나누어서 사용할 때의 나누는 수를 말한다. 실제로 위상 고정루프의 구조에서는 M보다는 N의 변화를 주어서 주파수를 만들어 내는 것이 간단하기 때문에 M보다는 N을 변화시켜 원하는 주파수를 얻게 된다. 하지만 integer-N 구조에서는 합성가능한 주파수 간격이 Fref가 된다. 현재의 여러 통신 시스템처럼 채널 간격이 좁은 시스템에서 사용하기 위해서는 Fref가 낮아질 수 밖에 없기 때문에, Fref가 낮으면 안정성을 고려할 때 대역폭이 좁아지게 되고, 그로 인하여 락킹 시간이 길어지게 된다.

2.5.2 Fractional-N 구조

통신 시스템들이 발전 하면서 각 채널이 가질 수 있는 대역폭은 좁아지고, 채널간의 간격도 좁아짐에 따라서 integer-N 구조는 주파수 분주기의 계수 M을 계속 올릴 수 밖에 없다. 그러나 M을 계속 높이면 위상 고정루프의 대역폭 역시 안정성을 고려하여 기준 주파수의 1/10 보다 작아져야 하므로 대역폭이 좁아지게 된다. 그러나 대역폭이 좁아지면 락킹 시간이 길어지는 등 여러 가지 문제점이 발생하게 된다. 이러한 문제점의 해결 방안으로 고안된 것이 분수의 분주비로 주파수를 합성하는 Fractional-N 구조 이다.

기본적인 fractional-N 구조는 그림 2.5.2에서 보여주고 있으며, 전압제어 발

진기에서 생성된 주파수를 나누는 N의 값을 변화시켜서 Fref의 분수배로 출력 주파수를 만들어 내는 방법이다. 평균적으로 전압 제어 발진기에서 생성된 주파수와 기준 주파수사이의 관계는 다음과 같이 나타낼 수 있다.

$$f_{out} = \frac{(P-Q)N + Q(N-1)}{P} = (N + \frac{Q}{P})F_{ref} \text{ (단, P와 Q는 정수)} \quad (22)$$

위의 수식 (22)에서 알 수 있듯이 integer-N 구조에서는 Fref에 의해 위상 고정루프에서 만들어 낼 수 있는 주파수가 제한을 받았으나, fractional-N 구조는 기준 주파수와 상관없이 원하는 전압 제어 발진기의 출력 주파수를 만들어 낼 수 있음을 위의 수식을 통해서 볼 수 있다.

이러한 주파수를 만들어 내는 동작은 다음과 같이 누산기(accumulator)를 이용하여 설명 할 수 있다. 누산기가 입력된 K의 값을 계속 더해나가다가 carry out이 발생하면, 이 신호가 dual modulus 주파수 분주기의 분주비의 값을 결정하게 된다. 누산기의 출력이 '1'이면, N+1로 분주하고, '0'이면 N으로 분주한다면, 입출력 주파수와의 관계식은 다음과 같이 나타낼 수 있다. 이러한 방법으로 fractional-N 을 구현 하였을때 가장 큰 문제점이 carry-out 신호의 주기성으로 인해 발생하는 위상 잡음으로 fractional spur라는 spurious tone이다. 실제로 누산기를 이용하여 fractional-N 구조로 위상 고정루프를 구현하면 fractional spur가 중심 주파수 가까운 곳에 아주 큰 값을 가지기 때문에 스퍼

를 제거하는 방법이 없으면 실제 통신 시스템에서 fractional-N 구조를 사용할 수 없다.

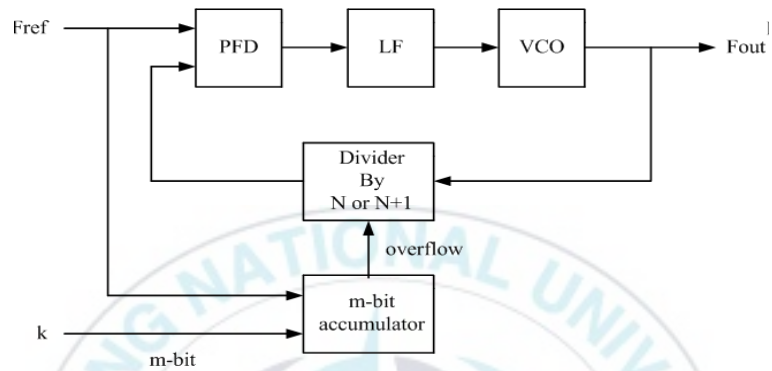


그림 2.5.2 Fractional-N 위상 고정루프의 블록 다이어그램

3. Fractional spur 억제 구조의 Fractional-N 위상 고정루프 설계

3.1 Capacitance Scaling 구조의 위상 고정루프^[12]

제안된 구조의 위상 고정루프는 2개의 전하 펌프를 가진다. 각각의 전하 펌프는 루프 필터에 전류를 넣어주는 역할을 한다. 그림 3.1.1은 전하 펌프들과 루프필터의 연결을 나타내 준다.

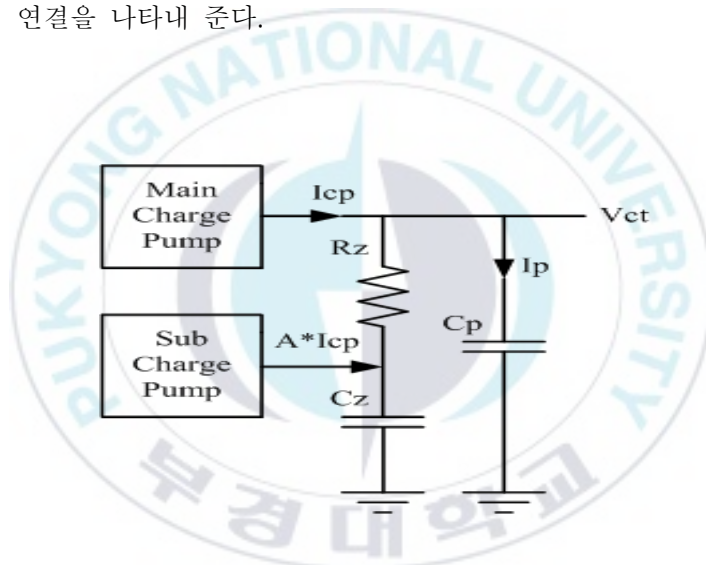


그림 3.1.1 커패시턴스 스케일링 구조

I_{cp} 는 주 전하펌프에 의하여 루프필터로 공급되는 전류를 나타내고, $A \cdot I_{cp}$ 는 락 시간을 줄이기 위하여 부 전하펌프에 의하여 루프필터로 공급되는 전류를 나타낸다. 따라서 전하펌프와 루프필터의 전달함수를 구해보면 수식(23)과 같다.

$$V_{ct} = \frac{s C_z R_z + (A+1)}{s^2 + C_p C_z R_z + s(C_p + C_z)} I_p \quad (23)$$

또한, 수식(23)은 수식(23)와 같이 표현된다.

$$V_{ct} = \frac{\left[s + \frac{1}{\frac{C_z R_z}{(A+1)}} \right] C_z R_z}{s^2 C_z C_p R_z + s(C_z + C_p)} I_{cp} \quad (24)$$

수식(24)에서 볼 수 있듯이 루프필터의 커패시터 C_z 는 A, B의 값에 따라 그 커패시턴스 값이 효과적으로 변한다. 이 것을 커패시턴스 스케일링이라고 한다. 따라서 A, B값을 조절하여 작은 커패시터로 큰 커패시턴스 값을 가지는 루프필터의 구현이 가능하다.

3.2 Adaptive bandwidth를 이용한 Fractional-N 위상 고정루프

Fractional spur와 락 시간을 줄이기 위해 본 논문에서는 락킹 상태 표시기 (Locking Status Indicator:LSI)를 이용한 fractional-N 위상 고정루프를 제안한다. 락킹 상태 표시기 블록은 그림 3.2.1과 같다.

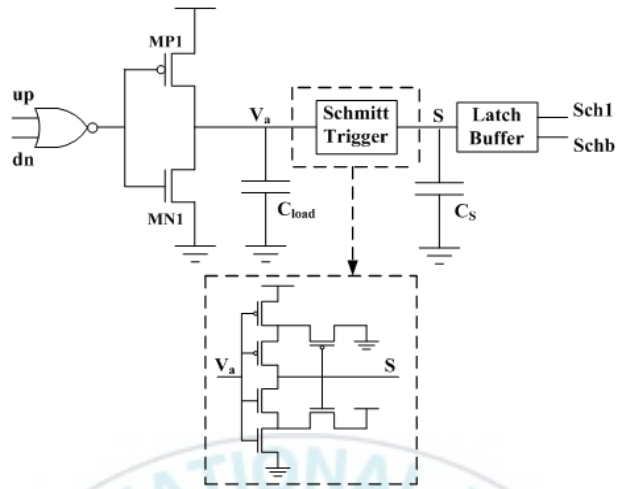
락킹 상태 표시기는 위상 주파수 검출기의 출력을 이용하여 락킹상태를 감지하는 블록인데, Up신호와 dn신호의 차이를 이용하여 락킹상태를 알아낸다. 락킹 상태 표시기의 역할은 락킹상태를 감지하여서 락킹 이전에는 전하펌프에 흐

르는 전류의 양을 크게 해서 빠른 락킹을 실현하고, 락킹 이후에는 전하펌프에 흐르는 전류의 양을 줄여서 대역폭을 줄여 스퍼의 영향을 줄이는 것이다.

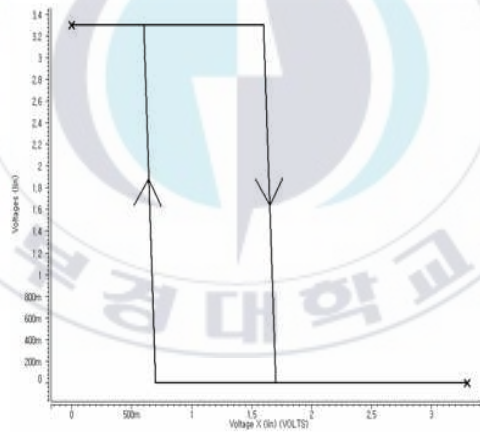
락킹 상태 표시기는 NOR 게이트, 인버터, 2개의 커패시터, 슈미트 트리거, 래치 버퍼로 구성된다. MP1과 MN1에 흐르는 전류에 의해 C_{load} 의 전압 V_a 가 정해지고, V_a 에 따라서 슈미트 트리거가 동작한다. Up 신호와 dn신호의 크기 차이에 따른 전류의 흐름은 그림 3.2.2와 같다.

그림 3.2.2 (a)처럼 위상고정루프가 out-of-lock 상태 즉, 위상 주파수 검출기의 두 입력 신호의 주파수와 위상차이가 크면 NOR 게이트의 출력은 상대적으로 "LOW" 값을 많이 가지는 주기가 일정하지 않은 펄스 형태로 나타나고 NMOS가 "ON"되어 흐르는 전류보다 상대적으로 PMOS가 "ON" 되어 흐르는 전류량이 증가한다. 따라서 V_a 의 전압은 서서히 증가한다.

한편, 그림 3.2.2 (b)처럼 위상고정루프가 in-lock상태 즉, 위상 주파수 검출기의 두 입력 신호의 주파수와 위상차이가 작으면 NOR 게이트의 출력은 상대적으로 "HIGH" 값을 많이 가지는 주기가 일정하지 않은 펄스 형태로 나타나고 PMOS가 "ON"되어 흐르는 전류보다 상대적으로 NMOS가 "ON" 되어 흐르는 전류량이 증가한다. 따라서 V_a 의 전압은 서서히 감소한다.

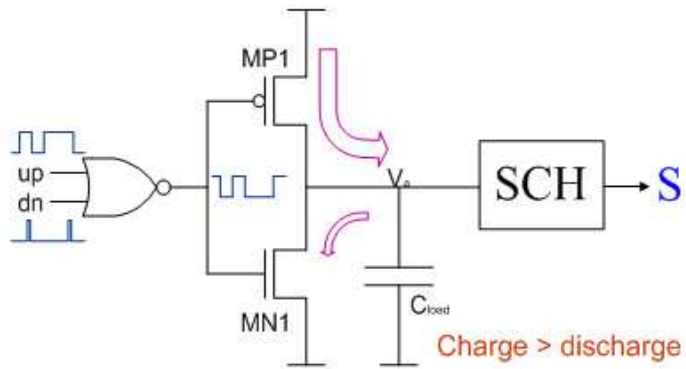


(a)

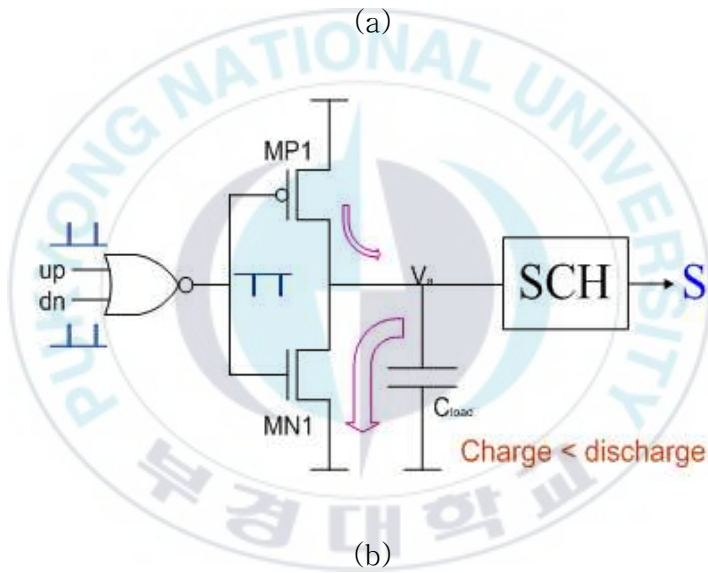


(b)

그림 3.2.1 (a) 락킹 상태 표시기(LSI), (b) 슈미트 트리거의 동작특성



(a)



(b)

그림 3.2.2 Up, Dn신호의 차이에 따른 전류의 흐름

(a) out-of-lock 상태, (b) in-lock 상태

위상 고정루프가 out-of-lock 상태일 때는 주기가 일정하지 않은 펄스로 인해 V_a 의 전압은 리플과 같은 출렁거림이 생긴다. 특히 위상 고정루프가 거의 락킹상태가 될 때에는 주파수는 거의 같지만 위상 차이가 많은 시점이 있기 때문에 V_a 의 출렁거림은 더욱 심하다. 위상 고정루프의 락킹상태에 따라 락킹 상태 표시기의 출력신호 S 가 일정하지 않고 움직인다면 신호 S 에 연결된 전하펌프와 루프필터가 원하지 않는 동작을 할 수 있다. 이러한 원하지 않는 S 신호의 움직임을 슈미트 트리거의 히스테리시스 효과를 이용하면 V_a 의 출렁거림에 관계없이 안정된 신호 S 를 얻을 수 있다. V_a 의 출렁거림이 심한 부분에서도 슈미트 트리거의 히스테리시스 동작 범위를 벗어나지 않게 충분한 여유를 두어 설계하면 안정한 S 신호를 얻을 수 있다. 슈미트 트리거의 히스테리시스 동작 범위가 정해지면, MP1과 MN1에 흐르는 전류와 C_{load} 값은 짧은 락킹 시간을 갖도록 설계하였다.

3.3 제안한 위상 고정루프의 구조

본 논문에서는 fractional spur 억제 구조의 fractional-N 위상 고정루프를 제안하였다. 2개의 전하펌프들로부터 공급되는 전류의 경로와 동작 상태에 따라서 전류의 크기를 조절하여 락킹 시간의 단축과 fractional spur의 크기를 줄

일 수 있는 구조로 설계하였다.

본 논문에서 제안한 fractional-N 위상 고정루프의 구조는 그림 3.3.1과 같다.

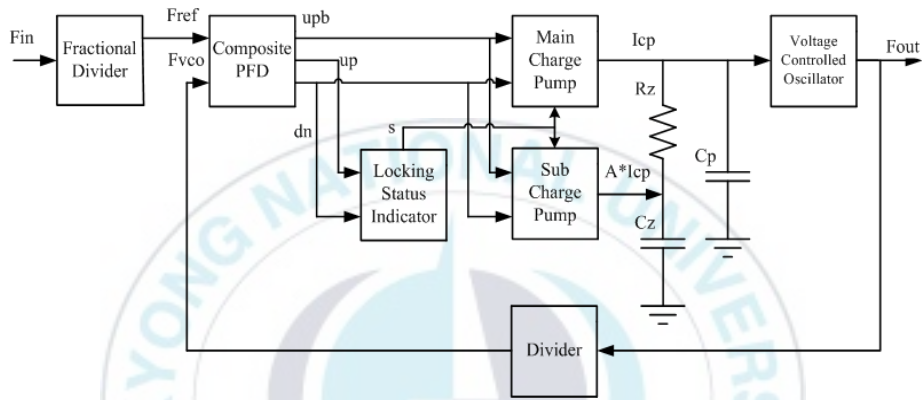


그림 3.3.1 제안한 위상 고정루프의 구조

제안한 위상 고정루프는 Fractional Divider(FD), 복합 위상 주파수 검출기 (PFD), 락킹 상태 표시기, 두 개의 전하펌프, 루프필터, 전압제어 발진기와 분주기로 구성된다. 제안한 구조의 Fractional Divider는 n비트의 반가산기와 Carry Look Ahead Adder를 합친 누산기와 레지스터로 구성되어 있으며, 제안한 구조에서는 13bit를 사용하였다. Fractional Divider의 역할은 입력 주파수를 받아서 주파수를 Fractional한 값으로 변경해주는 역할을 하며 출력되는 주파수의 값은 입력되는 값에 따라서 결정되게 된다.

Fractional Divider의 구성도는 그림 3.3.2와 같다.

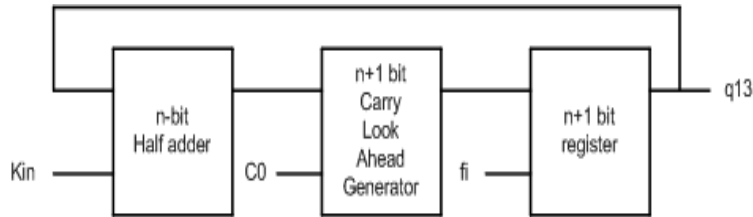
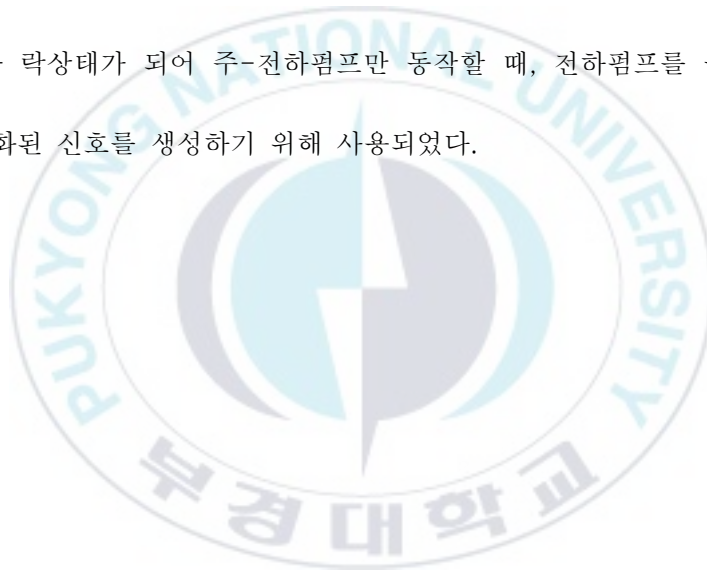


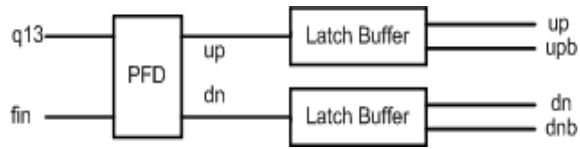
그림 3.3.2 Fractional Divider의 내부 블록도

Fractional Divider는 외부에서 입력 값을 받아서 그 값에 해당하는 주파수를 출력하는 회로이다. K_{in} 은 Fractional Divider의 출력 주파수를 결정하기 위해 외부에서 입력하는 값이며 K_{in} 의 값에 따라서 주파수의 출력이 결정된다. 출력에서 나오는 n -bit의 신호들을 피드백시켜서 그 값들을 반가산기에 입력된 값들과 계속 더하게 되며 그 중에서 캐리가 발생되게 되면 캐리를 출력시키고 계속 더하는 작업을 반복한다. 캐리 발생시에 게이트 상에서 지연되는 것을 방지하기 위하여 Carry look ahead generator를 사용하였으며, 상위 캐리의 출력이 입력되는 주파수인 기준 주파수가 된다. 레지스터는 D-플립플롭으로 구성되어 있으며, 출력값들을 저장하며 클럭에 따라서 데이터들을 보내주는 역할을 한다. 복합 위상 주파수 검출기는 전하펌프들이 원하는 동작을 하기 위한 입력을 만들어 낸다. 전하 펌프는 주 전하펌프(Main-CP)와 부-전하펌프(Sub-CP)

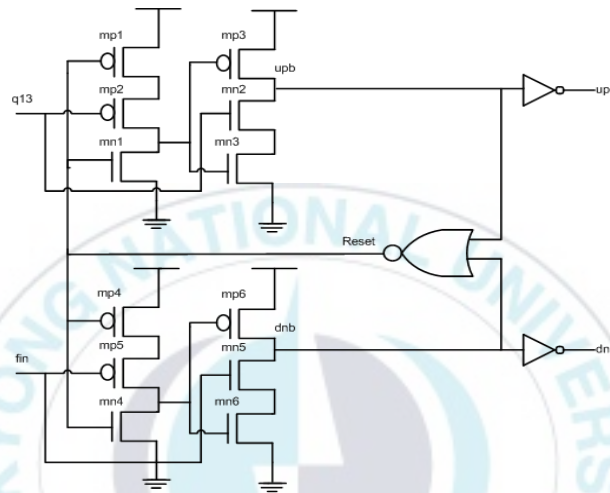
로 나누어져 있으며, 주 전하펌프는 2차의 저대역 통과 필터인 루프필터로 락킹 상태 표시기의 신호에 따라서 유동적인 전류를 공급한다. 부-전하펌프는 루프필터의 커패시터 C_z 에 전류를 공급하는 역할을 하게 되며 락킹 상태 표시기의 신호에 따라서 동작하거나 또는 동작하지 않게 된다. 위상 고정루프가 out-of-lock일 경우에는 주-전하펌프의 전류량은 증가하게 된다. 또한 부-전하펌프에서도 전류를 같이 공급하게 되므로 C_z 는 주-전하펌프와 부-전하펌프에 의하여 빨리 충전이 된다. 즉, C_z 의 커패시턴스 값이 작아지는 효과가 나타난다. 이것은 루프 대역폭의 크기를 증가시키고 락킹 시간을 빠르게 한다. 반면 위상 고정루프가 in-lock일 경우, 주-전하펌프는 락킹 상태 표시기의 신호에 의해서 작은 양의 전류를 흘려주게 되며, 부-전하펌프는 동작하지 않게 된다. 따라서 C_z 는 주-전하펌프의 전류의 양이 아주 작으므로 늦게 충전하게 된다. 즉, C_z 의 커패시턴스 값이 커진 듯한 효과가 나타나게 되고, 이것은 루프 대역폭을 감소시켜 스퍼를 줄이는 역할을 하게 된다. 제안된 구조의 위상 고정루프는 두 개의 전하펌프를 가진다. 이 2개의 전하펌프를 락킹상태에 맞게 사용하기 위해서는 각 전하펌프에 맞는 입력을 사용해야 한다. 따라서 본 논문에서는 복합 위상 주파수 검출기를 사용했으며 그 구조는 그림 3.3.3 (a)에서 블록도로 보여주고 있다. 복합 위상 주파수 검출기는 그림 3.3.3 (b)와 같은 동적 CMOS 로직을 이용한 위상 주파수 검출기와 그림 3.3.3 (c)와 같은 래치 버퍼로 구성된다. 따라서 복합 위상 주파수 검출기는 네 가지의 동기화된 서로 다른 신호를

생성한다. 그림 3.3.3 (b)의 동적 CMOS 로직회로를 이용한 위상 주파수 검출기는 설계가 간단하여 많이 사용하고 있는 회로이다. 위상 주파수 검출기가 기준 주파수와 전압제어 발진기의 출력 신호의 위상차가 매우 작을 경우에는 위상 차이가 있어도 검출하지 못하는 데드존(dead zone)문제를 가지기 때문에 전하펌프의 충분한 스위칭 시간을 위해 NOR게이트 출력에 인버터로 구성된 지연셀을 설치하여 데드존 문제를 해결 하였다. 그림 3.3.3 (c)의 래치 버퍼는 위상 고정루프가 락상태가 되어 주-전하펌프만 동작할 때, 전하펌프를 구동하는 신호의 동기화된 신호를 생성하기 위해 사용되었다.

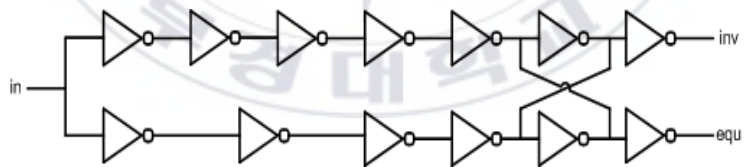




(a)



(b)



(c)

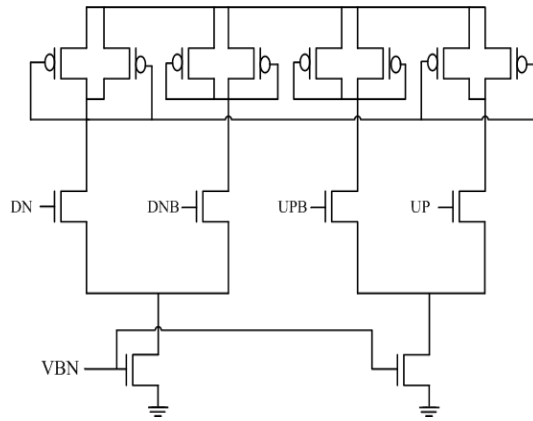
그림 3.3.3 (a) 복합 위상 주파수 검출기 블록도

(b) 위상 주파수 검출기 회로, (c) 래치 버퍼

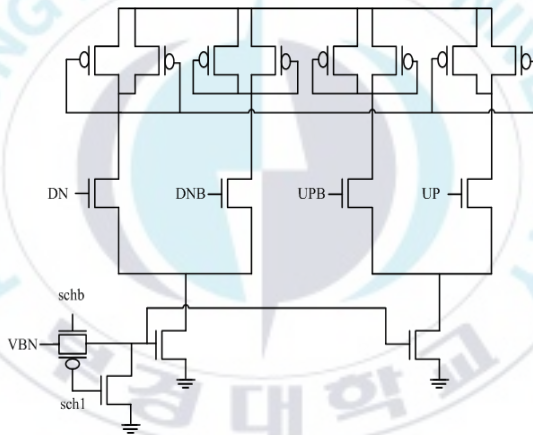
제안된 구조에서는 2개의 전하펌프가 필요하다. 기존의 cascode 회로를 사용한 전하펌프는 전류의 흔들림이 심하여 락킹시에 루프필터의 전압의 흔들림을 유발 시켰다. 제안된 구조에서는 새로운 구조의 전하 펌프를 사용하였다. 제안된 구조에서 사용된 전하펌프는 4개의 신호로 동작하며, 각 신호에 따라서 NMOS를 개방 또는 폐쇄하여 각 신호의 크기 만큼의 전류를 공급하며, 기존의 cascode 구조보다 전류의 흔들림이 많이 줄어들었다. 새로운 구조의 전하 펌프는 그림 3.3.4에서 보여주고 있다. 주-전하펌프는 그림 3.3.4와 같이 락킹 상태 표시기의 신호에 따라 루프필터에 다른 전류를 공급하도록 설계되었다. 즉, 두 개의 전하펌프가 합쳐진 2중 구조를 가진다. 주-전하펌프는 그림 3.3.4의 (a)와 (b)의 전하펌프 2개를 합친 구조로 되어 있으며, out-of-lock 일때는 2개를 다 구동시켜 많은 양의 전류를 흐르게 하며, In-lock 일때는 그림 3.3.4의 (a)만 구동되어서 적은 양의 전류를 흐르게 한다. 부-전하펌프는 그림 3.3.4의 (b)의 구조로 되어 있으며, out-of-lock 일때는 락킹 상태 표시기의 신호가 들어오지 않으므로 루프필터의 커패시터 C_z 에 일정한 전류를 공급하게 되며, in-lock 상태에서는 락킹 상태 표시기의 신호가 입력 되므로 전하펌프는 전류를 흘리지 않으므로 위상 고정루프의 동작에 영향을 끼치지 않는다. 2개의 전하펌프들은 제어 전압을 입력으로 받게 된다. 제어 전압의 출력에 따라서 전류의 양을 결정하며, 제어 전압은 3.3.4의 (a)와 (b)의 값에 틀리게 된다. (a)부분은 위상 고정루프의 상태에 관계없이 작은 전류를 흘려주게 되는 구조이며, (b)

는 락킹 상태 표시기의 신호에 따라서 많은 전류를 흘리게 되므로 제어 전압은 (a)의 구조보다 (b)의 구조가 조금 더 크다. 락킹상태에 따른 전하펌프의 전류는 표 1과 같다.





(a)



(b)

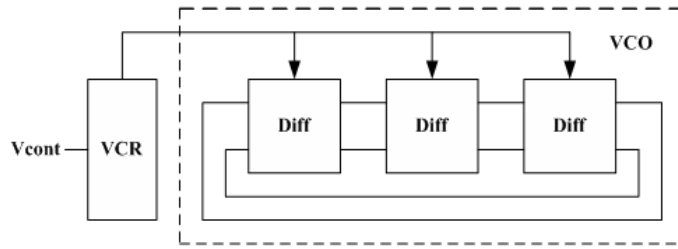
그림 3.3.4 전하펌프의 회로도

(a) Fix Current, (b) Variable Current

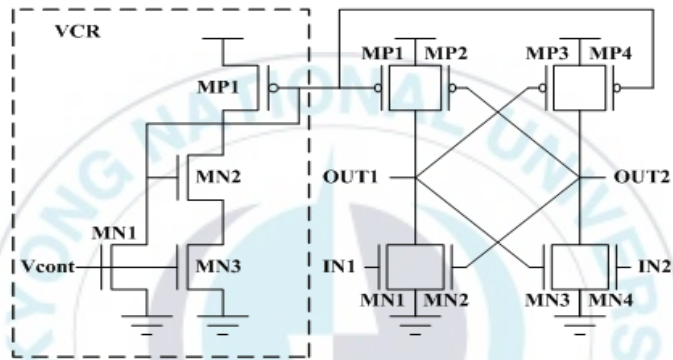
표 3. Locking 상태에 따른 전하펌프의 전류량

Status CP(μ A)	out-of-lock	in-lock
Main CP(Fix+ Variable)	10+ 40	10+ 0
Sub CP(Variable)	50(A=1)	0(A=0)

전압 제어 발진기는 전압 제어 저항(Voltage Controlled Resistor :VCR)과 래치 구조로 구성되어 있다. 전압 제어 저항은 회로의 구조가 간단하며 튜닝범위를 쉽게 바꿀 수 있는 장점 때문에 전압 제어 발진기에서 많이 사용되고 있으며, 래치 구조는 지터 및 위상 잡음을 개선하기 위해서 일반적인 홀수 인버터-링(inverter-ring)구조 대신에 사용하였다. 본 논문에서 사용한 전압 제어 발진기의 회로는 그림 3.3.5와 같다.



(a)



(b)

그림 3.3.5 전압제어 발진기의 구조

(a) 블록도, (b) VCR 및 차동 래치 구조 회로

루프필터의 출력전압 V_{ct} 는 전압 제어 저항을 통해 전압 제어 발진기의 출력 주파수를 조절하는 전류로 변환된다. 전압 제어 저항은 입력 전압의 변화를 큰 전류의 변화로 바뀌서 전압 제어 발진기의 출력 주파수 범위를 넓혀준다. 전압 제어 발진기는 그림 3.3.5의 (a)와 같이 차동 소자 3개를 달아서 구성하였다. MP2와 MP3, MN2와 MN3는 래치 소자의 짧은 구동시간을 가지게 하여 위상 잡음을 줄여준다[8]. 전압 제어 저항에 연결된 MP1과 MP4는 지연소자에 흐르는 전류와 지연시간을 조절한다. 그림 3.3.6은 전압 제어 저항의 전압 대 전류 특성을 나타낸 것이다. 전압 제어 저항의 NMOS가 문턱 전압까지 상승해야 선형적으로 전류가 증가함을 그림을 통하여 알 수 있다. 위상 고정루프가 락킹상태일 때 전압 제어 발진기의 입력 전압인 V_{ct} 는 최소한 문턱 전압 이상이 되어야 함을 알 수 있다.

그림 3.3.7에서는 제안한 회로의 전압 제어 발진기의 입력전압 대 주파수 특성을 시뮬레이션 한 것이다.

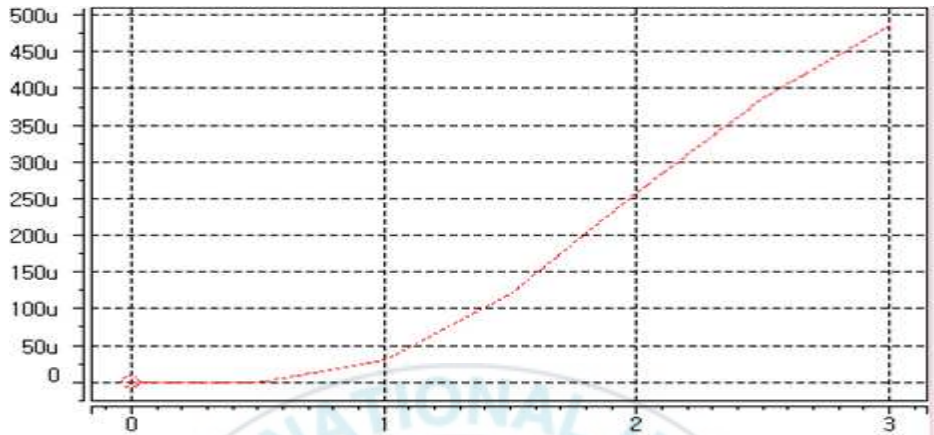


그림 3.3.6 VCR의 전압 - 전류 특성

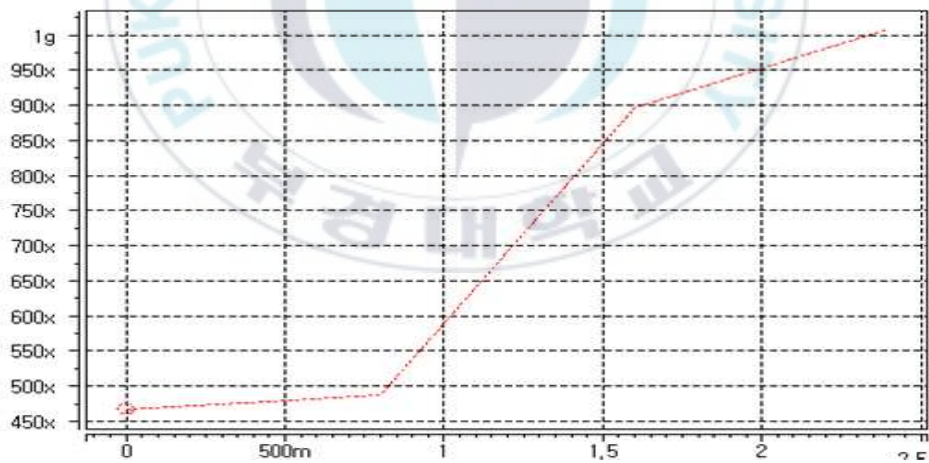


그림 3.3.7 전압 제어 밸브의 전압-주파수 특성

주파수 분주기는 4개를 직렬로 연결하여 16 분주 회로를 만들었으며, 분주기로서는 저 전력 고속 회로에 많이 사용되는 TSPC형 D플립플롭을 사용하였다. 입력 주파수는 전압 제어 발진기의 출력 주파수인 900MHz이며, 출력은 16분주 된 주파수인 56.25MHz의 주파수를 출력하게 된다.



4. 시뮬레이션 결과

제안한 위상 고정루프는 890~910MHz대에서 동작하도록 설계 되었으며, 입력 주파수는 128MHz, Fractional Divider를 거쳐서 나오는 주파수는 56.25MHz이며, 전압제어 발진기의 이득은 350MHz/V이며, 주파수 분주기의 분주비는 64이다. 주-전하펌프의 전류는 out-of-lock일때는 50 μ A이며, in-lock상태일때는 10 μ A이다. 부-전하펌프의 전류는 out-of-lock일때는 50 μ A이며, in-lock상태일때는 0 μ A이다. 루프필터의 저항은 1.5K Ω 이며 Cz와 Cp는 각각 3nF, 0.2nF이다.

그림 4.1은 위상 마진을 구하기 위해 MATLAB을 이용하여 제안한 구조의 위상 고정루프의 각 상태에 따라서 시뮬레이션 한 결과이다. out-of-lock일때는 대역폭과 위상 마진은 각각 284.89kHz, 44.8°이며, in-lock 일때에는 40.26kHz, 52.2°의 값을 가졌다.

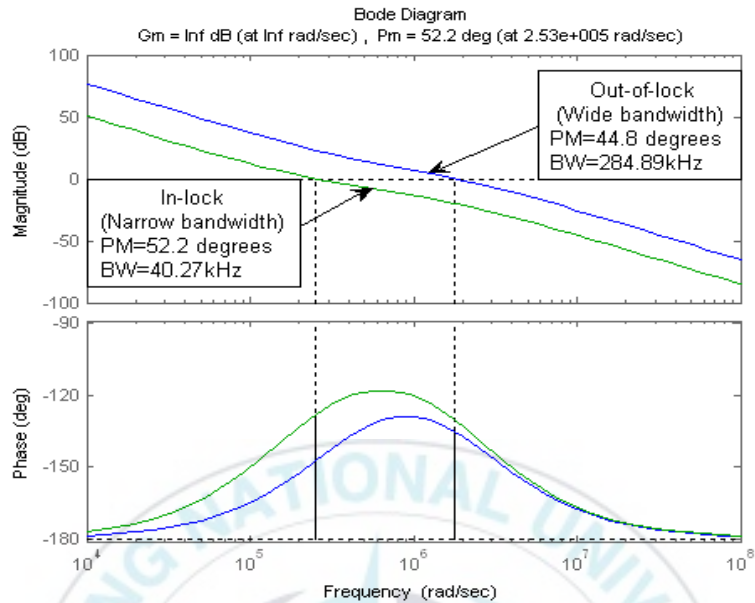


그림 4.1 제안된 위상 고정루프의 MATLAB 시뮬레이션

그림 4.2는 제안된 회로를 $0.35\mu\text{m}$ CMOS공정을 이용하여 HSPICE로 시뮬레이션한 결과이다. 4.2에서도 볼 수 있듯이 락킹 시간은 $50\mu\text{s}$ 정도이며, 그림 4.3에서는 루프필터 입력 전압의 흔들림을 나타낸 것이며, 그 값은 약 $800\mu\text{V}$ 정도로써 꽤 낮은 값을 가짐을 확인하였다. 그림 4.4는 out-of-lock 상태일때와 in-lock상태일때의 락킹 상태 표시기의 출력 신호를 나타낸 것이다.

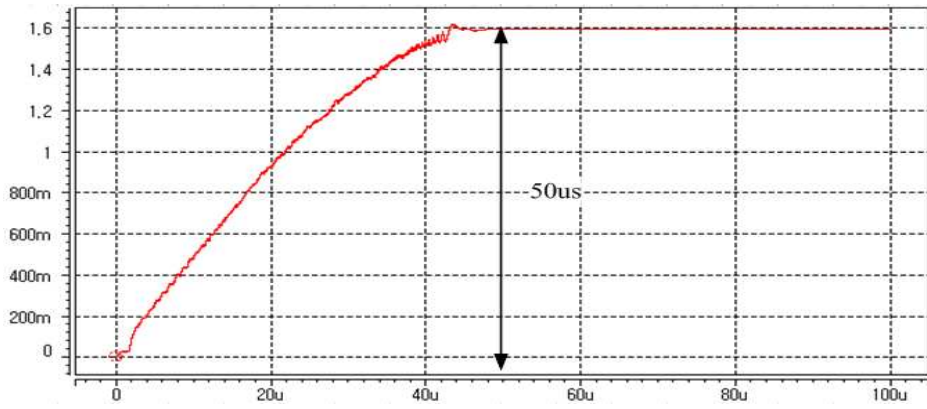


그림 4.2 제안된 위상 고정루프의 HSPICE 시뮬레이션

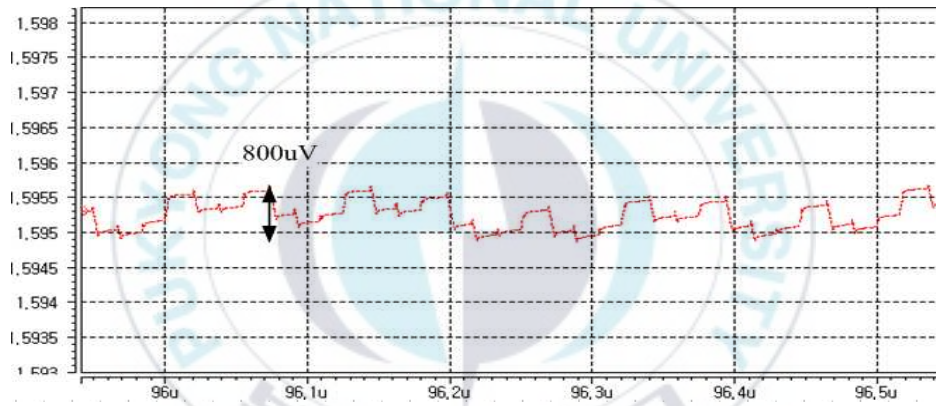


그림 4.3 제안된 위상 고정루프의 루프필터 전압 흔들림

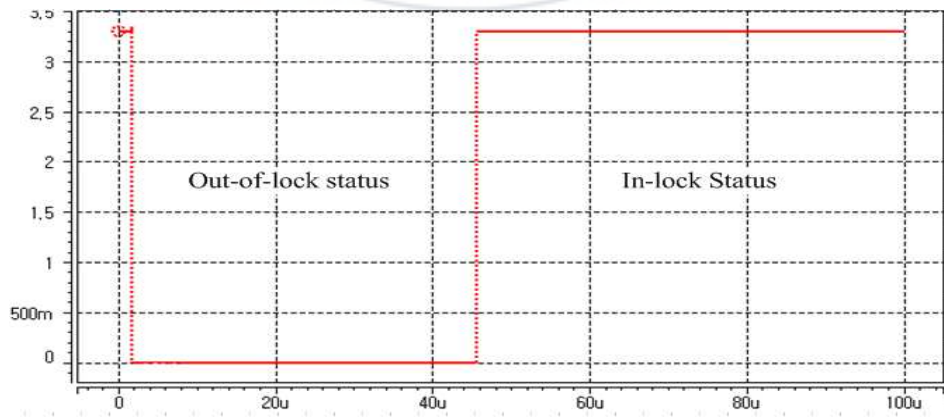


그림 4.4 제안된 위상 고정루프의 LSI 제어 신호 출력

5. 결 론

본 논문에서는 adaptive bandwidth구조와 capacitance scaling구조를 사용한 fractional-N 위상 고정루프를 제안하였다. 락킹 상태 표시기를 사용하여 out-of-lock 상태일때는 전하펌프의 전류의 양을 늘려서 커패시턴스 값을 효과적으로 줄임으로서 대역폭을 크게 하며, in-lock 상태일때는 커패시턴스 값을 크게 함으로서 대역폭을 작게 하여, 빠른 락킹 시간과 스퍼를 줄이는 구조로 설계하였다. 기존의 2중 위상 고정루프 구조보다 락킹시간도 짧고 회로 면에서도 간단한 구조로 설계하였다. 제안된 구조의 위상 고정루프는 시뮬레이션 결과 50 μ s의 락킹 시간과 800 μ V의 낮은 루프필터의 전압 흔들림을 가지는것을 확인하였으며, 전류의 양을 줄이면 fractional spur가 줄어든다는 것을 확인하였다. 제안한 구조는 fractional spur를 줄이기 위해 sigma-delta나 DAC등 복잡한 회로를 사용하지 않고 전류의 양을 조절하여 fractional spur의 영향을 줄임으로서 칩 면적이나 전력 소모면에서도 더욱 효과적인 방법이 될 것이다. 이 구조는 아직 레이아웃을 진행중에 있으며 레이아웃후에 칩으로 제작시에 측정된 결과를 바탕으로 설계된 위상 고정루프 구조의 문제점과 그 에 대한 원인 분석 등에 대한 연구가 요구된다.

참 고 문 헌

- [1] Zhinian. Shu, Ka Lok Lee "A 2.4GHz Ring-Oscillator-Based CMOS frequency synthesizer With a Fractional Divider Dual-PLL Architecture.," IEEE J.Solid-State Circuits, vol. 39, no. 3, pp. 452-462, Mar. 2004.
- [2] Kamal, M.M., El-Shewekh, E.W., El-Saba, M.H., "Design and implementation of a low-phase-noise integrated CMOS Frequency Synthesizer for high-sensitivity narrow-band FM transceivers", Microelectronics, pp. 167-175, Dec. 2003.
- [3] Floyd M. Gardner, "Charge-Pump Phase-Locked Loops". IEEE Transactions on Communications, vol. COM-28, no. 11, pp. 1849-1858, Nov. 1980.
- [4] Bram De Muer, Michiel Steyaert, "CMOS fractional-N SYNTHESIZERS Design for High Spectrual Purity and Monolithic Integration", Kluwer Academic Publishers, pp. 17-23, 2003.
- [5] Christopher Lam, Behzad Razavi, "A 2.6-GHz/5.2-GHz Frequency Synthesizer in 0.4- μ m CMOS Technology", IEEE J. Solid-State Circuits, vol. 35, no. 5, pp. 788-794, May 2000.
- [6] Syed Irfan Ahmed, B. ENG(Electrical), N.E.D. University of ENGG. & TECH. arachi, Pakistan "Submicron CMOS Components for PLL-based Frequency Synthesis" pp.10-11, 2002.
- [7] William F. Egan, "Frequency Synthesis by Phase Lock", Wiley Inter Sicene, Second Edition, pp.35-69, 2000.
- [8] S. Mirabbasi, K. Martin, "Design of loop filter in phase-locked loops". IEE Electronics Letters Online, Vol. 35, No. 21, pp.1801-1802, Aug. 1999
- [9] Thomas H. Lee, "The Design of CMOS Radio-Frequency Intergrated Circuits," Cambridge University Press, pp. 518-519, 1998.
- [10] "An Analysis and Performance Evaluation of a Passive Filter Design Techniques for Charge Pump PLL's", Application Note 1001, National Semiconductor Corp., July 2001.
- [11] Dean Banerjee. "PLL Performance, Simulation, and Design," National emiconductor Corp., second edition, 1998.
- [12] S. H. Paik and Y. S. Choi "A Fast-Locking fractional-N PLL with Multiple Charge Pumps and Capacitance Scaling Scheme" Pukyong N. Univ. Aug. 2006.