



저작자표시-동일조건변경허락 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.
- 이차적 저작물을 작성할 수 있습니다.
- 이 저작물을 영리 목적으로 이용할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



동일조건변경허락. 귀하가 이 저작물을 개작, 변형 또는 가공했을 경우에는, 이 저작물과 동일한 이용허락조건하에서만 배포할 수 있습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사학위논문

기준 주파수와 동일한 대역폭을 가진

Integer-N 방식의

빠른 록킹 위상고정루프 설계



2008년 2월

부경대학교 대학원

전자공학과

배영빈

공학 석사 학위 논문

“기준 주파수와 동일한 대역폭을 가진

Integer-N 방식의

빠른 록킹 위상고정루프 설계”

지도교수 최 영 식

이 논문을 공학석사 학위논문으로 제출함

2008 년 2 월

부 경 대 학 교 대 학 원

전 자 공 학과

배 영 빈

배영빈의 공학석사 학위논문을 인준함.

2008년 2월



목 차

Abstract	
I. 서론	1
II. 위상고정루프의 기본이론	3
2.1 기본 블록들의 동작 특성	4
2.2 전하펌프 PLL의 선형적 분석	6
2.3 주파수 분주기 구조에 따른 PLL	8
2.3.1 Integer-N구조	8
2.3.2 Fractional-N구조	9
2.4 채널 간격이 좁은 Integer-N 방식의 Fast locking PLL	11
III. 기준 주파수와 동일한 대역폭을 가진 Integer-N PLL 설계	13
3.1 위상고정루프의 lock 시간	13
3.2 제안한 위상고정루프의 구조	13
3.3 락킹 상태 표시기	17
3.4 전압 제어 발진기	19
3.5 주파수 분주기	21
3.6 주파수 위상 검출기와 전하 펌프	23
VI. 시뮬레이션 결과 및 레이아웃	27
4.1 시뮬레이션 결과	27
4.2 레이아웃	30
V. 결론	32
참고문헌	33

기준 주파수와 동일한 대역폭을 가진
Integer-N PLL 방식의
빠른 록킹 위상고정루프 설계

배 영 빈

부경대학교 대학원 전자공학과

요약

-A novel fast locking integer-N phase locked loop (PLL) with an equivalent bandwidth to reference frequency is presented in this brief. When the PLL is out-lock, bandwidth becomes much wider than 1/10 of channel spacing with the wide bandwidth loop. When the PLL is near in-lock, bandwidth becomes narrower than 1/10 of channel spacing with the narrow bandwidth loop. The proposed PLL is designed based on a 0.35 μ m CMOS process with a 3.3V supply voltage. Simulation results show the fast lock time of 50 μ s for an 80MHz frequency jump in a 200KHz channel spacing PLL with almost 14 times wider bandwidth than the channel spacing.

I. 서론

최근 급증하는 휴대전화의 사용과, IMT-2000, 휴대 인터넷등과 같은 무선 시스템의 발전으로 저잡음 증폭기, 믹서, 위상고정루프와 같은 이동 통신용 부품에 대한 수요가 증가하고 있다. 이런 부품들은 휴대용 배터리로 동작하므로 전력소모가 적어야 하고, 휴대성이 좋아야 하므로 집적도를 높여 부피를 줄여야 한다. 이러한 특성들을 만족 시키기 위하여 GaAs, Bi-CMOS등의 공정을 이용하여 제작되어왔다. 그러나 최근 CMOS공정의 발달로 CMOS공정으로도 이러한 특성들을 만족 시킬 수 있게 되었으므로 CMOS RF IC에 대한 연구가 활발히 이루어 지고 있다.

PLL 은 주파수 합성기로서 무선 transceiver 에 요구되는 정확한 주파수를 만들어주는 것으로 많이 사용되고 있다. 다양한 무선 통신의 표준들은 위상 잡음, Spur 크기와 locking 시간 등에 대해 엄격한 요구 사항을 규정하고 있다. Locking 시간은 PLL 의 안정된 동작을 위해서 기준 주파수의 1/10 로 제한되는 대역폭에 의해 결정된다. 그러므로 PLL 의 locking 시간은 기준 주파수가 정해지면 최소 locking 시간이 결정된다. 이러한 조건하에서 locking 시간을 줄이기 위해 adaptive bandwidth controller 를 이용한 PLL (Phase locked loop)[1], gradual loop-bandwidth 변화 방식을 이용한 디지털 PLL[2], dual-slope phase frequency detector (PFD)와 capacitance scaling 구조를 이용한 PLL[3],[4], discriminator-aided phase detector 를 이용한 Fast switching Frequency synthesizer[5]등의 다양한 구조의 PLL 이 연구 되었다.

채널 간격이 좁은 통신 시스템이 개발되면서 좁은 대역폭 때문에 integer-N 구조는 locking 시간이 길어지기 때문에 대역폭이 좁은 통신시스템에 integer-N 방식을 적용하는 것이 어려워졌다. 이러한 문제점의 해결책으로 입력 주파수의 분수배로 주파수를 합성하는

fractional-N 방식이 제안 되었다[6]. 그러나 fractional-N 방식은 주파수를 더욱 효율적으로 사용할 수 있지만 fractional spur 가 발생하는 문제가 있었다. Fractional spur 를 해결하기 위해 DAC 를 이용하는 방법, Sigma delta 변조를 이용하는 방법 등이 해결책으로 제시되고 있다[7][8]. 그러나 DAC, Sigma delta 변조기 등을 이용하게 되면 더욱 회로가 복잡해지며 전력 소모 또한 크게 증가한다.

때문에 Fractional Spur가 원천적으로 발생하지 않는 Integer-N 방식의 PLL을 이론적인 locking 시간보다 훨씬 줄여 Fast locking을 하게 하면 보다 더 효율적인 PLL을 구현할 수 있다. 본 논문의 A novel fast locking integer-N phase locked loop (PLL) with an equivalent bandwidth to reference frequency 구조는 Locking status indicator라는 lock detector를 이용하여 먼저 주파수 lock을 한 다음 phase lock을 하는 방식을 사용하였다. 제안된 PLL은 넓고 좁은 대역폭의 두 개의 루프에 기초를 두고 있다. 빠른 locking을 위하여 넓은 대역폭 루프가 lock 상태를 가속화시키고 좁은 대역폭 루프가 채널 간격의 배수가 되는 출력 주파수를 생성하는데 사용 되어진다.

본 논문에서는 PLL을 설계할 때 HSPICE 시뮬레이션을 통하여 결과를 검증하고, 설계를 최적화 시켰다. 제안한 PLL은 0.35 μm CMOS공정을 이용하여 설계하였고, 동작 주파수는 819.2MHz에서 899.2 MHz이고, locking 시간은 50 μs 이다.

II. 위상고정루프의 기본 이론

위상고정루프를 구현하는 방법에는 여러 가지 방법들이 제안되어 왔다. 그 중에 가장 보편적으로 사용하는 방법이 PLL을 이용하는데, 그 이유는 PLL은 낮은 위상잡음, 낮은 spurious tone 등 여러 가지 장점을 가지고 있기 때문이다.

PLL은 기준 주파수에 대해 주파수와 위상이 같은 신호를 만들어 내는 회로이다. PLL의 여러 특성 중 위상고정루프로써 PLL의 동작특성을 나타내는 지표는 위상잡음(phase noise), locking 시간, spurious tone 등이 있다. 이들 모두 PLL의 대역폭에 의해 영향을 받는다. 대역폭이 넓어지면, locking 시간은 짧아지나 잡음 특성은 나빠진다. 대역폭이 줄어들면 반대의 효과를 나타내게 된다. 대역폭은 PLL에 인가되는 기준 주파수에 의존한다. 본 논문에서 다루고 있는 PLL은 전하 펌프 PLL로 기본적인 블록 다이어그램은 그림 2.1과 같다.

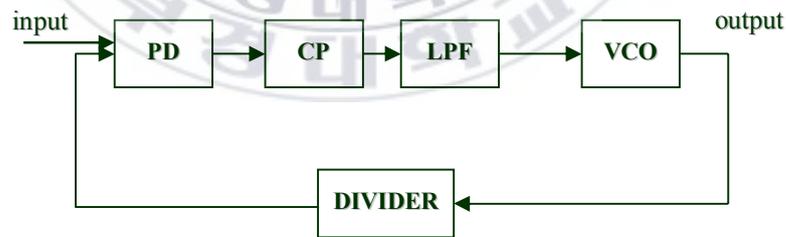


그림 2.1 PLL블록 다이어그램

PLL은 위상주파수 검출기(phase frequency detector), 전하펌프(charge pump), 루프 필터(loop filter), 전압 제어 발진기(voltage controlled oscillator), 주파수 분주기(divider)의 주요 부분으로 나누어져 있다. PLL의 동작을 살펴보면, 위상 주파수 검출기는 외부로부터 입력되는 기준주파수(F_{ref}) 신호와 전압 제어 발진기에서 생성되는 신호의 위상과 주파수를 비교하여 위상 및 주파수의 차이에 해당하는 신호를 출력하여 전하펌프를 구동한다. 전

하펄프는 입력신호의 펄스 폭에 비례하는 전류를 구동하여 루프 필터의 커패시터를 충전 또는 방전시킴으로써 전압 제어 발진기의 출력신호(F_{out})와 위상을 기준주파수의 위상과 주파수에 동일하게 만드는 전압 제어 발진기의 제어전압을 발생시킨다.

PLL이 위상 고정되는 과정은 비선형적 과정이지만 위상 고정된 후에는 PLL을 선형 모델링 할 수 있다. 그림 2.2는 위상고정상태에서 PLL의 선형모델을 나타낸다.

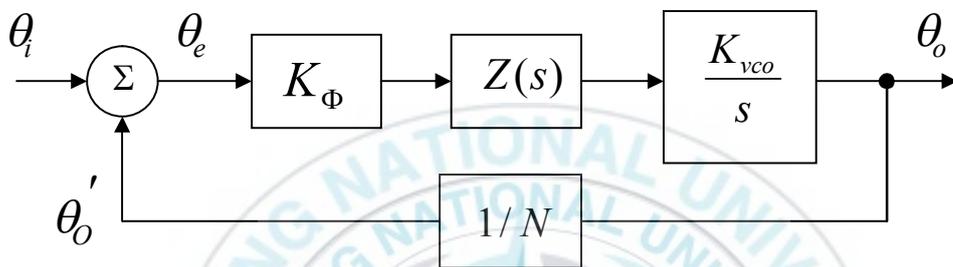


그림 2.2 위상고정상태에서의 PLL 선형 모델

2.1 기본 블록들의 동작특성

본 장에서는 전하펌프 PLL을 선형 시스템으로 가정하고 기본 블록들의 동작을 이해하고자 한다.

위상 검출기 (phase detector)

위상 검출기 PD는 두 입력 위상간의 위상차에 비례하는 전압을 발생시키는 역할을 한다. 두 입력의 위상차를 $\Delta\theta$ 라디안이라 하면, PFD는 주기가 $1/f_{PFD}$ 이고 펄스의 크기가 (duration) $|\Delta\theta|/\omega_{PFD} (= 2\pi f_{PFD})$ 인 펄스를 발생시킨다. 전하펌프의 전류가 I_p 라 할 때, 이는 전하펌프에 인가되어 한주기당 $I_p\Delta\theta/2\pi$ 의 전류를 LPF에 전달해 준다. 이를 LPF는 전압으로 바꾸어 주는 역할을 한다. 이를 수식으로 표현하면 수식(1)와 같다.

$$V_{cont}(s) = \frac{1}{2\pi} I_P G_{LPF}(s) \cdot \Delta\theta(s) \quad (1)$$

위의 수식에서 V_{cont} 는 LPF의 출력 전압이며, G_{LPF} 는 LPF의 전달함수이다.

전압 제어 발진기 (voltage controlled oscillator)

전압 제어 발진기는 입력전압에 비례하는 주파수를 발생하는 블록으로, 그 수식은 다음과 같다.

$$\omega_{out} = \omega_{free} + K_{vco} V_{cont} \quad (2)$$

위의 수식에서 ω_{free} 는 V_{cont} 전압이 인가되지 않았을 경우의 전압 제어 발진기 free running frequency, K_{vco} 는 전압 제어 발진기의 이득을 의미한다. 위의 수식에서 전압 제어 발진기의 전달함수를 구하면 다음과 같다.

$$\Phi_{out}(s) = \frac{1}{s} \cdot K_{vco} V_{cont} \quad (3)$$

주파수 분주기

출력 주파수를 입력 기준 주파수에 비해 높은 주파수를 가지게 하기 위해서는 전압 제어 발진기의 주파수를 그대로 사용하지 못하고, 주파수 분주기를 이용해서 주파수를 분주하게 된다. 이때 사용되는 주파수 분주기의 특성에 따라 integer-N, fractional-N 방식으로 나누어진다.

2.2 전하펌프 PLL의 선형적 분석

루프의 동작특성을 s-domain에서 분석하면 열린 루프 전달함수와, 닫힌 루프의 전달함수는 수식 (4) (5)와 같이 나타낼 수 있다

$$H_{open} = K_{PFD} \frac{K_{vco}}{s} G_{LPF}(s) \quad (4)$$

$$H_{closed}(s) = \frac{K_{PFD} K_{vco} G_{LPF}(s)}{s + K_{PFD} K_{vco} G_{LPF}(s)} \quad (5)$$

위의 수식을 바탕으로 PLL의 열린 루프 전달함수는 수식(6)과 같고, 닫힌 루프의 전달함수는 수식(7)이다.

$$\frac{\theta_o(s)}{\Delta\theta(s)} = \frac{1}{2\pi} I_P G_{LPF}(s) \frac{K_{vco}}{s} \quad (6)$$

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{K_{vco} I_P G_{LPF}(s)}{2\pi + K_{vco} I_P G_{LPF}(s)} \quad (7)$$

$G_{LPF}(s)$ 는 루프 필터의 전달함수를 나타내고, 저역 통과 필터가 사용된다.

2차 필터를 사용하는 경우에 대하여 루프의 동적 특성을 살펴보기로 한다. 2차 필터를 사용하면 두 개의 pole은 원점에 존재하고 나머지 하나의 pole과 한 개의 zero를 이용하여 위상 마진을 고려하여 루프의 안정성을 보장하게 하고, 대역폭을 조절하게 된다. 2차 필터는 그림 2.3과 같다.

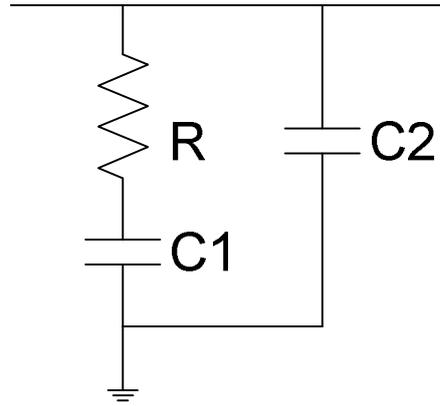


그림 2.3 2차 루프 필터

2차 필터를 이용한 전체 PLL의 열린 루프와 닫힌 루프의 전달함수를 구하면 다음과 같다.

$$H_{open}(s) = \frac{1}{2\pi} I_P \cdot \frac{1 + sRC_1}{s(C_1 + C_2) + s^2 RC_1 C_2} \cdot \frac{K_{vco}}{s} \quad (8)$$

$$H_{closed}(s) = \frac{K_{vco} I_P (1 + sRC_1)}{K_{vco} I_P + K_{vco} I_P RC_1 s + 2\pi(C_1 + C_2)s^2 + 2\pi RC_1 C_2 s^3} \quad (9)$$

위의 수식(8) 원점에 2개의 pole이 존재하고, $\frac{C_1 + C_2}{R C_1 C_2}$ 에 pole이 하나 존재하고, $\frac{1}{R C_1}$ 에 하나의 zero가 존재한다. 위의 열린 루프 전달함수에 대한 위상에 대한 보드선도를 그리면 그림 2.4와 같다.

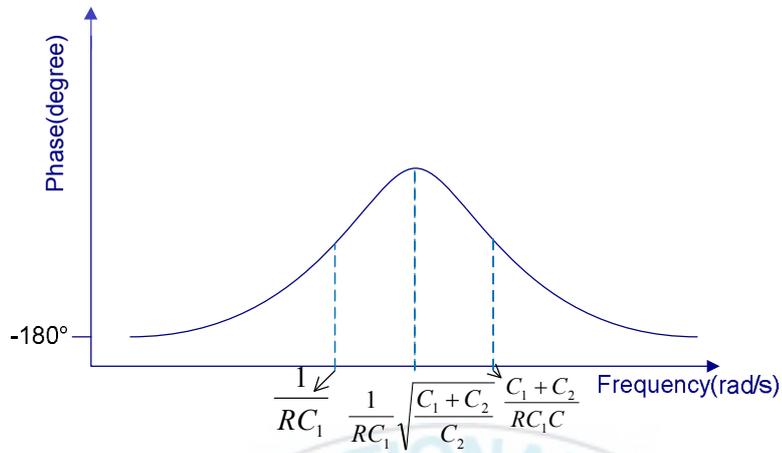


그림 2.4 3 차 PLL 의 위상특성

루프 필터의 차수에 따라, 그리고 R 과 C_1, C_2 의 값에 따라 위의 식의 특성이 달라지므로 원하는 대역폭과, 안정성을 고려하여 필터를 설계하여야 한다.

2.3 주파수 분주기 구조에 따른 PLL

2.3.1 Integer-N

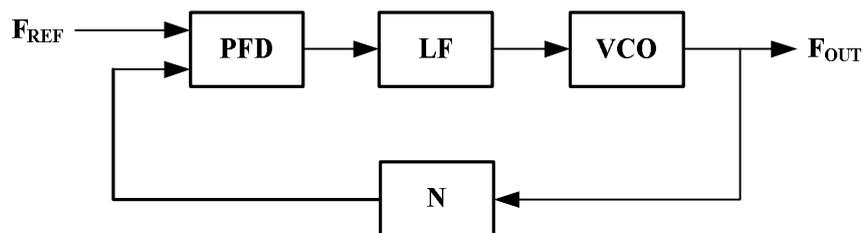


그림 2.5 Integer-N PLL의 블록 다이어그램

그림 2.5는 integer-N방식의 PLL의 구조를 블록 다이어그램으로 나타낸 것이다. Integer-N은 가장 일반적인 방법으로써 채널 간격과 입력 기준 주파수가 같지 않을 때에 전압 제어 발진기의 출력 신호를 N으로 나누어 사용하는 방법이다. Integer-N구조에서 전압 제어 발진기에서 생성되는 주파수는 다음과 같다.

$$f_{out} = Nf_{ref} \text{ or } f_{out} = \frac{N}{M} f_{ref} \quad (10)$$

M은 입력 기준 주파수를 나누어서 사용할 때의 나누는 수를 말한다. 실제로 PLL의 구조에서는 M보다는 N의 변화를 주어서 주파수를 만들어 내는 것이 간단하기 때문에 M보다는 N을 변화시켜 원하는 주파수를 얻게 된다.

그러나 integer-N 구조는 합성 가능한 주파수 간격이 f_{ref} 가 된다. 현재의 여러 통신 시스템처럼 채널 간격이 좁은 시스템에서 사용하기 위해서는 f_{ref} 가 낮아 질 수 밖에 없기 때문에, 낮은 f_{ref} 때문에 안정성을 고려할 때 대역폭이 좁아 지게 되고, 좁은 대역폭 때문에 lock 시간이 길어진다.

2.3.2 Fractional-N 구조

통신 시스템들이 발전 하면서 각 채널이 가질 수 있는 대역폭은 좁아지고, 채널간의 간격도 좁아짐에 따라 integer-N 구조는 주파수 분주기의 계수 M 의 값을 계속 올릴 수밖에 없다. 그리고 PLL 의 대역폭은 더욱 좁아지게 된다. 그러나 PLL 대역폭이 좁아지게 되면 locking 시간이 길어지는 등 여러 가지 문제점이 발생하게 되었다. 이러한 문제점의

해결 방안으로 고안된 것이 분수의 분주 비로 주파수를 합성하는 fractional-N 구조 이다.

기본적인 fractional-N 구조는 그림 2.6 와 같고, 전압 제어 발진기에서 생성된 주파수를 나누는 N 의 값을 변화 시켜서 f_{ref} 의 분수 배로 출력 주파수를 만들어 내는 방법이다.

그림 2.7 에서처럼 P 번에 Q 번 꼴로 N+1 로 나눈다면 평균적으로 전압 제어 발진기에서 생성된 주파수와 기준 주파수사이의 관계는 다음과 같이 나타낼 수 있다.

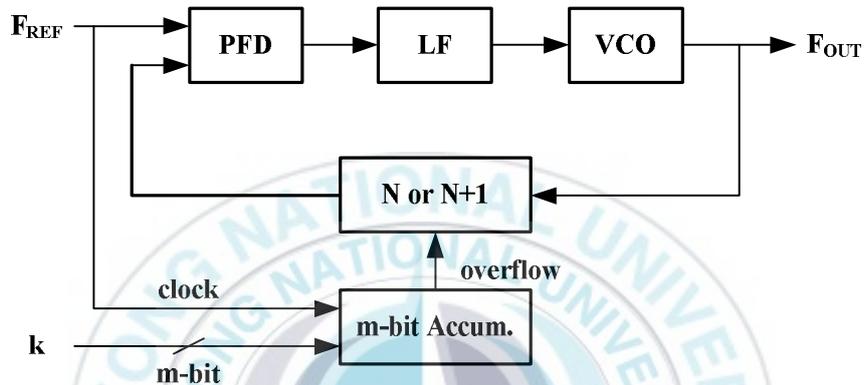


그림 2.6 Fractional-N PLL 의 블록 다이어그램

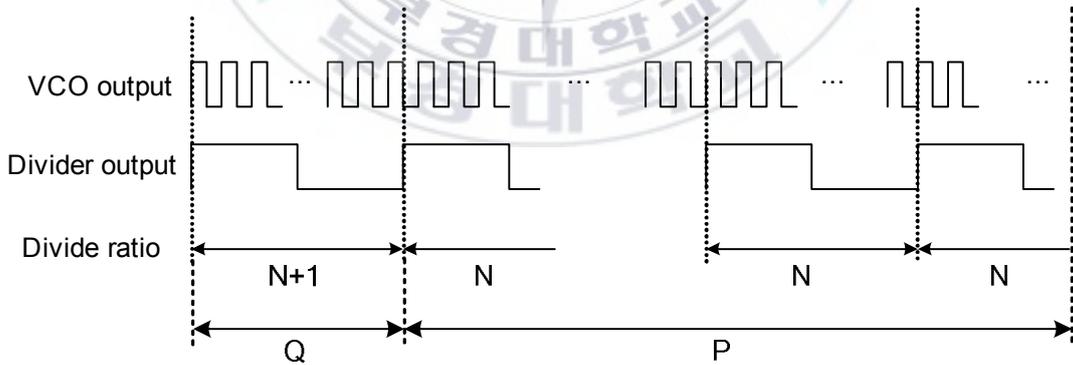


그림 2.7 fractional-N 에 대한 개념도

$$f_{out} = \frac{(P-Q)N + Q(N-1)}{P} = N + \frac{Q}{P} \quad (\text{단, } P, Q \text{ 는 정수}) \quad (11)$$

위의 수식(11)에서 알 수 있듯이 integer-N구조에서는 f_{ref} 에 의해 PLL이 만들어 낼 수 있는 주파수가 제한을 받았지만, fractional-N구조는 기준주파수에 상관없이 원하는 전압 제어 발진기의 출력 주파수를 만들어 낼 수 있음을 위의 수식을 통해서 알 수 있다.

2.4 채널 간격이 좁은 Integer-N 방식의 Fast locking PLL

Fractional spur가 발생하지 않고 좁은 채널 간격을 가진 Integer-N PLL의 더욱 더 빠른 locking을 위해 채널 폭의 1/10을 넘어서는 대역폭을 가지는 PLL 구조로는 dual-loop PLL[9]과 gearshift PLL[10]등이 있다. [9]에서는 2개의 일반적인 PLL과 mixer로 구성된 dual-loop PLL이 소개되었다. 이 구조는 200KHz의 채널 간격보다 더 넓은 대역폭을 가질 수 있게 하였고 20.6MHz의 frequency step 동안 128us의 locking 시간을 얻을 수 있었다. 하지만, 두 개의 PLL과 그림 2.8 (a)에서 보여지는 바와 같이 mixer가 필요하기에 복잡한 구조가 요구되었다. [10]에서는 lock 상태에 따라 200KHz의 채널 폭의 1/10을 넘어서는 대역폭을 가진다. lock 상태에 따라 두 개의 입력 신호의 주파수를 phase frequency detector에 gearshift하고 그리고 나서 대역폭도 역시 그림 2.8 (b)에 보여지는 바와 같이 채널 폭의 1/10을 넘어서게 gearshift한다. 그러나 lock 상태에 따른 주파수 gearshift시에 발생하는 각 단계별 주파수와 위상 locking 과정으로 인해 전체적으로 locking 시간이 길어지게 되어 80MHz의 frequency step 동안 228us의 비교적 느린 locking 시간을 가지는 것을 볼 수 있었다.

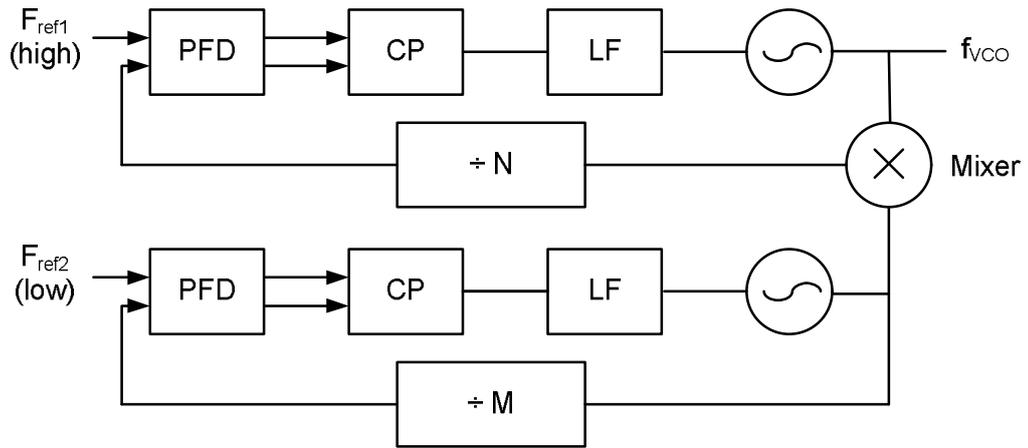


그림 2.8 (a) Dual-loop PLL consisted of two PLLs and a mixer

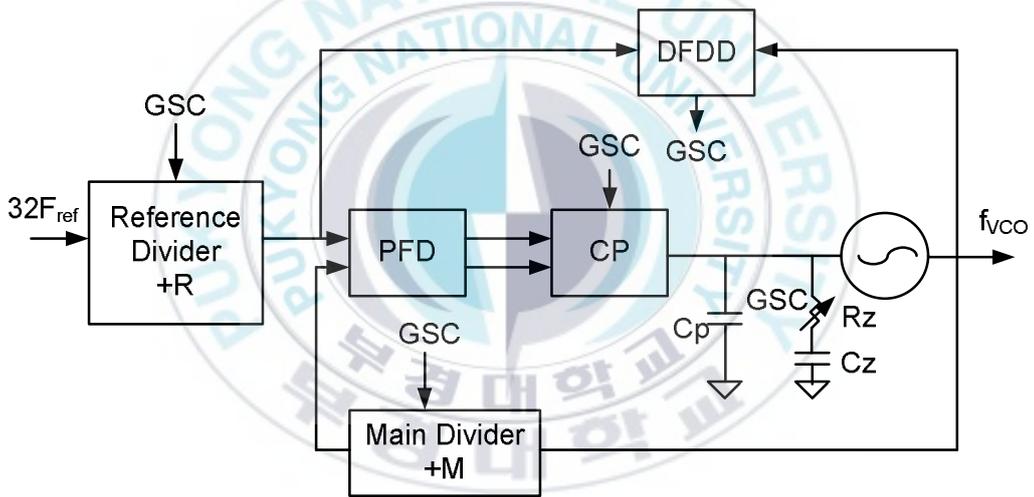


그림 2.8 (b) gearshift adaptive PLL

Ⅲ. 기준 주파수와 동일한 대역폭을 가진 Integer-N PLL 설계

3.1 위상고정루프의 locking 시간

대역폭은 locking 시간을 감소시키기 위해서 넓어야 하나 PLL 의 안정한 동작을 위해서는 채널 간격의 1/10 보다 좁아야 한다. 즉, 채널 간격이 가장 빠른 locking 시간을 결정한다는 것을 의미하며 이는 식(11)에 나타나있다.

$$t_{lock} = \frac{-2}{BW} \ln \left(\frac{f_{accuracy}}{f_{jump}} \sqrt{1-\zeta^2} \right) \quad (11)$$

여기서 BW 는 대역폭이고 $f_{accuracy}$ 는 시스템이 요구하는 주파수 변동 허용오차, f_{jump} 는 주파수 이동 폭, 그리고 ζ 는 damping factor 이다. 채널 간격의 1/10 보다 더 큰 넓은 대역폭을 가지는 PLL 구조는 빠른 locking Integer-N PLL 을 설계하는 데 있어 중요한 점이다. 물론 동작하는 동안 안정해야 하고 구조도 간단해야 한다.

3.2 제안한 위상고정루프의 구조

본 논문에서는 Locking status indicator(LSI)의 신호에 따라 루프를 선택하여 서로 다른 대역폭을 제공해주는 구조를 제안하였다. 제안된 구조의 위상고정루프는 그림 3.1에서 볼

수 있듯이 PFD1/PFD2, LSI, 두 개의 CP, loop filter, Voltage controlled oscillator(VCO)와 divider로 구성되어 있다. LSI는 lock 상태에 따라 신호를 생성한다. Loop filter는 2차 저역 통과 필터로서 LSI의 신호에 따라 R의 값이 바뀌게 된다. PFD는 일반적인 PFD와 latch buffer로 구성되어 있으며 두 개의 전하펌프가 적절하게 동작하도록 입력신호를 만들어 낸다. 전하펌프1은 기준 주파수의 최대 1/10의 대역폭을 가진 좁은 대역폭을 가진 Integer-N PLL로 동작하게 하고 전하펌프 2는 기준 주파수와 비슷한 크기의 대역폭을 가지는 넓은 대역폭을 가진 Integer-N PLL로 동작하게 한다.

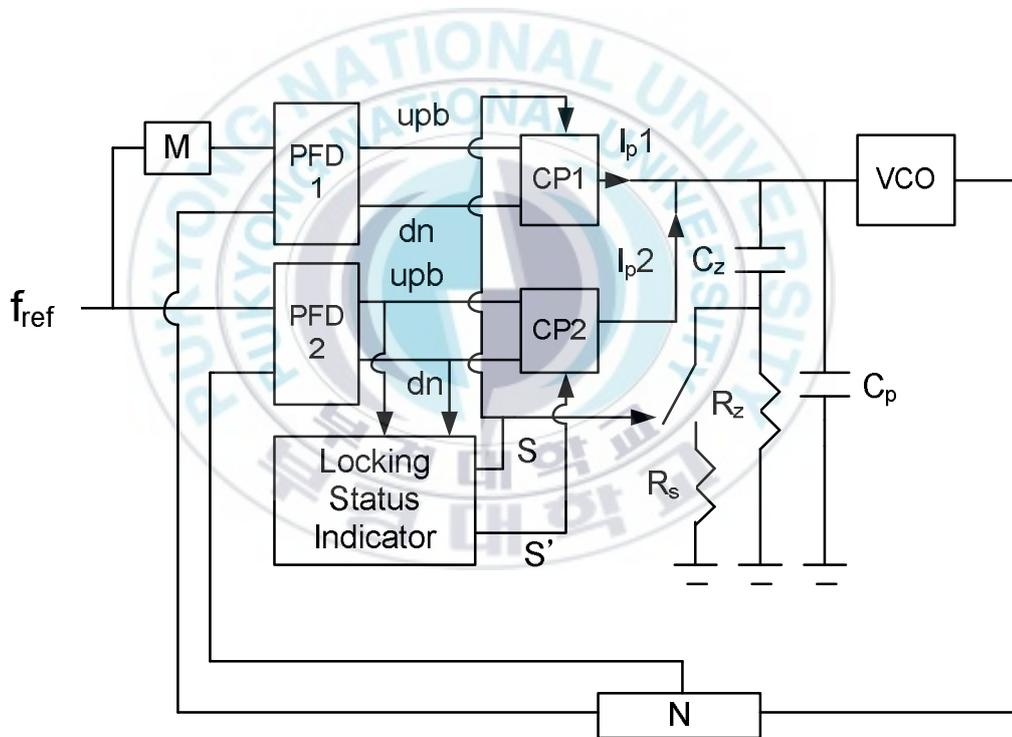
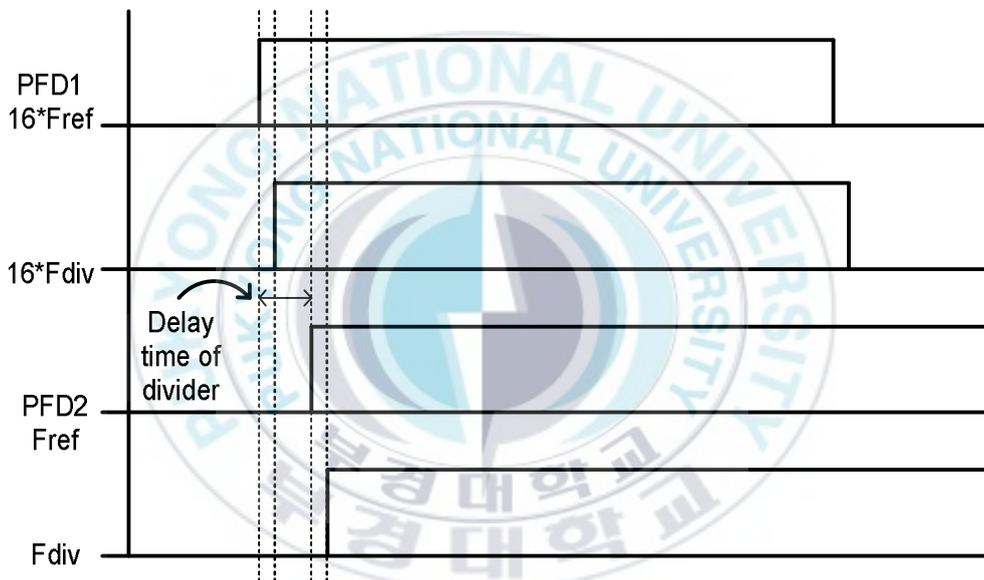


그림 3.1 제안한 구조의 위상고정루프

LSI 는 lock 상태에 따라 전하 펌프의 “on/off”와 루프 필터의 저항을 조절하는 신호를 발생시킨다. PFD1 으로는 낮은 주파수의 입력 신호인 F_{ref} 와 F_{div} 가 입력된다. 여기서 F_{ref} 는 채널 간격이고 F_{div} 는 divider 출력파형이다. PFD2 로는 높은 주파수의 입력 신호인

$K \times F_{ref}$ 와 $K \times F_{div}$ 가 입력된다. 여기서 K 는 4,8,16 으로 2 의 배수이다. $K \times F_{div}$ 는 divider 계수 N 에서 K 만큼 나누어지기 전에 입력으로 연결된다.

위상고정루프가 out-of-lock-state 일 때 LSI 신호는 FPD2 와 CP2 로 이루어진 광대역 PLL 을 선택하고 루프필터의 저항은 작게 하고 CP1 은 off 시킨다. 짧은 시간에 급격히 이루어진 높은 주파수 신호의 lock 은 그림 3.2(a)와 같이 우리가 원하는 낮은 주파수 신호가 in-lock-state 의 근처로 가게 한다.



(a)

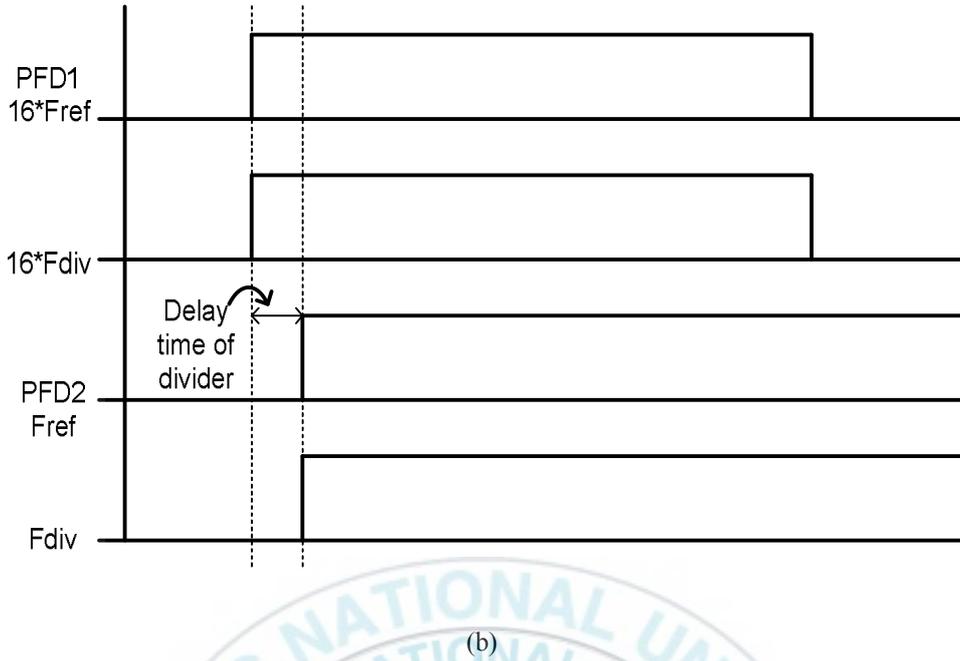


그림 3.2 신호의 Lock 상태. (a) out-of-lock 상태의 끝에서 (b) In-lock 상태.

광대역 루프의 전달함수는 식(12)와 같다.

$$H_o(s) = \frac{I_{p2}}{2\pi} \cdot \frac{K_{vco}}{s} \cdot \frac{1 + sC_z(R_z // R_s)}{s^2 C_p C_z (R_z // R_s) + s(C_p + C_z)} \cdot \frac{K}{N} \quad (12)$$

위상고정루프가 in-lock 상태 근처일 때, LSI 는 PFD1 과 CP1 으로 이루어진 협대역 PLL 을 선택하고 루프 필터의 저항을 크게 하고 CP2 는 off 시키기 위한 신호를 출력한다. 낮은 주파수 신호의 lock 은 그림 3.2(b)에 나타난다. 협대역 루프의 전달함수는 식(13)과 같다.

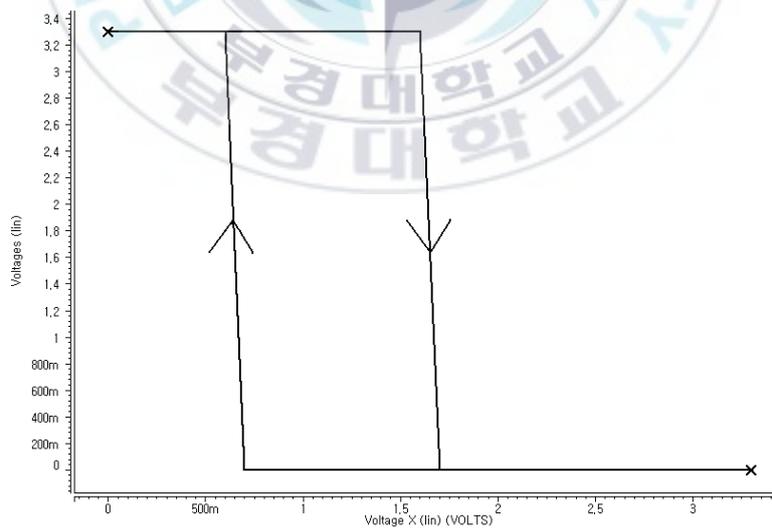
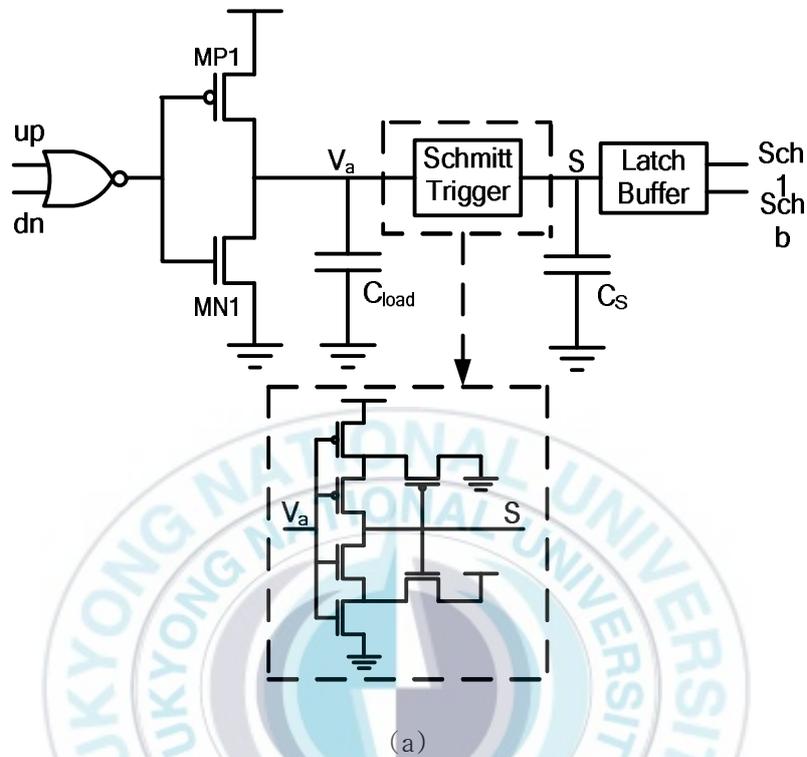
$$H_o(s) = \frac{I_{p1}}{2\pi} \cdot \frac{K_{vco}}{s} \cdot \frac{1 + sC_z R_z}{s^2 C_p C_z R_z + s(C_p + C_z)} \cdot \frac{1}{N} \quad (13)$$

Lock 시간은 광대역과 협대역 루프의 빠르고 느린 lock 시간의 합으로 나타난다. 제안한 구조는 gearshift 의 각 단계에서 주파수/위상의 몇몇의 lock 과정을 요구하는 것이 없이 한 번에 부드럽게 광대역 루프로부터 협대역 루프로 이동하는 것을 가능하게 한다.

3.3 락킹 상태 표시기

루프대역폭의 변화를 이용하여 빠른 락킹 시간과 저 잡음의 위상고정루프 동작을 위한 락킹 상태 표시기(locking status indicator: LSI) 블록을 그림 3.3 에 나타내었다. 락킹 상태표시기 블록은 NOR 게이트, 인버터(inverter), 커패시터, 그리고 한 개의 슈미트 트리거로 구성된다. MP1, MN1 에 흐르는 전류에 의해 C_{load} 의 전압 V_a 가 정해지고, V_a 에 따라서 슈미트 트리거가 동작한다. 위상고정루프가 언락(unlock)상태, 즉 위상/주파수 검출기 두 입력신호의 주파수와 위상 차이가 크면 NOR gate 의 출력은 상대적으로 “Low” 값을 많이 가지는 주기가 일정하지 않은 펄스파로 나타나고 NMOS 가 “on”되어 흐르는 전류보다 상대적으로 PMOS 가 “on”되어 흐르는 전류량이 많아서 V_a 의 전압이 리플(ripple)과 같은 출렁거림이 생긴다. 특히 위상고정루프가 거의 락킹 상태가 될 때에는 주파수는 거의 같지만 위상 차이가 많은 시점에서는 V_a 의 출렁거림이 심하다. 위상고정루프의 락킹 상태에 따라 락킹 상태표시기 블록의 출력신호 S 가 일정하지 않고 움직인다면 신호 S 에 연결된 전하펌프와 루프필터가 원하지 않는 동작을 할 수 있다. 슈미트 트리거의 히스테리시스 효과를 이용하면 V_a 의 출렁거림에 관계없이 안정된 신호 S 를 출력한다. V_a 의 출렁거림이 심한 부분에서도 슈미트 트리거의 히스테리시스 동작 범위를 벗어나지 않게 충분한 여유를 두어 설계하였다. 슈미트 트리거의 히스테리시스 동작 범위가 정해지면 MP1, MN1 에 흐르는 전류와 C_{load} 값을 짧은 락킹 시간을 가지도록

선택하였다.

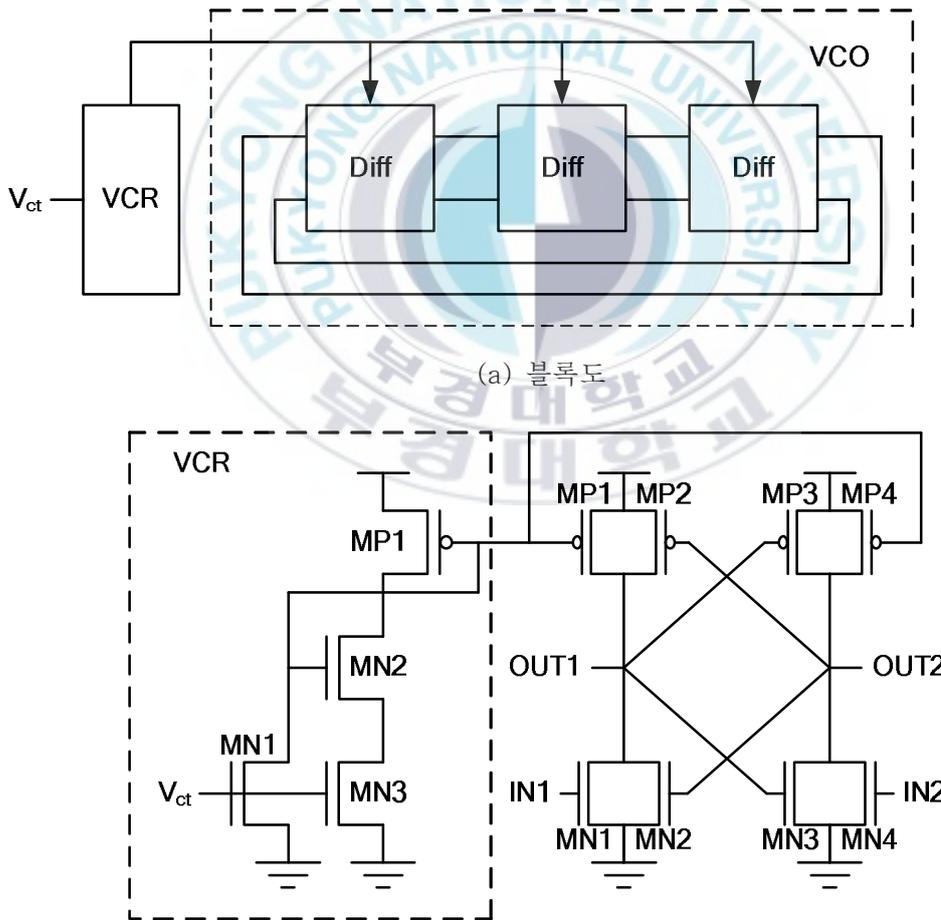


(b)

그림 3.3 (a) Locking Status Indicator(LSI), (b) 슈미트 트리거의 동작 특성

3.4 전압 제어 발진기

전압 제어 발진기는 voltage controlled resistor(VCR)을 사용한다. VCR이 전압 제어 발진기의 전체 튜닝 영역과 선형성을 결정하게 되므로 입력전압 V_{cont} 에 따라 변하는 VCR 전류의 가변 범위와 선형성이 중요하다. 지터 및 위상 잡음을 개선하기 위해 일반적인 인버터-링(inverter-ring) 전압제어 발진기와는 달리 래치 구조를 사용하였다. 본 논문에서 사용한 전압 제어 발진기의 회로는 그림 3.4와 같다.



(b) VCR 및 Diff 래치 구조의 회로

그림 3.4 VCR을 이용한 전압 제어 발진기

루프필터의 출력전압 V_{ct} 는 VCR을 통해 VCO의 출력 주파수를 조절하는 전류로 변환된다. VCR은 입력 전압을 변화를 큰 전류의 변화로 바꾸어 주어 VCO가 넓은 범위의 주파수를 만들어내게 한다. VCO는 세 개의 차동 래치 소자로 구성되어있다. MP2와 MP3, MN2와 MN3는 래치 소자의 짧은 on-time을 가지게 하여 위상 잡음을 줄여준다[11]. VCR에 연결된 MP1과 MP4는 지연소자에 흐르는 전류와 지연시간을 조절한다. 그림 3.5는 VCR의 전압 대 전류 특성을 나타낸 것이다. VCR의 NMOS가 “turn-on”되는 시점인 문턱전압부터 선형적으로 전류가 증가함을 알 수 있다. 따라서 PLL이 locking 상태일 때 전압 제어 발진기의 입력 전압인 V_{ct} 는 최소한 문턱전압 이상이 되어야 한다. 그림 3.6는 전압 제어 발진기의 입력전압 대 주파수 특성을 시뮬레이션 한 것이다.

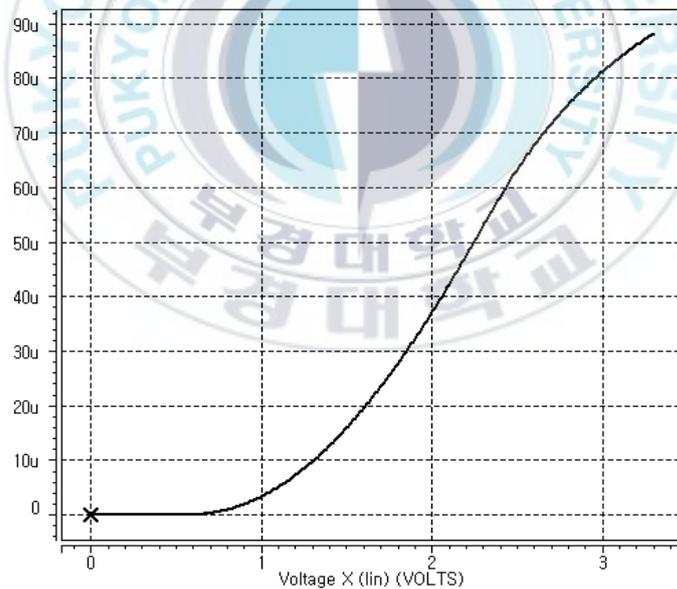


그림 3.5 VCR의 전압 - 전류 특성

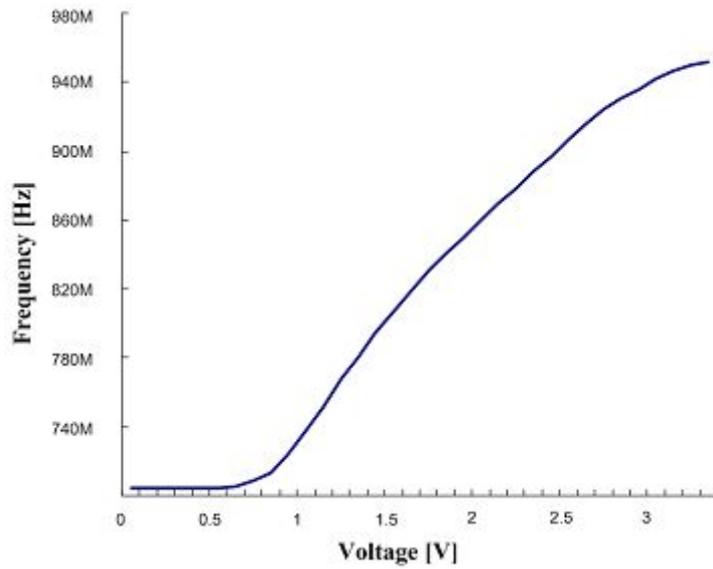
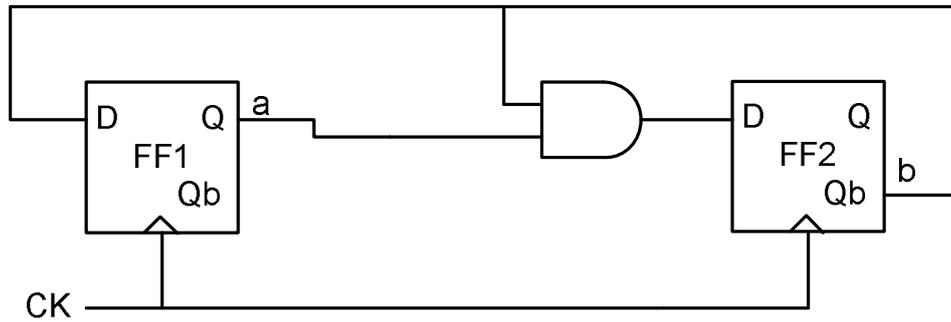


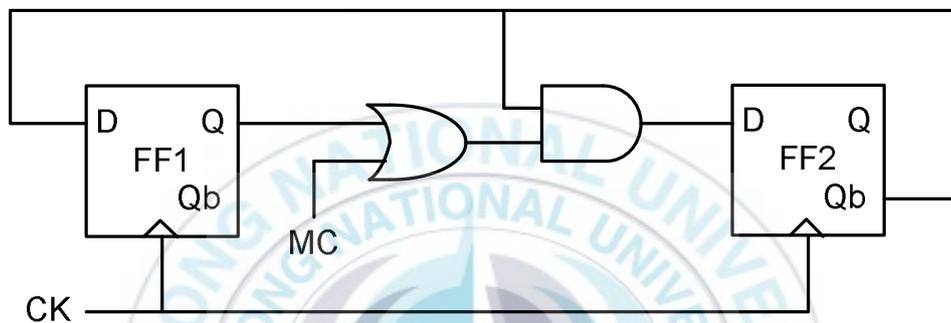
그림 3.6 전압 제어 발진기의 전압-주파수 특성

3.5 주파수 분주기

출력주파수가 높은 위상고정루프는 일반적으로 적용범위가 넓은 divided-by-2/3 dual-modulus 프리스케일러가 있는 주파수 분주기를 많이 사용한다. 먼저 그림 3-7(a)에 간단한 $\div 3$ 분주기를 나타내었다. $\div 3$ 분주기는 한 개의 AND gate 와 두 개의 D F/F 로 구성되고, 각 D F/F 의 출력을 a,b 라고 했을 때 $ab=01, 10, 11$ 의 세 가지 출력 상태를 가진다. a 의 값이 0 인 경우 b 의 값은 AND gate 의 출력 신호에 의해 1 이 되기 때문에 $ab=00$ 인 경우는 처음 시작할 때를 제외하고 발생하지 않는다.



(a)



(b)

그림 3-7 (a) Divide-by-3 분주기 (b) Divide-by-2/3 분주기

그림 3-7 (b)는 (a)에서 보인 분주기의 첫 번째 flip-flop 과 AND gate 사이에 OR gate 를 추가한 $\div 2/3$ 분주기이다. (b)에서 MC 신호가 high 이면 $\div 2$, low 이면 $\div 3$ 으로 동작한다.

그림 3-75 의 분주기는 로직회로와 D F/F 의 구조에 따라 발생하는 출력신호의 지연이 발생할 수 있다. 주파수 분주기에서 발생하는 시간 지연은 위상고정루프의 잡음 특성을 저하시킨다. 따라서 제안한 위상고정루프의 주파수 분주기의 프리스케일러는 다이내믹 E-TSPC(expanded ture single phase clock)을 이용하여 프리스케일러에서 발생할 수 있는 출력 신호의 지연을 최대한 줄인 구조이다. 그림 3-7 와 비교하여 제안한 프리스케일러의 구조는 그림 3-8 이다.

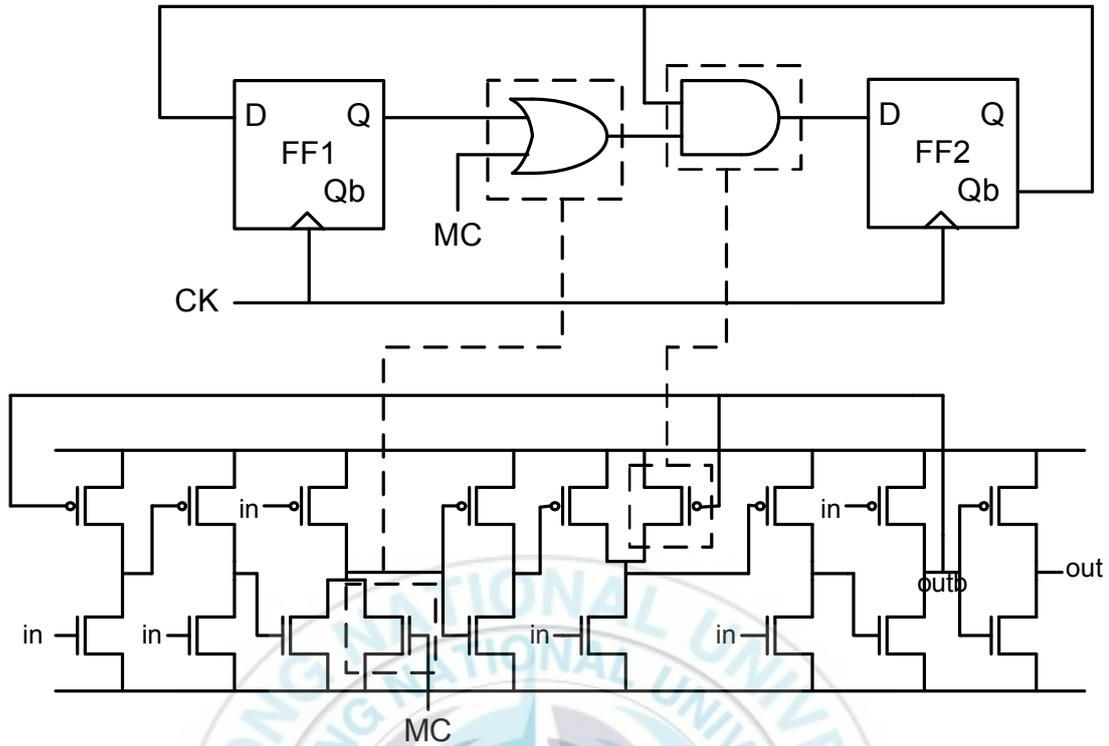
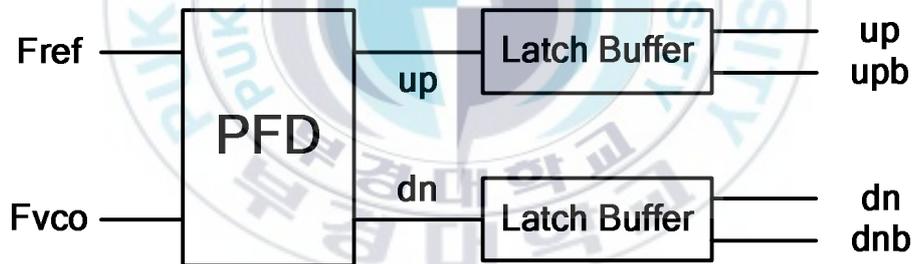


그림 3-8 주파수 분주기의 프리스케일러

3.6 주파수 위상 검출기와 전하펌프

제안한 구조의 위상고정루프는 두 개의 전하펌프를 가진다. 따라서 이들을 원하는 목적에 맞게 사용하기 위해서는 각 전하펌프에 맞는 입력을 만들어야 한다. 따라서 본 논문에서는 복합 위상 주파수 검출기를 제안하며 그 구조는 그림 3.9 (a)와 같다. 복합 위상 주파수 검출기는 그림 3.9 (b)와 같은 다이내믹 CMOS 로직을 이용한 위상 주파수 검출기와 그림 3.9 (c)와 같은 래치버퍼로 구성된다. 따라서 복합 PFD는 네 가지의 동기화된 서로 다른 신호를 생성하는데, 전하펌프1과 2를 위한 upb/dn 신호와, 이와는 180°의 위상차가 나는 dnb/up 신호를 전하펌프3을 위해 생성한다. 그림 3.9 (b)의 다이내믹 CMOS 로직회로를

이용한 위상 주파수 검출기는 최근에는 많이 사용되고 있는데, 다이내믹 CMOS 로직을 이용하면 위상 주파수 검출기를 더욱 간단하게 설계할 수 있기 때문에 칩 면적과 전력소모를 줄일 수 있다[12]. 위상 주파수 검출기가 기준 주파수와 전압 제어 발전기 출력 신호의 위상 차가 매우 작은 경우에 위상 차이가 있음에도 불구하고 위상 차이를 검출하지 못하는 데드존(dead zone) 문제를 가지기 때문에 전하펌프의 충분한 스위칭 시간을 위해 NOR 게이트 출력에 지연 셀(delay cell)을 이용하여 데드존 문제를 해결 하였다. 또한 그림 3.9 (c)의 래치 버퍼는 PLL이 lock 상태가 되어 전하펌프1과 전하펌프3만이 동작할 때, 이 두 개의 전하펌프를 구동하는 신호의 시간적 불일치를 제거하고 동기화된 신호를 생성하기 위해 사용되었다.



(a)

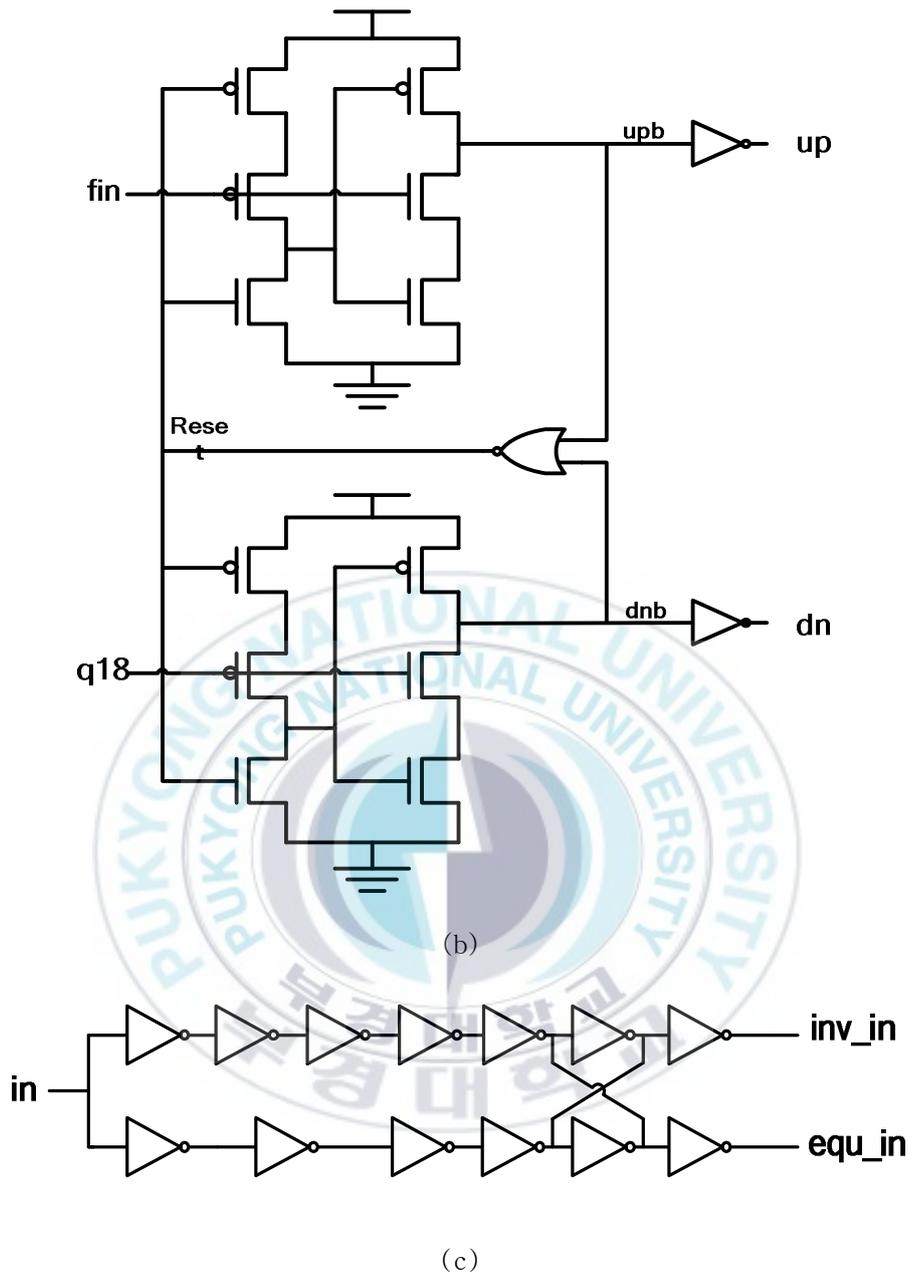


그림 3.9 (a) 복합 위상 주파수 검출기 블록도,
 (b) 위상 주파수 검출기 회로, (c) 래치 버퍼

제안된 구조에서는 두 개의 전하펌프가 요구된다. 두 전하펌프의 구조는 같으며 loop filter에 공급되는 전류가 다르다. 전하펌프는 그림 3.10과 같다. 전하펌프1은 LSI의 신호가 high가 될 때 동작하게 설계되었다. 즉, lock 상태가 되었을 때 동작하기 때문에 작은 전류를 공급하고 작은 대역폭을 가지게 한다. 전하펌프2는 LSI의 신호가 low일 때

동작한다. 즉 out-of-lock 상태가 되었을 때 동작하기 때문에 빨리 lock 상태로 가기 위해서 큰 전류를 공급하고 큰 대역폭을 가질 수 있게 한다.

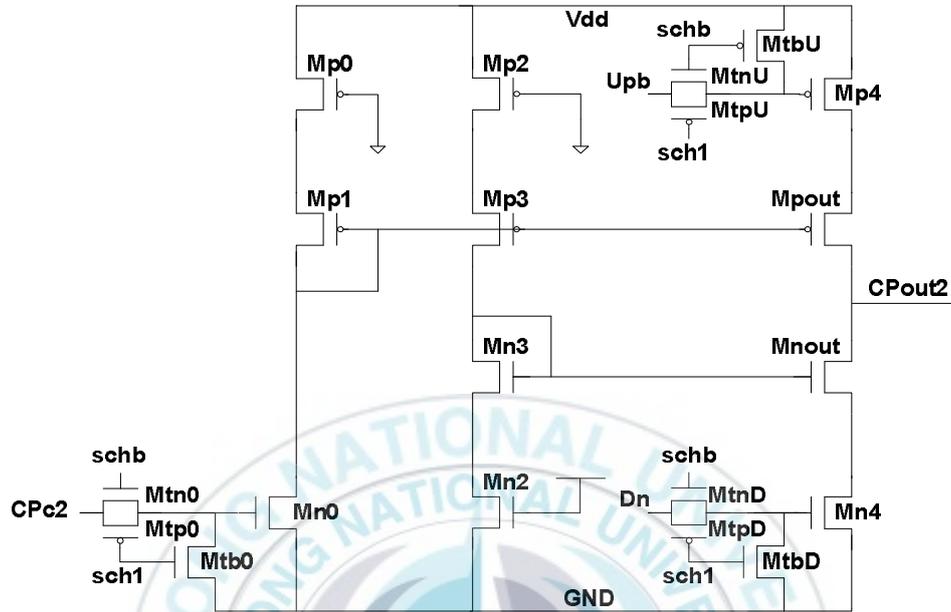


그림 3.10 전하펌프2(CP1,2)

Mpout, Mnout는 갑작스러운 전류 스위칭에 의한 클럭 피드스루(clock feedthrough)를 줄이는 역할을 한다.

IV 시뮬레이션 결과 및 레이아웃

4.1 시뮬레이션 결과

본 논문은 제안한 구조의 위상고정루프의 저항, 커패시터, 전하펌프의 전류, 전압제어 발진기의 이득 등의 파라미터를 구하기 위해 MATLAB을 사용하였다. 또한 이 파라미터들은 위상고정루프의 각 상태에 따라 충분한 마진을 가지는 값으로 구현되었다. 루프필터는 4K Ω 과 1K Ω 의 저항과 4000pF, 500pF의 커패시터로 구성되었다. 전압제어 발진기의 이득은 137MHz/V이며, 분주기의 분주 비는 4096에서 4496이다. 전하펌프1의 전류는 600uA이고 전하펌프2는 5mA이다. Table 1은 200KHz의 F_{ref} 를 가지고 80MHz의 주파수 이동 시 제안하는 위상고정루프의 대역폭과 lock 시간을 보여준다.

	Bandwidth(KHz)	Lock time(μ s)
	Out-of-lock/in-lock	Out-of-lock/in-lock = total lock time
K=4	77.8/16.07	29/35 = 64
K=8	148/18.94	23/30 = 53
K=16	271/19.58	20/30 = 50

표 1. N=4496일 때 제안하는 위상고정루프의 대역폭과 lock 시간

그림 4.1은 위상마진을 구하기 위해 MATLAB을 이용하여 제안한 구조의 위상고정루프를

K=16일 때 시뮬레이션 한 결과이다. 영역 I과 III은 위상고정루프의 초기상태와 in-lock상태를 의미하며, 영역 II는 out-of-lock 상태를 의미한다. 제안된 위상고정루프는 영역 I과 영역III에서는 19.58KHz의 루프 대역폭에서 동작하며, 50.7° 의 위상마진을 가진다. 영역 II에서는 271KHz의 루프 대역폭에서 동작하며, 52.6° 위상마진을 가진다.

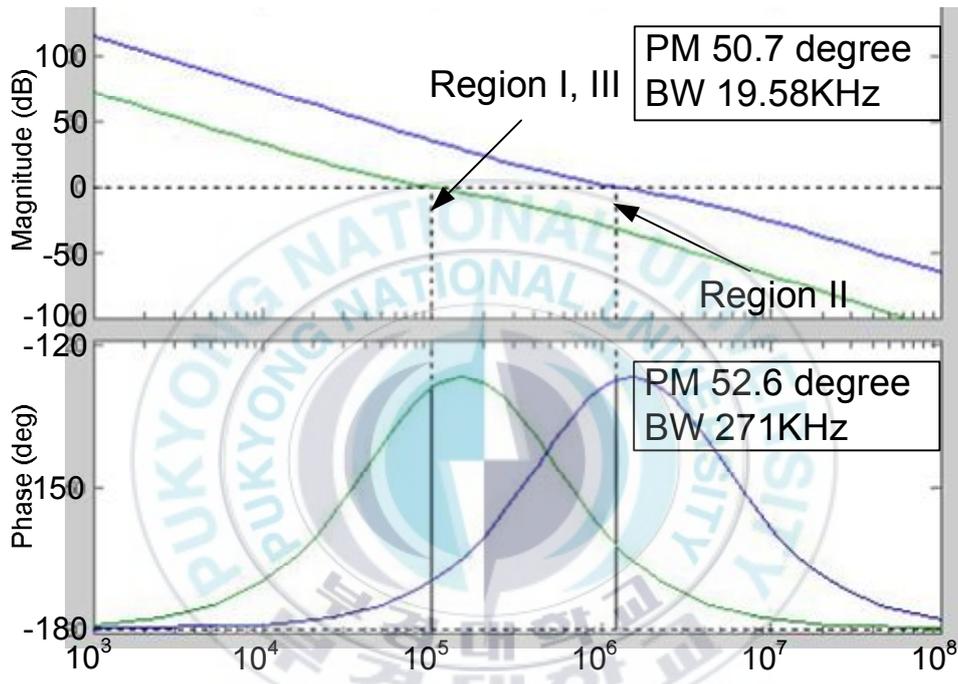


그림 4.1 제안한 구조의 Bode 선도

다음 그림 4.2는 제안한 위상고정루프가 K=4,8,16을 가질 때 CMOS 0.35 μ m 공정을 이용하여 HSPICE 시뮬레이션 한 결과이다. 신호 S는 LSI출력 신호로써 out-of-lock 상태에서부터 in-lock상태로 단지 한 번의 부드러운 여기상태를 보여준다. S 신호가 low일 때 out-of-lock 상태이며, S 신호가 high일 때 in-lock 상태이다. 그림 4.2(a)는 K=4일 때, 위상고정루프의 전압제어 발진기의 입력전압을 보여주며 N=4496으로 바뀌고 난 후 64 μ s의 locking 시간을 가진다. 그림 4.2(b)은 K=8일 때, 위상고정루프의 전압제어

발진기의 입력전압을 보여주며 $N=4496$ 으로 바뀌고 난 후 $53\mu\text{s}$ 의 locking 시간을 가진다. 그리고 그림 4.2(c)는 $K=16$ 일 때, 위상고정루프의 전압제어 발진기의 입력전압을 보여주며 $N=4496$ 으로 바뀌고 난 후 $50\mu\text{s}$ 의 locking 시간을 가진다. 그림 4.2(d)는 in-lock 상태에서의 전압제어 발진기 입력의 출렁임을 보여준다. 그리고 협대역의 루프가 광대역의 루프보다 lock 시간이 길다는 것을 보여준다. 제안된 위상고정루프는 200kHz 의 입력주파수, 899.2MHz 의 출력주파수를 가진다.

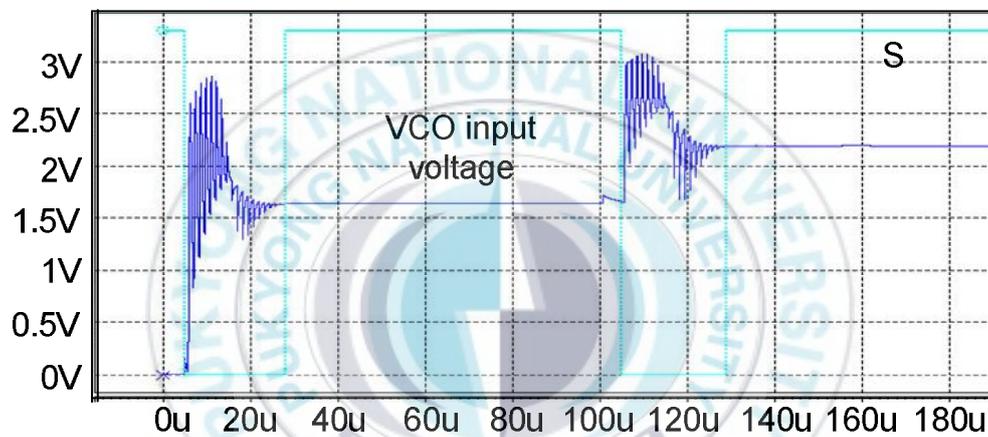


그림 4.2 (a) $K=4$ 일 때 LSI 출력신호(S)와 VCO 입력전압

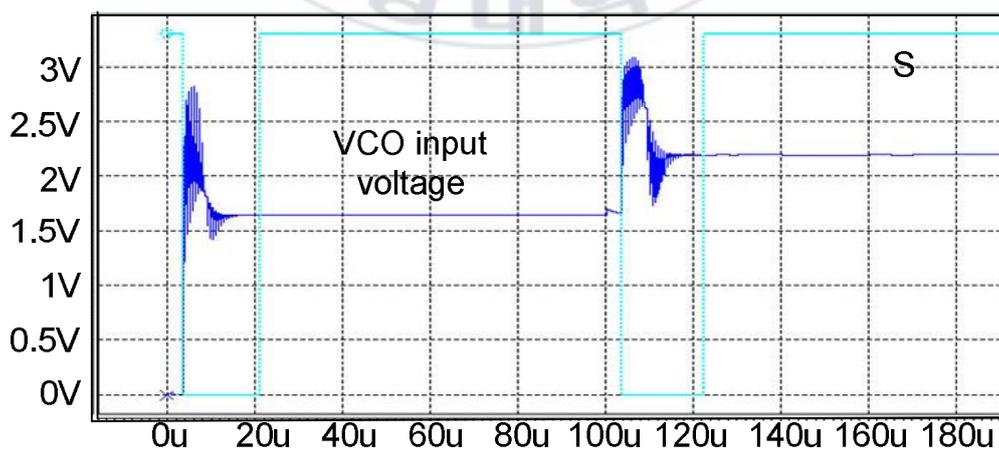


그림 4.2 (b) $K=8$ 일 때 LSI 출력신호(S)와 VCO 입력전압

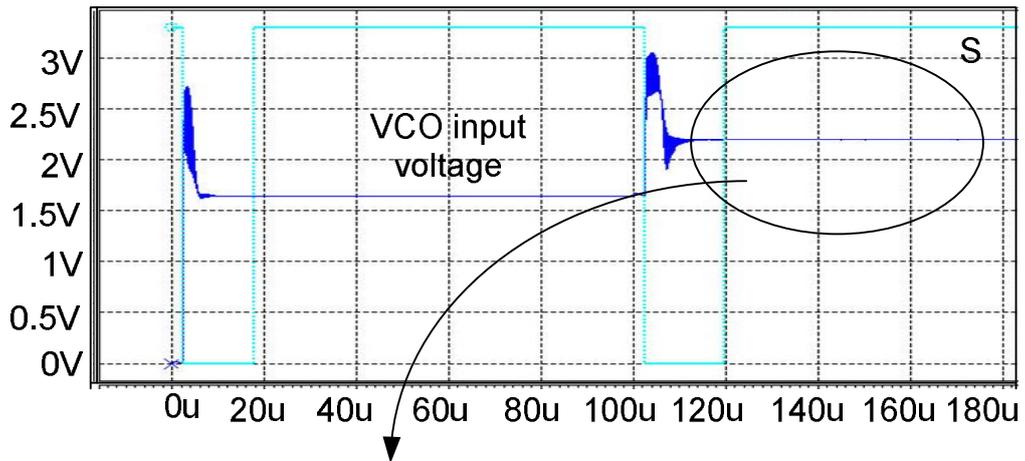


그림 4.2 (c) K=16일 때 LSI 출력신호(S)와 VCO 입력전압

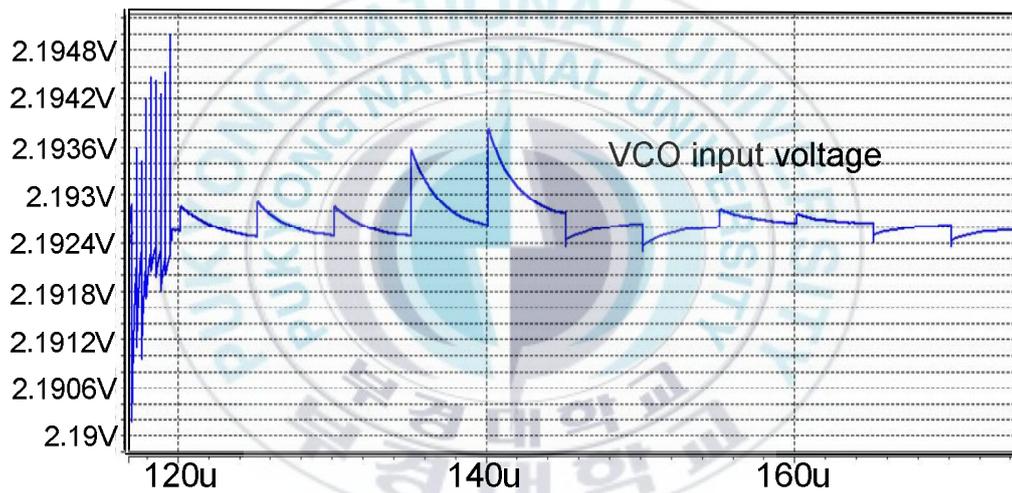


그림 4.2 (a) K=16일 때 VCO 입력전압의 확대한 모습

4.2 레이아웃

레이아웃은 ETRI SOC산업진흥센터에서 지원하는 TSMC 0.18um RF공정을 이용하여 Cadence 사의 virtuoso로 구현하였다. 패드를 제외한 Chip 면적은 $0.67 \times 0.88 \text{ mm}^2$ 이다.

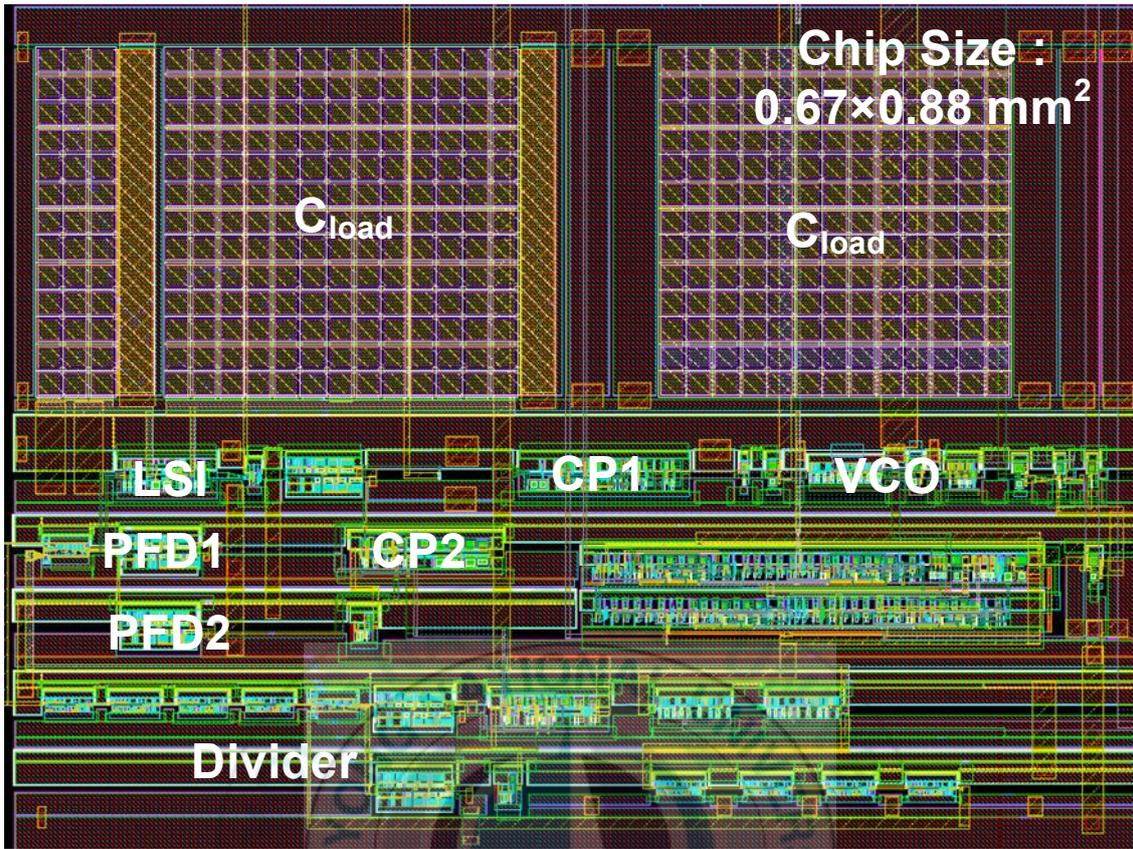


그림 4.2. 전체 layout

V 결론

본 논문에서는 기준 주파수와 동일한 대역폭을 가진 Integer-N 방식의 빠른 록킹 위상고정루프 설계를 제안하였다. Out-of-lock 일 경우, PLL 은 광대역 루프로 동작하여 채널 간격의 1/10 보다 훨씬 넓은 대역폭을 가진다. In-lock 일 경우, PLL 은 협대역 루프로 동작하여 채널 간격의 1/10 보다 좁은 대역폭을 가진다. 넓고 좁은 대역폭 루프는 락킹 과정을 빠르게 하고 채널 간격의 N 배수의 출력 주파수를 만들어낸다. 시뮬레이션 결과는 채널 간격보다 거의 14 배 더 넓은 대역폭을 가진 200KHz 채널간격의 PLL 에서 80MHz 의 주파수 이동 시 50us 의 빠른 lock 시간을 보여준다. 80MHz 의 주파수 이동 시 228us 의 lock 시간을 가진 gearshift PLL 과 20.6MHz 의 주파수 이동 시 128us 의 lock 시간을 가진 dual-loop PLL 과 비교하여 제안한 PLL 은 50us 라는 훨씬 작은 lock 시간을 가진다.

참 고 문 헌

- [1] J. Lee and B. Kim, "A low-noise fast lock phase-locked loop with adaptive bandwidth control," *IEEE J. Solid-State Circuits*, vol. 35, no. 8, pp. 1137-1145, Aug. 2000.
- [2] J. Dunning et al., "An all-digital phase-locked loop with 50-cycle lock time suitable for high-performance microprocessors," *IEEE J. Solid-State Circuits*, vol. 30, no. 4, pp.412-422, Apr. 1995.
- [3] L. C. Liu and B. H. Li, "Fast locking scheme for PLL frequency synthesizer," *Electronics Letters*, vol. 40, no.15, pp. 918-920, July 2004.
- [4] Keliu Shu, Edgar Sanchez-Sinencio, Jos Silva-Martnez and Sherif H. K. Embabi, "A 2.4-GHz Monolithic Fractional-N Frequency Synthesizer With Robust Phase-Switching Prescaler and Loop Capacitance Multiplier," *IEEE J. Solid-State Circuits*, vol. 38, no. 6, pp. 866-874, June 2003.
- [5] Ching-Yuan Yang, Shen-Juan Liu, "Fast-switching frequency synthesizer with a discriminator-aided phase detector" *IEEE J. Solid-State Circuits*, vol.35, NO. 10, OCTOBER 2000
- [6] Rizkalla, M.E.; Gundrum, H.; Michel, H.; "Design of a fractional phase locked-loop frequency synthesizer using a Motorola based microcontroller" *Science, Measurement and Technology, IEE Proceedings-Volume 138, Issue 6*, pp. 295 - 299 , Nov 1991.
- [7] T. A. D. Riley, M. A. Copeland, and T. A. Kwasniewski, "Delta-sigma modulation in fractional-N frequency synthesis," *IEEE J. Solid-State Circuits*, vol. 28, pp. 553-559, May, 1993.
- [8] S. E. Meninger and M. H. Perrot, "A fractional-N synthesizer architecture utilizing a mismatch compensated PFD/DAC structure for reduced quantization-induced phase noise," *IEEE Trans. Circuits Syst. II*, vol. 50, pp. 839-848, Nov., 2003.
- [9] Toby K. K. Kan, Gerry C. T. Leung and Howard C. Luong, "A 2-V 1.8GHz fully integrated CMOS dual-loop frequency synthesizer," *IEEE J. Solid-State Circuits*, vol. 37, pp. 1012 -1020, Aug. 2002.
- [10] Yiuw Tang, Mohammed Ismail and Steven Bibyk, "A new fast-settling gearshift adaptation PLL to extend loop bandwidth enhancement in frequency synthesizers," in *Proc. 2002 IEEE Int. Symp. Circuits and Systems (ISCAS)*, vol. 4, June 2002, pp. 787-790.
- [11] C. H. Park and B. Kim, "A Low Noise, 900-MHz VCO in 0.6- μ m CMOS," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp.586-591, May 1999.

[12] B. Razavi, *RF Microelectronics*, Prentice Hall PTR, 1998.

