



### 공학석사 학위논문

## 수중통신용 고효율 전력증폭기의 설계



2012년 2월

부경대학교대학원

- 전 기 공 학 과
- 김 슬 기

#### 공학석사 학위논문

## 수중통신용 고효율 전력증폭기의 설계

지도교수 김인동



부경대학교대학원

전기공학과

김 슬 기

## 김슬기의 공학석사 학위논문을 인준함

2012년 2월 24일



목 차

ユ	림목차	, iii
표	. 목 차	v
At	ostract	, vi
1.	서 론	- 1
2.	Stepped Plate Transducer용 중폭기의 설계	· 5
	2-1. Stepped Plate Transducer 특성 및 설계사양	5
	2-2. 브릿지 모드 구성	8
	2-3. 안정도 및 루프 설계	10
	2-4. 증폭기 내부손실 및 히트싱크 선정	14
	2-5. 설계한 전력증폭기 회로	18
ર	가벼 저워히르의 석계	19
υ.	3-1 가벼 DC/DC 커버터의 히르도 및 성계사양	10
	3-2 인력 저안 벼둑에 대하 듀티 제어	20
	3-3 인력 픽터 커패시터 C의 석계	. 22
	2 4 이러 피티 이더티 4 이 서귀	 
	3-4. 입덕 펄터 인덕터 L <sub>f</sub> 의 절계	23
	3-5. 변압기의 설계	24
	3-5-1. 변압기 권선비의 설계	24
	3-5-2. 변압기 용량의 설계	25
	3-6. 출력 필터 인덕터 $L_o$ 의 설계	28
	3-7. 출력 필터 커패시터 $C_o$ 의 설계	29
	3-8. 블로킹 커패시터 $C_{\!B}$ 의 설계	31
	3-9. 돌입전류 방지용 저항의 설계	33

3-10. 각 부 소자의 선정	36
3-10-1. 브릿지 다이오드 선정	36
3-10-2. CoolMOSFET 선정	36
3-10-3. SiC 쇼트키 다이오드 선정	36
3-11. 각 부 소자의 손실계산	37
3-11-1. 브릿지 다이오드 손실	37
3-11-2. CoolMOSFET 손실	37
3-11-3. SiC 쇼트키 다이오드 손실	38
3-11-4. 각 소자의 총 손실	38
3-12. 각 부 소자의 접합온도	39
3-12-1. 브릿지 다이오드의 접합온도	39
3-12-2. CoolMOSFET의 접합온도	39
3-12-3. SiC 쇼트키 다이오드의 접합온도	39
4. 시뮬레이션 및 실험결과	40
4-1. 전력증폭기의 시뮬레이션 및 실험결과	40
4-1-1. 브릿지 모드 전력증폭기의 시뮬레이션	40
4-1-2. 마스터 증폭기의 실험결과	44
4-1-3. 슬레이브 증폭기의 실험결과	47
4-1-4. 브릿지 모드 전력증폭기의 실험결과	49
4-2. 가변 <i>DC/DC</i> 컨버터의 시뮬레이션	51
4-3. 수중통신용 고효율 전력증폭기의 시뮬레이션	55
5. 결 론	59
참 고 문 헌	60
감사의 글	61

# 그림목차

그림 1-1. 수중 초음파 송신 구성도	1
그림 1-2. 수중통신 시스템 개념도	1
그림 1-3. 파라메트릭 어레이를 이용한 고지향성 초음파 발생 개념도	2
그림 1-4. 파라메트릭 어레이용 트랜스듀서	3
그림 1-5. Envelope tracking 기술 개요도	4
그림 2-1. Stepped Plate Transducer 외형	5
그림 2-2. Stepped Plate Transducer의 전기적 등가 모델	5
그림 2-3. 주파수에 따른 전기적 특성 그래프	6
그림 2-4. 브릿지 모드로 연결된 전력증폭기 회로	8
그림 2-5. 마스터와 슬레이브 중폭기의 등가 부하 모델	9
그림 2-6. 설계한 전력증폭기 등가회로	10
그림 2-7. 부하특성을 고려한 마스터 증폭기의 보드선도	12
그림 2-8. 부하특성을 고려한 슬레이브 중폭기의 보드선도	12
그림 2-9. 증폭기와 히트싱크의 외형	16
그림 2-10. 증폭기 내부 열-전기 등가모델	17
그림 2-11. 설계한 브릿지 모드 전력증폭기	18
그림 2-12. 전력증폭기의 병렬 운전 결선도	18
그림 3-1. 가변 <i>DC/DC</i> 컨버터의 전력회로	19
그림 3-2. 전원전압변동에 따른 듀티 사이클( $D$ )와 출력전압( $V_o$ )	20
그림 3-3. 입력단 $L-C$ 필터의 둥가회로	22
그림 3-4. 변압기 회로도와 2차측 전압, 전류파형	27
그림 3-5. 출력단 정류기 전압 $V_d$ 및 전류 $I_d$	28
그림 3-6. 출력 인덕터 전류 $i_L$ 와 출력커패시터 전압 $v_o$	29

그림 3-8. 변압기 1차 전류 i,과 블로킹 커패시터 전압 V<sub>CB</sub> ...... 31 그림 4-1. Stepped Plate Transducer용 전력증폭기 시뮬레이션 회로 ..... 40 그림 4-2. 전력증폭기 입력신호 합성 시뮬레이션 파형 ……………………… 41 그림 4-3. DC전압 인가시 전력증폭기 출력전압파형 ……………………… 42 그림 4-4. Envelope 전압 인가시 전력증폭기 출력전압파형 ………………… 42 그림 4-5. 가변 전원 인가시 증폭기 효율 비교 그래프 ...... 43 그림 4-6. Stepped Plate Transducer용 전력증폭기의 외형 ……………… 44 그림 4-7. 마스터 증폭기의 입·출력파형 ...... 45 그림 4-8. 마스터 중폭기 이득 특성 곡선 …………………………………………… 46 그림 4-9. 슬레이브 증폭기의 입·출력파형 ……………………………………………………………… 47 그림 4-10. 슬레이브 중폭기의 이득 특성 곡선 ………………………………………… 48 그림 4-11. 브릿지 모드 증폭기의 입·출력파형 ……………………………………………………………… 49 그림 4-12. 브릿지 모드 증폭기의 이득 특성 곡선 …………………………………… 50 그림 4-13. 가변 DC/DC 컨버터의 PSIM 시뮬레이션 회로도 ...... 51 그림 4-14. Phase shift 제어시 각부 전압, 전류 파형 (D=0.4) ..... 52 그림 4-15. CoolMOSFET ZVS시 전압, 전류 파형 ...... 53 그림 4-16. 사인파 명령에 대한 컨버터의 출력전압 파형 …………………… 54 그림 4-17. 수중통신용 고효율 전력증폭기의 시뮬레이션 회로도 …………… 55 그림 4-18. V<sub>max</sub>=1[V] 일 때 전력증폭기 출력전압 파형 ………………… 56 그림 4-19. V<sub>max</sub>=2[V] 일 때 전력증폭기 출력전압 파형 ………………… 57 그림 4-20. V<sub>max</sub>=2.5[V] 일 때 전력증폭기 출력전압 파형 ……………………… 58

# 표 목 차

표 2-1. Stepped Plate Transducer 전력증폭기의 설계사양
표 2-2. 브릿지 모드 전력증폭기의 마스터 / 슬레이브 설계사양 9
표 2-3. 전력증폭기의 내부 손실16
표 3-1. 가변 <i>DC/DC</i> 컨버터의 설계사양19
표 3-2. 가변 <i>DC/DC</i> 컨버터 전력회로의 설계 파라미터 값
표 3-3. 각 부 전압 및 전류 계산 35
표 4-1. Stepped Plate Transducer용 전력증폭기 시뮬레이션 조건 40
표 4-2. 마스터 증폭기의 실험조건 44
표 4-3. 슬레이브 중폭기의 실험조건
표 4-4. 브릿지 모드 중폭기의 실험조건 49
표 4-5. 가변 <i>DC/DC</i> 컨버터의 시뮬레이션 조건
표 4-6. 수중통신용 고효율 증폭기의 시뮬레이션 조건 ~~~~~ 55

### Design of High Efficiency Power Amplifier for Underwater Communication System

Seul Gi Kim

Department of Electrical Engineering, The Graduate School, Pukyong National University

# Abstract

Underwater communication system needs a transducer to generate ultrasonic waves and a power amplifier to amplify them. This paper deals with the high efficiency power amplifier consisting of linear amplifier and variable DC/DC power supply to drive Stepped Plate Transducer. The power amplifier must guarantee good linearity and high efficiency due to underwater. However, classical fuel problem in amplifier theory demonstrates that proper trade-off between linearity and efficiency is necessary in characteristic of the power amplifier. The envelope tracking technique is the most promising way to improve both linearity and efficiency of the power amplifier. The technique is based on using a fast-response switching mode power supply to provide a varying voltage to the power amplifier. This paper proposes a 4kW-rated power amplifier with 20kHz bandwidth and high efficiency using the class B amplifier and the full bridge converter.

#### 1. 서 론

최근 천안함 사건을 통해 알 수 있듯이 수중에서 정보 신호를 송·수신할 수 있는 수중 통신 시스템은 군사 전략적으로 매우 중요하다.

공기 중에서 전자파를 이용하는 무선통신시스템과 달리 수중에서는 매질의 차이로 인하여 통신에 제약이 많기 때문에 초음파를 사용하여 통신을 한다.<sup>[1]</sup> 그림 1-1는 수중에서 초음파 송신을 위한 구성도이다.



수중에서 통신을 하기 위해서는 초음파를 발생시키는 트랜스듀서와 이를 구 동하기 위한 전력증폭기가 필요하다. 그림 1-2는 수중통신 시스템 개념도이다.



(a) 전방향 수중통신 개념도
 (b) 고지향 수중통신 개념도
 그림 1-2. 수중통신 시스템 개념도

그림 1-2의 (a)와 같이 초음파를 전 방향으로 송신을 하게 되면 급격한 신호 의 감쇄로 송신거리에 제약이 있으며, 신호의 산란으로 정보가 왜곡될 수 있 다. 또한 적 잠수함에 의한 정보 노출로 보안문제가 발생할 수 있다.

하지만 그림 1-2의 (b)와 같이 파라메트릭 어레이 현상을 이용한 고지향성 초음파를 이용하면, 신호의 왜곡 없이 송신거리를 늘일 수 있을 뿐만 아니라 보안 문제도 완화 시킬 수 있다.



그림 1-3은 파라메트릭 어레이(Parametric array) 현상을 이용한 고지향성 초음파 발생에 대한 개념도이다.

트랜스듀서에  $f_1$ 과  $f_2$ 를 합한 신호를 인가하게 되면 매질의 비선형 현상에 의한 고지향 특성을 갖는 차주파수 $(f_1 - f_2)$  성분의 저주파 신호가 발생된다. 그림 1-4는 파라메트릭 어레이용 트랜스듀서이다.



(a) Piezoelectric Micro-machined (b) Stepped Plate Transducer Ultrasonic Transducer

그림 1-4. 파라메트릭 어레이(Parametric array)용 트랜스듀서

전력증폭기는 송신신호의 왜곡과 손실을 줄이기 위해 광대역 특성과 출력 선형성이 보장되어야 하며, 시스템의 발열과 수중에서의 연료문제로 인하여 높은 효율로 동작하여야 한다.

전력증폭기는 크게 Class A, B와 같은 선형 증폭기와 Class C, D, E와 같은 비선형 증폭기로 나눌 수 있다.

Class A와 Class B와 같은 선형 전력증폭기의 경우, 출력 선형성이 보장되지 만 이론적 최대 효율은 다소 낮은 50[%]와 78[%]를 보인다. 낮은 효율은 발열 과 직결되며 냉각 문제로 인하여 시스템이 커지게 된다.

Class D와 같은 비선형 전력증폭기의 경우, 전력반도체의 PWM 제어를 통해 전 부하영역에서 90[%] 이상의 높은 효율을 보이나 소자의 스위칭 특성으로 인하여 THD(Total Harmonic Distortion)가 높고 출력이 비선형적이다. 그림 1-5는 선형증폭기에 인가되는 전압을 가변하여 효율을 높일 수 있는 ET(Envelope Tracking) 기술의 개요도이다.

그림 1-5의 (a)회로는 (b)와 같이 고정된 DC전압을 인가하므로 DC전압과 출 력전압의 차이만큼 손실로 발생하여 효율이 떨어진다.

하지만, 그림 1-5의 (c)회로는 (d)와 같이 신호레벨에 따라 인가전압이 가변 되는 ET기술을 적용하면, 인가전압과 출력전압의 차이를 줄일 수 있어 효율을 향상시킬 수 있다.<sup>[2]</sup>



그림 1-5. Envelope tracking 기술 개요도 (a) DC전압 인가된 증폭기 회로, (b) (a)의 입·출력 전압 파형 (c) ET기술 적용된 증폭기 회로, (d) (c)의 입·출력 전압 파형

그러므로 본 연구에서는 수중통신용 Stepped Plate transducer를 구동하기 위해 선형 출력 특성을 갖는 Class B 푸시 풀 방식의 증폭기를 설계하고 실험 을 통해 특성을 확인하였다. 또한 증폭기의 효율 향상을 위한 4[kW]급, 20[kHz]의 넓은 대역폭을 갖는 가변 DC/DC 컨버터를 설계하고, 시뮬레이션 을 통해 특성을 확인하였다

### 2. Stepped Plate Transducer용 전력증폭기

#### 2-1. Stepped Plate Transducer 특성 및 설계사양

일반적으로 전력증폭기의 부하는 저항부하이지만, 그림 2-1과 같이 Stepped Plate Transducer는 내부 압전 구조로 인하여 저항 성분과 커패시턴스 성분이 함께 존재한다.<sup>[3]</sup>



따라서 그림 2-2와 같이 저항과 커패시턴스의 병렬 등가모델로 나타낼 수 있다.



그림 2-2. Stepped Plate Transducer의 전기적 등가 모델



그림 2-3은 주파수 변화에 따른 Stepped Plate Transducer의 전기적 특성 그 래프이다.

그림 2-3에서 Stepped Plate Transducer의 전기적 특성은 119[kHz]와 123[kHz]에서 피크값을 갖는다.

	丑	2-1.	Stepped	Plate	Transducer	전력증폭기의	설계사잉
--	---	------	---------	-------	------------	--------	------

항 목	설계사양
주 파 수	$80 \sim 150 \left[ kHz \right]$
출력전압	$\pm 200 [V]$
출력전류	$\pm 1.5 \left[A_{pk} ight]$
대 역 폭	300 [kHz]

$$G_{peak} = 7.32 \times 10^{-3}$$
이므로,  $R_L = \frac{1}{G} = \frac{1}{7.32 \times 10^{-3}} = 137[\Omega]$ 이며,

123 [kHz]에서,  $G_{peak} = 6.59 \times 10^{-3}$ 이므로,  $R_L = \frac{1}{G} = \frac{1}{6.59 \times 10^{-3}} = 151[\Omega]$ 이다.

119[kHz]에서,

119 [kHz]에서.

$$B_{peak} = 4.52 \times 10^{-3}$$
  $\bigcirc \square = =, C_L = \frac{B}{w} = \frac{4.52 \times 10^{-3}}{2\pi \times 119 \times 10^3} = 6[nF] \circ \square =,$ 

$$B_{peak} = 3.90 \times 10^{-3}$$
이므로,  $C_L = \frac{B}{w} = \frac{3.90 \times 10^{-3}}{2\pi \times 123 \times 10^3} = 5[nF]$ 이다

컨틱턴스 G값은 전력증폭기의 출력전류와 관계가 있으며, 서셉턴스 B값은 전력증폭기의 열손실과 관계가 있다.

따라서 전력증폭기 설계 관점에서 출력전류의 최악상태는  $R_L = 137[\Omega]$ (119[kHz])일 때 이며, 열손실의 최악상태는  $C_L = 6[nF]$  (119[kHz])일 때 이다.

#### 2-2. 브릿지 모드 구성

전력증폭기는 소자 사용 개수와 연결 방법에 따라 단일 증폭기 타입(Sigle supply type)과 브릿지 모드 타입(Bridge mode type)이 있다.<sup>[4]</sup>

그림 2-4는 2개의 증폭기를 브릿지 모드로 연결한 전력증폭기의 회로이다. 왼쪽은 마스터 증폭기이며, 오른쪽은 슬레이브 증폭기이다.



마스터 증폭기는 반전 증폭비  $A_v = \frac{R_f}{R_f}$ 에 따라 신호를 증폭하여 부하의 (+) 단에 출력을 전달한다.

슬레이브 증폭기는 항상 증폭비가 1인 단위 이득 값을 갖는 반전 증폭기로 서 마스터 증폭기의 출력전압을 반전 증폭하여 (-)단에 전달한다.

따라서 그림 2-4와 같이 브릿지 모드로 구성하게 되면 부하에 인가되는 최 종 출력전압은 마스터 증폭기의 증폭비  $A_v = \frac{R_f}{R_f}$ 의 2배가 되며 인가전압의 2 배까지 출력할 수 있으며, 또한 슬루율(Slew rate)도 2배로 높일 수 있는 장점 이 있다. 마스터 증폭기와 슬레이브 증폭기의 설계사양은 표 2-2와 같다.

구 성	마스터 중폭기	슬레이브 중폭기
증 폭 비	이득 $\frac{R_f}{R_i} = 40$	단위 이득 1
인가전압	$\pm 100 [V]$	$\pm 100 [V]$
출력전류	$\pm 1.5 \left[A_{pk} ight]$	$\pm 1.5 \left[A_{pk} ight]$

표 2-2. 브릿지 모드 전력증폭기의 마스터 / 슬레이브 설계사양

Stepped Plate Transducer의 전기적 특성이 저항 R과 커패시턴스 C<sub>L</sub>이 병렬 연결로 나타나 오픈 루프 이득이 변동하기 때문에 마스터와 슬레이브 증폭기 를 다시 설계할 필요가 있다.



그림 2-5. 마스터와 슬레이브 증폭기의 등가 부하 모델

일반적으로 전력증폭기의 부하는 저항부하이지만, 그림 2-1과 같이 Stepped Plate Transducer는 내부 압전구조로 인하여 저항 성분과 커패시턴스 성분이 함께 존재한다.

#### 2-3. 안정도 및 루프 설계

설계한 전력증폭기의 내부 등가회로는 그림 2-6과 같다.



PA96 데이터 시트로부터 내부저항  $R_o = 10[\Omega]$ 을 확인할 수 있다.

반전 증폭비는 
$$R_i = 1[k\Omega], R_f = 40[k\Omega]$$
이므로,  
$$A_v = \frac{R_f}{R_i} = \frac{40 \times 10^3}{1 \times 10^3} = 40$$
이다.

대역폭(Bandwidth)은 300[kHz]로 설계하였다.

안정도를 판별하기 위해 부하특성을 고려한 전력증폭기의 전달함수는 다음 과 같다.

$$\frac{V_o}{V_i} = \frac{\frac{R_L/sC_L}{(1/sC_L) + R_L}}{\left(R_o + \frac{R_L}{2}\right)\left(1 + \frac{s}{\frac{1}{\left(R_o \| \frac{R_L}{2}\right)C_L}}\right)} \qquad (2-1)$$

$$w_p = \frac{1}{(R_o \| \frac{R_L}{2})C_L} = \frac{1}{(10\| \frac{136}{2})6 \cdot 10^{-9}} = 2\pi \cdot 3[MHz] \qquad (2-2)$$

$$\frac{V_o}{V_i} = \frac{K \times 0.87}{1 + \frac{s}{2\pi \times 3[MHz]}}, (0.87 = -1.2[dB]) \qquad (2-3)$$

$$eqr/A \ \not\equiv (Pole) \ w_p \not\equiv 3[MHz] eqr/A \ \lor \text{EVT}.$$

그림 2-7은 부하특성을 고려한 마스터 증폭기의 보드선도이다.



마스터 증폭기의 보드선도 그림 2-7을 보면, 대역폭 300[*kHz*]에서 위상 여 유(Phase margin)가 45~60[°]이기 때문에 추가적인 보상회로가 필요없다.

슬레이브 증폭기는 단위 이득을 갖기 때문에 대역폭이 3[*MHz*]의 폴(*Pole*) 다음에 나타나 위상여유가 부족하여 불안정영역에서 동작한다.

따라서 제로(Zero)와 폴(Pole)을 추가하기 위한 보상회로가 필요하다.

슬레이브 증폭기의 입력단에  $R_N = 1.2[k\Omega]$ 과  $C_N = 2[nF]$ 을 직렬로 연결하여 26.5[kHz]에 제로(Zero)와 60[kHz]에 폴(Pole)을 추가하여 위상 여유(Phase margin)가 45~60[°]정도가 될 수 있도록 대역폭을 새롭게 설정하였다.

$$\begin{split} f_{PN} &= \frac{1}{2\pi R_N C_N} = 60 [kHz] \qquad (2-4) \\ f_{ZN} &= \frac{R_f + F_i}{2\pi C_N (R_f R_i + R_f R_N + R_i R_N)} \\ &= \frac{1}{\pi C_N (R + 2R_N)} = 26.5 [kHz], \ (R_f = R_i = R) \qquad (2-5) \end{split}$$

#### 2-4. 증폭기 내부손실 및 히트싱크의 선정

Stepped Plate Transducer의 전기적 특성이 119[*kHz*]와 123[*kHz*]에서 컨덕 턴스 *G*, 서셉턴스 *B*가 각각 최대값임을 그림 2-3에서 알 수 있다.

119[kHz]에서 컨덕턴스 G가 최대값을 가질 때 증폭기의 내부 손실은 다음 과 같다.

119[kHz]에서 서셉턴스 B가 최대값을 가질 때 증폭기의 내부 손실은 다음 과 같다.

$$\begin{split} & G = 3.68 \times 10^{-3}, B = 4.52 \times 10^{-3}, \ \phi = \tan^{-1} \frac{B}{G} = 0.63 [^{\circ}] \\ & |Y_M| = |Y_S| = 2|Y_S| = 11.66 \times 10^{-3} \\ & |Z_M| = |Z_S| = \frac{1}{2|Y_L|} = 86 [\Omega] \\ & I_{o,pk} = 1.16[A] \\ & P_{D(\max)} = \frac{V_s^2}{2Z_L} \left[ \frac{4}{\pi} - \cos \phi \right] = \frac{100^2}{2 \times 86} \left[ \frac{4}{\pi} - 0.63 \right] = 37.5 [W] \qquad (2-8) \\ & 123[kHz] \, |0|_{\mathcal{A}}| \ \mathcal{A}|_{\mathcal{A}}^{12} \oplus \mathcal{A}|_{\mathcal{A}}^{12} \oplus \mathcal{B}|_{\mathcal{A}}^{12} \oplus \mathcal{A}|_{\mathcal{A}}^{12} \oplus \mathcal{A}|_{\mathcal{A}}^{12} \oplus \mathcal{B}|_{\mathcal{A}}^{12} \oplus \mathcal{A}|_{\mathcal{A}}^{12} \oplus \mathcal{A}|_{\mathcal{A}}^{12} \oplus \mathcal{A}|_{\mathcal{A}}^{12} \oplus \mathcal{B}|_{\mathcal{A}}^{12} \oplus \mathcal{A}|_{\mathcal{A}}^{12} \oplus \mathcal{A}|_{\mathcal{A}}^{12}$$

119[kHz]와 123[kHz]의 컨덕턴스 G와 서셉턴스 B의 최대값에서 전력증폭기 내부손실을 정리하면 표 2-3과 같다.

	컨덕턴스	· 최대값	서셉턴스 최대값		D 400
	119[kHz]	$123 \left[ kHz  ight]$	119[kHz]	$123 \left[ kHz  ight]$	<i>PA</i> 96
$P_{D(\max)}$	$32\left[W ight]$	27[W]	37.5[W]	31.5[W]	
$P_{o(each)}$	73[W]	66[W]	37[W]	34.5[W]	
$\eta$	0.7	0.71	0.5	0.52	71[W]
$I_{o.pk}$	1.5[A]	1.3[A]	1.2[A]	1.04[A]	
$P_S$	105 [W]	93 [ <i>W</i> ]	75 [ <i>W</i> ]	66 [ <i>W</i> ]	
$P_{D(\max).each} = 37.5[W], \ P_{D(\max).total} = 2 \times P_{D(\max).each} = 37.5[W]$					

표 2-3. 전력증폭기의 내부 손실



(a) PA96 외형 그림 2-9. 증폭기와 히트싱크의 외형

PA96 증폭기의 내부 접합 열저항은 R<sub>JC</sub>=1.3[℃/W]이다.
8핀 TO-3 패키지에 의한 열저항은 R<sub>CS</sub>=0.1[℃/W]이다.
선정한 히트싱크 HS11의 열저항은 R<sub>SA</sub>=0.675[℃/W]이다.

그림 2-10은 브릿지 모드 전력증폭기 내부 열-전기 등가모델이다.



 $= 128 [\degree C] < T_{J(\max)}(150 [\degree C])$ 

APEX사의 PA96은 인가 DC전압이 ±300[V], 전류출력이 ±1.5[A]이며, 70[W]의 내부 손실을 견딜 수 있어 설계사양에 만족된다.

#### 2-5. 설계한 전력증폭기 회로

그림 2-11는 브릿지 모드로 설계된 최종 전력증폭기이다.



전류 용량이 부족할 경우 그림 2-12와 같이 병렬운전 모드를 고려할 수 있다.



그림 2-12. 전력중폭기의 병렬 운전 결선도

#### 3. 가변 전원회로의 설계

#### 3-1. 가변 DC/DC 컨버터 전력회로 및 설계사양

그림 3-1은 전력증폭기에 인가하는 전원을 가변하기 위한 *DC/DC* 컨버터의 전력회로도이다.<sup>[5-6]</sup>



표 3-1은 가변 DC/DC 컨버터의 설계사양이다.

표	3-1.	가변	DC/DC	컨버터의	설계사양

입력전압	$AC  220  [V],  3\phi,  60  [Hz]$
출력전력	$P_{o} = 4 [kW]$
	$(P_{v+} = \pm 2 [kW], P_{v-} = -2 [kW], \eta_{amp} = 50 [\%] \text{ /} \text{/} \text{/} \text{/} \text{/} \text{/} \text{/} /$
출력전압	$V_{0+} = 200 \left[ V_{dc} \right], \ V_{0-} = -200 \left[ V_{dc} \right]$
출력전류	$I_{0+} = 10 [A_{dc}], \ I_{0-} = -10 [A_{dc}]$
대역폭	BW=50 [kHz]
출력필터	2nd order LC Low Pass Filter
	Phase shift PWM Control
ᆀん바버	스위칭 주파수 $f_{sw} = 125[kHz]$
NI 1 8 H	등가 스위칭 주파수 : 250 <i>[kHz</i> ]
	$5 \times BW = 5 \times 50[kHz] = 250[kHz]$

#### 3-2. 입력전압 변동에 대한 듀티 제어

그림 3-2는 입력 전원전압 변동에 관계없이 출력전압을 일정하게 제어하기 위한 듀티 사이클(D)과 이때의 출력전압  $V_o$ 를 나타낸다. 여기서 출력전압을 권선비, 듀티 사이클(D), DC링크전압  $V_{de}$ 로 표현하면 다음과 같다.<sup>[7]</sup>





그림 3-2. 전원전압변동에 따른 듀티 사이클(D)와 출력전압(V<sub>a</sub>)

입력 전원이 3상이므로 필터 전류가 연속일 때 출력전압  $V_{dc}$ 는 $V_{dc} = \frac{3\sqrt{2}}{\pi} V_{L-L}$ 이며,

입력전원 변동을 10%로 가정하면,  $V_i = 220 [V] \pm 10\%$ 이므로 입력전압 변동 범위는 267 [V] <  $V_{dc} < 342 [V]$ 이다.

그림 4-1에서 보는 바와 같이 입력전압의 변동에 관계없이 출력전압을 원하는 값으로 제어하기 위해서는 가변 *DC/DC* 컨버터의 듀티 사이클(*D*)를 적절하게 제어해야 한다.

본 가변 *DC/DC* 컨버터의 정격전류는 *I<sub>o</sub>* = 10*[A]*, 정격출력전압  $V_o = \pm 200[V]$ 이며, 정격 출력은  $P_L = 4[kW]$ 이다.

본 설계에서 최악조건인 설계 동작점은 그림 4-4에서의 입력전압이 220-10% [V]이며, DC링크 필터전류가 연속인  $V_{dc} = 267 [V]$ 인 점으로서 이때 의 듀티 사이클 D=1이다.

#### 3-3. 입력필터 커패시터 C<sub>f</sub>의 설계

안정적인 DC전압 공급을 위해서는 정류기의 출력전압  $V_{REC}$ 의 고조파 성분 이 필터 커패시터  $C_f$ 로 흐르게 해야한다.



$$C_f \gg rac{1}{n \omega R_L} = rac{1}{6 imes 2 \pi imes 60 imes 16.9} ≒ 26.2 [\mu F]$$
이다.  
위의 값보다 10배 큰  $C_f$ 값을 고려하면  $C_f = 10 imes 26.2 [\mu F] = 262 [\mu F]$ 이다

### 3-4. 입력필터 인덕터 L<sub>f</sub>의 설계

출력단의 n차 고조파성분은  $L_f$ 와  $C_f$ 의 임피던스 전압분배에 의해 결정되므 로 식 3-5와 같다.

$$V_{on} = \left| \frac{\frac{-1}{n\omega C_f}}{n\omega L_f - \frac{1}{n\omega C_f}} \right| V_{nh} = \frac{1}{\left| (n\omega)^2 L_f C_f - 1 \right|} V_{nh} \quad \dots \tag{3-5}$$

여기서  $V_{nh}$ 는 다이오드 정류기의 출력단, 즉 필터의 입력단 전압의 고조파 성분의 최대값이다.

리플전압의 대부분은 최저고조파인 6고조파 성분이므로 리플율(Ripple Factor : RF)은 식 3-6과 같다.

한편 3상 전파 다이오드 정류기에서 출력 전류 연속을 위한 출력필터의 임 계 인덕턴스 값  $L_c$ 는 10[%] 부하에서

$$L_C = \frac{R_L}{3\pi k(k^2-1)f} = \frac{16.9/(0.1)}{3\pi 6(6^2-1)60} = 1.4 [mH]$$
이다. (3상전파정류  $k=6$ )

따라서 3상 전파정류 출력 필터의 인덕턴스  $L_f = 4[mH]$ 로 선정한다.

#### 3-5. 변압기의 설계

#### 3-5-1 변압기 권선비의 설계

정격부하에서 필터 인덕터의 평균전류  $I_{dc}$ 는 DC/DC 컨버터의 효율을  $\eta = 0.95$ 로 가정하면,  $I_{Lf.av} = \frac{P_o/n}{V_{dc}} = \frac{4[kW]/0.95}{267[V]} = 15.76[A]$ 이다.

정격과 전류 리플성분 최대 10[%]를 고려하면 인덕터의 포화 전류값  $I_{Lf.sat}$ 는  $I_{Lf.sat} = I_{Lf.av} imes 1.0 imes 1.1 = 17.34 [A]$ 이다.

DC링크 전압 V<sub>dc</sub>와 V<sub>o</sub>의 관계는 식 3-7과 같다.

$$V_O + V_{F.SCH} = \frac{N_2}{N_1} D V_{dc} \tag{3-7}$$

본 설계에서, 변압기의 입력단은 권선 1개, 출력단은 직렬 연결된 중간 탭 권선(center-tapped winding) 2개로 구성되어 있어 출력전압 +200[V<sub>dc</sub>]와 -200[V<sub>dc</sub>]를 각각 출력한다.

 $V_{dc}$ 전압의 최소값은  $V_{dc.min} = 267 [V_{dc}]$ 이고, 듀티 사이클 D가 최대값 $D_{\max} = 0.8$ 일 때 최대  $V_{o.max} = 200 [V_{dc}]$ 를 얻기 위한 변압기의 권선비  $\frac{N1}{N2}$ 는 $\frac{N_1}{N_2} = \frac{D_{max}V_{dc.min}}{V_{o.max} + V_{F.SCH}} = \frac{0.8 \times 267 [V]}{200 [V] + 2.1 [V]} = 1.06$ 이다.

따라서 변압기의 권선비는 N1:N2=1:1로 한다.

#### 3-5-2 변압기 용량의 설계

변압기의 출력  $P_{o.TR}$ 은 부하출력 $(P_o)$ 과 쇼트키 다이오드에서의 손실 $(P_{sch})$ 의 합이므로 정격부하 일 때,

$$\begin{split} P_{o.TR} &= P_o + P_{SCH} = 2 \, V_o I_o + V_{F.SCH} \, I_o \\ &= 2 \times 200 [\,V] \times 10 [A] + 2.1 [\,V] \times 10 [A] = 4.021 \, [kW] \, \text{ord} \, \text{T}. \end{split}$$

그림 4-6에서 2차 권선에서 한 상의 전압 실효치는 정의식에 따라

$$\begin{split} V_{2,rms} &= \sqrt{\frac{1}{T} \int_{0}^{T} (V_{o} + V_{F,SCH})^{2} dt} \qquad (3-8) \\ &= \sqrt{\frac{1}{T} \int_{0}^{DT} (V_{o} + V_{F,SCH})^{2} dt} \\ &= \sqrt{\frac{1}{T} (V_{o} + V_{F,SCH})^{2} DT} \\ &= (V_{o} + V_{F,SCH}) \sqrt{D} = (200 + 2.1) / \sqrt{0.8} = 226 \ [V] \circ ] \ \Box, \end{split}$$

$$\begin{split} &\tilde{\Delta} \stackrel{\text{res}}{=} \frac{\sqrt{\frac{1}{T}} \int_{0}^{T} (i_{2}(t))^{2} dt} \qquad (3-9) \\ &= \sqrt{\frac{1}{T} \int_{0}^{T} (i_{2}(t))^{2} dt + 2 \int_{\frac{DT}{2}}^{\frac{T}{2}} \left(\frac{I_{o}}{2}\right)^{2} dt} \\ &= \sqrt{\frac{1}{T} \left(\int_{0}^{2} \frac{DT}{2} + 2 \left(\frac{I_{o}}{2}\right)^{2} \left(\frac{T}{2} - \frac{DT}{2}\right)\right)} \\ &= \sqrt{\frac{1}{T} \left((I_{o})^{2} \frac{DT}{2} + 2 \left(\frac{I_{o}}{2}\right)^{2} \left(\frac{T}{2} - \frac{DT}{2}\right)\right)} \\ &= \sqrt{(I_{o})^{2} \frac{D}{2} + \left(\frac{I_{o}}{2}\right)^{2} (1 - D)} \\ &= I_{o} \sqrt{\frac{D}{2} + \frac{1 - D}{4}} = I_{o} \frac{\sqrt{1 + D}}{2} = 6.7 \ [A] \circ ] \ \Box, \end{split}$$

2차권선 한상의 전력 용량  $P_2$ 는 $P_2 = V_{2.rms} imes I_{2.rms} = 226 [V] imes 6.7 [A] = 1.5 [KVA] 이다.$ 

변압기 1차 권선에서의 전압 실효치는

$$V_{1.r\,\text{ms}} = \frac{N_1}{N_2} (V_o + V_{F.SCH}) / \sqrt{D} \qquad (3-10)$$
$$= \frac{1}{1} (200 + 2.1) / \sqrt{0.8} = 226 [V]$$

이다.

변압기 1차 권선에서의 전류 실효치는 $I_{1.\,\mathrm{r\,ms}} = \sqrt{\left(\frac{N_1}{N_2} \bullet 2I_o\right)^2 \frac{T_{on}}{T}} \qquad (3-11)$  $= \frac{N_2}{N_1} 2I_o \sqrt{D} = \frac{1}{1} 20 \sqrt{0.8} = 17.9 \left[A\right]$ 이다.

따라서 1차 권선 한상의 전력 용량 P<sub>1</sub>은 P<sub>1</sub> = V<sub>1.rms</sub> × I<sub>1.rms</sub> = 226 [V]×17.9 [A] = 4.045 [KVA] 이다.


(b) 2차권선의 전압 v<sub>2</sub> 및 전류 i<sub>2</sub>
 그림 3-4. 변압기 회로도와 2차측 전압, 전류파형

# 3-6. 출력필터 인덕터 L<sub>o</sub>의 설계

그림 4-7로부터 출력단의 필터 인덕터는 D=0.5 일 때, 출력전류  $I_o$ 의 첨두 대 첨두(Peak to peak) 리플을 정격전류의 25[%] 가정하면, 출력 인덕터의 전 압식  $L_o \frac{\Delta I}{\Delta t} = 0.25 \times V_{o.rat}$ 으로 부터,



# 3-7. 출력필터 커패시터 Co의 설계

그림 4-8에서처럼 인덕터의 전류 리플성분에 의한 출력단 커패시터의 전압 리플은 다음 식과 같이 구할 수 있다.

출력전압 리플의 첨두 대 첨두(Peak to peak) 전압  $\Delta V_o$ 을 최대 출력전압의 4[%]로 설정하면,



그림 3-6. 출력 인덕터 전류  $i_L$ 와 출력커패시터 전압  $v_o$ 

한편 L\_o와 C\_o로 구성된 출력필터의 공진주파수를 50[kHz]로 설정하면

$$f_{o} = \frac{1}{2\pi \sqrt{L_{o}C_{o}}}$$
 (3-15)

따라서 출력 커패시터 값으로  $C_o = 0.15 \left[ \mu F \right]$ 로 선정한다.



그림 3-7. 출력필터의 공진주파수 (50[kHz])

### 3-8. 블로킹 커패시터 C<sub>B</sub>의 설계

블로킹 커패시터  $C_B$ 는 풀브리지 인버터의 비대칭 동작 혹은 소자특성의 불 균형에 의한 고주파 변압기의 포화를 방지하기 위해 필요하다.

블로킹 커패시터는 정상상태에서 항상 인버터의 비대칭 동작 혹은 소자특성 의 불균형에 의한 직류 전압 성분을 갖게 되며, 또한 정상 부하 전류에 의한 교류 전압 성분을 갖는다.

그림 4-10에서 보는 바와 같이 정격부하에서 반주기 동안의 변압기 1차측 전류  $I_1$ 에 의한 블로킹 커패시터의 전압 변동분  $\Delta V_{CB}$ 을 DC링크 전압  $V_{dc}$ 의 10 [%]로 설정한다.



그림 3-8. 변압기 1차 전류  $i_1$ 과 블로킹 커패시터 전압  $V_{CB}$ 

이때 블로킹 커패시터의  $C_{\!B}$ 는 다음 식을 사용하여 구하면

블로킹 커패시터로서 커패시턴스는 5[*uF*], 리플전류는 12[*A*], 전압정격은 40[*V*] 이상인 교류 커패시터를 선정한다.

### 3-9. 돌입전류 방지용 저항의 설계

시스템의 최초 구동시 전원이 공급됨과 동시에 인버터가 동작하게 되면 커 패시터  $C_f$ 에 충분한 전압이 충전되어 있지 않을뿐더러 고주파 인버터가 정상 동작을 하지 못하여 안정된 출력을 얻기가 힘들다.

따라서 시스템 최초 구동 시 소프트 스타트가 필요하다.

돌입전류 방지용 회로는 다이오드 정류기 출력전류가  $I_{dc} = 21.2 [A_{dc}]$ 일 때 그림 3-8과 같은 회로로 구현한다.



저항  $R_s$ 를 통해 갑작스런 돌입전류를 억제하여 커패시터  $C_f$ 에 오버슈트가 없이 안정되게 충전된다. 커패시터  $C_f$ 가 충분히 충전되면 고주파 인버터가 동 작하게 된다.

$$R_{S} = 2\sqrt{\frac{L}{C}} = 2\sqrt{\frac{4 \times 10^{-3}}{590 \times 10^{-6}}} = 5.2 \left[\Omega\right] \quad \dots \tag{3-20}$$

따라서 돌입전류 방지용 저항  $R_S = 5[\Omega]$ 으로 선정하며, 릴레이는  $25[A_{dc}]$ 급 으로 선정하여 취부한다.

구 분	설계 값	비고
DC링크 필터 L <sub>f</sub>	$L_{f} = 2[mH]$ $I_{L_{f}sat} = 17.34 [A]$	정격부하 10[%] 필터 <i>L<sub>f</sub></i> 리플전류
DC링크 필터 <i>C<sub>f</sub></i>	$C_{f} = 262 [uF]$ $U_{N} = 370 [V]$ (20 [%] 여유)	정격부하 10[%] 필터 <i>C<sub>f</sub></i> 리플전압
트랜스포머	1차권선 : $4[kVA]$ $V_1 = 226[V_{rms}]$ $I_1 = 17.9[A_{rms}]$	정격부하, D=0.95에서 변압기 동작 전압 및 전류를 표시
	2차권선 : 6[kVA] (1.5[kVA] ×4) V <sub>2</sub> = 226[V <sub>rms</sub> ] I <sub>2</sub> = 6.7[A <sub>rms</sub> ]	2차측 : 중간 탭 권선 (4개 권선)
출력단 필터 <i>L<sub>o</sub></i>	$L_o = 160 [uH]$ $I_o = 10[A]$	정격부하, D=0.5 25[%] 첨두 대 첨두 전류리플,
출력단 필터 <i>C<sub>o</sub></i>	$C_o = 0.15 [uF]$ $V_o = 200 [V]$ $I_o = 1.5 [A] 이 상$	Lo와 Co의 공진주파수 fo = 50[kHz]         첨두 대 첨두 전압 변동분         Vdc의 1[%]미만
블로킹 커패시터 <i>C<sub>B</sub></i>	$C_B = 5[uF],$ 40[V], 12[A]	정격부하, <i>D</i> =1 10[%] 첨두 대 첨두 전압 변동분 △ <i>V<sub>B</sub></i>
돌입방지용 저항 $R_S$	$R_{S} = 5[\Omega],$ $I_{B} = 21.2[A_{dc}]$	25 $[A_{dc}]$ 급 릴레이 선정

표 3-2. 가변 DC/DC 컨버터 전력회로의 설계 파라미터 값

표 3-3. 각 부 전압 및 전류 계산

총 전력	$P = \frac{4[kW]}{0.95} = 4.2[kW], \ \eta_{total} = 0.95$
입력전압	$AC 220 [V], 3\phi, 60 [Hz]$
입력전류	$I_s = \frac{4.2[kW]}{220\sqrt{3}} = 11[A_{\rm rms}]$
정류전압	$220\sqrt{2} = 310[V_{pk}]$ $\frac{3\sqrt{2}}{\pi} 220[V] - 2 \times 1[V] = 295[V],  V_F = 1[V]$
정류전류	$\frac{4.2[kW] \times 0.99}{295[V]} = 14.1[A_{dc}], \ \eta_{rec} = 0.99$
CoolMOSFET 출력전압	$\begin{split} 295[V] - 2 \times 0.08[\Omega] \times 14.1[A_{dc}] = 292.8[V], \\ R_{ds(on)} = 0.08[\Omega] \end{split}$
CoolMOSFET 출력전류	<u>4.2[kW]×0.96</u> =13.7[A <sub>pk</sub> ] 다이오드 정류기 손실 1[%] MOSFET 인버터 손실 3[%] 가정
출력 SiC 쇼트키 다이오드 출력전압	각 출력 포트에서 200[V]
출력 SiC 쇼트키 다이오드 출력전류	각 출력 포트에서 <u>2000[W]</u> =10[A]
트랜스포머 2차 전압 (중간 탭과 각 단자사이)	$200[V] + 2 \times 2.1[V] = \pm 204.2[V_{pk}], V_F = 2.1[V],$ (구형과, $\phi = 180$ )
트랜스포머 2차 전류	출력전류와 동일 10[A]
· 출 효 율	95[%] 예상

### 3-10. 각 부 소자의 선정

#### 3-10-1. 브릿지 다이오드 선정

선정 기준 : AC 220 [V],  $\frac{14.1[A]}{3} \times 2$ 배 = 9.4[A] 이상

VISHAY사의 BU1206(600[V], 12[A], T<sub>c</sub> = 87[℃])으로 선정하였으며, 단상 브 릿지 다이오드 3개를 연결하여 3상 브릿지 회로를 구성한다.

#### 3-10-2. CoolMOSFET 선정

선정기준 : 310[V], 13.7[A] (250[kHz], 구형파 ( $\phi$ =180)) 전압안전율을 2배로 하면 310[V]×2배=630[V] 전류안전율을 2배로 하면 13.7[A]×2배=27.4[A]

Infineon사의 SPW47N60CFD 으로 선정하였다. (600[V], 46[A], T<sub>c</sub> = 25[℃], R<sub>ds(on)</sub> = 0.083[Ω])

### 3-10-3. SiC 쇼트키 다이오드 선정

선정기준 : 204.2×2=408.4[V], <u>10[A]</u>=5[A]

(250[kHz], 구형파 (φ=180))
 전압안전율을 2배로 하면 408[V]×2배=816[V]
 전류안전율을 2배로 하면 5[A]×2배=10[A]

STMicroelectronics사의 STPSC2006CW으로 선정하였다. (600[V], 10[A],  $T_c = 100[$ °C],  $V_F = 2.1[V]$ )

### 3-11. 각 소자의 손실 계산

#### 3-11-1. 브릿지 다이오드 손실

BU1206 (600[V], 12[A], T<sub>c</sub> = 87[℃]) 도통손 V<sub>F</sub>만 고려하면, 다이오드 손실은 14.1[A]×1[V]×2=28.2[W]이다. 손실률은 <u>28.2</u> <u>4200</u>×100=0.7[%] 이다.

#### 3-11-2. CoolMOSFET 손실

SPW47N60CFD (600[V], 46[A],  $T_c = 25[^{\circ}C]$ ,  $R_{ds(on)} = 0.083[_{\Omega}]$ ) 스위칭 주파수는  $f_s = 125[kHz]$ 이며, 반주기마다 Phase shift값을 제어하면 주파수 2배 증가 효과(250[kHz])를 얻을 수 있다. (Phase shift = 180[°], 인버터 출력 : 구형파, D=0.5) CoolMOSFET 손실 : 도통손(*V<sub>CE(SAT)</sub>*) + 턴 오프 손실 (턴 온 손실과 출력 커패시터 손실은 무시한다. : ZVS) (CoolMOSFET 병렬 외부 추가 커패시턴스 : 2[nF]. 350[V]) 1개의 암(Arm)의 도통손 : 13.7[A]×13.7[A]×0.083[Ω]×0.5=7.8[W] 1개의 암(Arm)의 턴 오프 손실 (하드 스위칭 기준으로 계산, 실제 상당한 소프트 스위칭 일어남)  $\frac{1}{2} V_{dc} I_d T_{off} f_{sw} = 0.5 \times 310 [V] \times 13.7 [A] \times 92 [nsec] \times 125 [kHz] = 24.4 [W]$  $T_{off} = \frac{Q_{gs} + Q_{gd}}{I_c} = \frac{54[nC] + 130[nC]}{2[A]} = 92[nsec]$ (게이트 드라이버는 게이트 전류  $I_g = 2[A]$  이상되어야 한다.) 1개 암(Arm)의 총 손실은 7.8+24.4=32.2[W]이다. 따라서 4개 암(Arm)의 총 손실은 32.2×4=128.8 [W]이다. 손실률은 <u>128.8</u> <u>4200</u>×100=3[%] 이다.

#### 3-11-3. SiC 쇼트키 다이오드 손실

STPSC2006CW (600[V], 10[A],  $T_c = 100[\degree], V_F = 2.1[V]$ )

스위칭 주파수는  $f_s = 125[kHz]$ 이며, 반주기마다 Phase shift값을 제어하면 주파수 2배 증가 효과(250[kHz])를 얻을 수 있다.

(Phase shift = 180[°], 인버터 출력 : 구형파, *D*=0.5)

SiC 쇼트키 다이오드 손실 : 도통손(V<sub>F</sub>) + 역 회복 손실

(역 회복 손실은 무시한다. - SiC 쇼트키 다이오드 사용)

1개의 SiC 쇼트키 다이오드의 도통손 : 10[A]×2.1[V]×0.5=10.5[W]

따라서 4개의 SiC 쇼트키 다이오드의 총 손실은  $10.5 \times 4 = 42[W]$ 이다.

손실률은 <u>42</u> 4200×100=1[%]이다.

**3-11-4. 각 소자의 총 손실** 28.2[*W*]+128.8[*W*]+42[*W*]=199[*W*]이며, 손실률은 <u>199</u>×100=4.74[%]이다.

예상 효율을 95[%]로 설정하여 계산한 결과, 브릿지 다이오드 + CoolMOSFET+ SiC 쇼트키 다이오드만의 손실을 고려한 효율 계산치가 95.26[%]로 추정된다.

## 3-12. 각 소자의 접합온도

#### 3-12-1. 브릿지 다이오드의 접합온도

BU1206 (600[V], 12[A],  $T_c = 87[^{\circ}C]$ )

*T<sub>c</sub>* = 80[℃] 가정하면,

T<sub>J.Bridge Diode</sub> = T<sub>c</sub> + (P<sub>Loss</sub>/1개)×R<sub>JC</sub> = 80 + (28.2)/6 × 2.7 = 92.69[℃] 브릿지 다이오드의 접합온도 한계가 150[℃]이므로 여유가 있다.

3-12-2. CoolMOSFET의 접합온도

T<sub>c</sub> = 80[℃] 가정하면, T<sub>J.CoolMOS</sub> = T<sub>c</sub> + (P<sub>Loss</sub>/1개)×R<sub>JC</sub> = 80+32.2×0.3 = 89.66[℃] CoolMOSFET의 접합온도 한계가 150[℃]이므로 여유가 있다.

## 3-12-3. SiC 쇼트키 다이오드의 접합온도

*T<sub>c</sub>* = 80[℃] 가정하면,

T<sub>J.SiCDiode</sub> = T<sub>c</sub> + (P<sub>Loss</sub>/1개)×R<sub>JC</sub> = 80+10.5×1.2 = 92.6[℃] SiC 쇼트키 다이오드의 접합온도 한계가 150[℃]이므로 여유가 있다.

# 4. 시뮬레이션 및 실험결과

## 4-1. 전력증폭기의 시뮬레이션 및 실험결과

#### 4-1-1. 브릿지 모드 전력증폭기의 시뮬레이션

ET기술 적용에 따른 Stepped Plate Transducer용 전력증폭기의 효율 향상을 확인하기 위해 PSIM으로 시뮬레이션 하였으며, 시뮬레이션 조건은 표 4-1과 같다.



표 4-1. Stepped Plate Transducer용 전력증폭기 시뮬레이션 조건





그림 4-2. 전력증폭기 입력신호 합성 시뮬레이션 파형





(b) Envelope전압 인가시 출력전압파형 그림 4-4. Envelope전압 인가시 전력중폭기 출력전압파형

그림 4-3의 (a)는 DC전압 인가시 입력신호의 최대값이 2[V]일 때, 브릿지 모드 전력증폭기의 마스터와 슬레이브 출력전압과 입력전압파형이다.

그림 4-3의 (b)는 마스터 증폭기 출력전압과 슬레이브 증폭기 출력전압 차인 출력전압파형이다.

DC전압 인가시 출력 효율은 35[%]이다.

그림 4-4의 (a)는 Envelope전압 인가시 입력신호의 최대값이 2[V]일 때, 브 릿지 모드 전력증폭기의 마스터와 슬레이브 출력전압과 입력전압파형이다.

그림 4-4의 (b)는 마스터 증폭기 출력전압과 슬레이브 증폭기 출력전압 차인 출력전압파형이다.

Envelope전압 인가시 출력 효율은 59[%]이다.

Envelope tracking 기술을 적용하여 전력증폭기를 구동하면 약 15[%]의 효 율 향상을 PSIM 시뮬레이션을 통해 확인하였다.

ANUL



그림 4-5. 가변 전원 인가시 증폭기 효율 비교 그래프

#### 4-1-2. 마스터 전력증폭기의 실험결과

그림 4-6은 제작한 Stepped Plate Transducer용 전력증폭기의 외형 사진이 다.



그림 4-6. Stepped Plate Transducer용 전력증폭기의 외형

마스터 증폭기의 실험조건은 표 4-2와 같다.

표	4-2.	마스터	중폭기의	실험조건
---	------	-----	------	------

표 4-2. 마스터 중폭기의 실험조건	H of II
항 목	값
보상커패시터 $C_{\!cm}$	$6 \left[ pF  ight]$
입력신호	정현파 $4[V_{p-p}]$
증폭비 A <sub>vm</sub>	40
입력전압	$\pm 100[V_{dc}]$
부하저항 <i>R<sub>L</sub></i>	$75\left[ arOmega  ight]$
부하 커패시터 <i>C</i> <sub>L</sub>	12 [nF]

그림 4-7은 마스터 증폭기의 입·출력 파형이다.



그림 4-7. 마스터 증폭기의 입·출력파형 (Ch1 : 0.5[V] / div, Ch2 : 20.0[V] / div)

그림 4-8은 주파수 변화에 따른 마스터 증폭기의 이득 전달 특성 곡선이다.



PA96 Gain (master)

그림 4-8. 마스터 중폭기 이득 특성 곡선

Stepped Plate Transducer 구동 주파수인 80[*kHz*]~150[*kHz*]범위에서 정현파 입력에 대한 마스터 증폭기의 선형 출력 특성을 실험을 통해 확인하였다.

#### 4-1-3. 슬레이브 전력증폭기의 실험결과

슬레이브 증폭기의 실험 조건은 표 4-3과 같다.

표 4-3. 슬레이브중폭기의 실험조건

항 목	값
보상커패시터 $C_{\!cs}$	$150 \left[ pF  ight]$
입력신호	정현파 $4[V_{p-p}]$
증폭비 $A_{vs}$	1
입력전압	$\pm 100[V_{dc}]$
부하저항 <i>R</i> <sub>L</sub>	$75\left[\Omega ight]$
부하 커패시터 <i>C<sub>L</sub></i>	12 [nF]
ATIONA	

그림 4-9는 슬레이브 증폭기의 입·출력 파형이다.



그림 4-10은 주파수 변화에 따른 슬레이브 증폭기의 이득 전달 특성 곡선이다.



그림 4-10. 슬레이브 증폭기의 이득 특성 곡선

Stepped Plate Transducer 구동 주파수인 80[*kHz*]~150[*kHz*]범위에서 정현파 입력에 대한 슬레이브 증폭기의 선형 출력 특성을 실험을 통해 확인하였다.

#### 4-1-4. 브릿지 모드 전력증폭기의 실험결과

브릿지 모드 전력증폭기의 실험 조건은 표 4-4과 같다.

표 4-4. 브릿지 모드 중폭기의 실험조건

항 목	값
보상커패시터 $C_{cm},\ C_{cs}$	6 [pF], 150 [pF]
입력신호	정현파 4 $[V_{p-p}]$
증폭비	80
입력전압	$\pm 100[V_{dc}]$
부하저항 <i>R</i> _	150 [ <i>Ω</i> ]
부하 커패시터 $C_L$	6 [nF]

그림 4-11은 브릿지 모드 증폭기의 입·출력 파형이다.





그림 4-12는 브릿지 모드 증폭기의 이득 전달 특성 곡선이다.



PA96 Gain

그림 4-12. 브릿지 모드 증폭기의 이득 특성 곡선

Stepped Plate Transducer 구동 주파수인 80[*kHz*]~150[*kHz*]범위에서 정현파 입력에 대한 브릿지 모드 전력증폭기의 선형 출력 특성을 실험을 통해 확인하 였다.

# 4-2. 가변 DC/DC 컨버터 회로의 시뮬레이션

그림 4-13은 가변 DC/DC 컨버터의 PSIM 시뮬레이션 회로도이다.



그림 4-13. 가변 DC/DC 컨버터의 PSIM 시뮬레이션 회로도

가변 DC/DC 컨버터의 시뮬레이션 조건은 표 4-5와 같다.

표 4-5. 가변 DC/DC/ 컨버터의 시뮬레이션 조건

입력전압	$AC  220  [V],  3\phi,  60  [Hz]$
출력전력	$P_{v+}=+2[kW],\ P_{v-}=-2[kW]$
출력전압	$V_{0+} = 200  [V_{dc}], \ V_{0-} = -200  [V_{dc}]$
출력전류	$I_{0+} = 10 [A_{dc}], \ I_{0-} = -10 [A_{dc}]$
제어방법	Phase shift PWM Control 스위칭 주파수 $f_{sw} = 125[kHz]$ 등가 스위칭 주파수 : 250 $[kHz]$

그림 4-14는 *D*=0.4로 오픈 루프 제어될 때 가변 *DC/DC* 컨버터의 각 부 파형이다.



(d) D=0.4일 때 스위치 PWM 신호 파형

그림 4-14. Phase shift 제어시 각부 전압, 전류 파형 (D=0.4)



그림 4-15는 오픈 루프 Phase shift 제어 시 각 스위치의 전압 전류 파형이 다.

그림 4-15. CoolMOSFET ZVS시 전압, 전류 파형



그림 4-16는 사인파 명령에 대한 DC/DC 컨버터의 출력전압 파형이다.

그림 4-16. 사인파 명령에 대한 컨버터의 출력전압 파형

## 4-3. 수중통신용 고효율 전력증폭기의 시뮬레이션

그림 4-17은 수중통신용 고효율 전력증폭기의 PSIM 시뮬레이션 회로도이다.



그림 4-17. 수중통신용 고효율 전력증폭기의 시뮬레이션 회로도

수중통신용 고효율 전력증폭기의 시뮬레이션 조건은 표 4-5와 같다.

표 4-6. 수중통신용 고효율 증폭기의 시뮬레이션 조건

항 목	값
Signal 1	$100 \left[ kHz  ight]$
Signal 2	$120 \left[ kHz  ight]$
입력신호	$1 \sim 2.5  [ V_{p-p}]$
증폭비	80
입력전압	가변 <i>DC/DC</i> 컨버터 출력전압
부하저항 $R_L$	$137\left[ arOmega  ight]$
부하 커패시터 $C_L$	6 [nF]

그림 4-18은 입력신호 최대값이 1[V]일 때 전력증폭기와 컨버터의 출력전압 파형이다.



가변 DC/DC 컨버터를 통해 전력증폭기에 전압을 인가시 효율은 59[%]로서 고정 DC전압을 인가할 때의 효율 19[%]에 비해 40[%]의 효율 향상이 가능함 을 시뮬레이션을 통해 확인하였다.

그림 4-19은 입력신호 최대값이 2[V]일 때 전력증폭기와 컨버터의 출력 전 압 파형이다.



가변 DC/DC 컨버터를 통해 전력증폭기에 전압을 인가시 효율은 38[%]로서 고정 DC전압을 인가할 때의 효율 61[%]에 비해 24[%]의 효율 향상이 가능함 을 시뮬레이션을 통해 확인하였다.

그림 4-20은 입력신호 최대값이 2.5[V]일 때 전력증폭기와 컨버터의 출력 전압 파형이다.



가변 DC/DC 컨버터를 통해 전력증폭기에 전압을 인가시 효율은 49[%]로서 고정 DC전압을 인가할 때의 효율 61[%]에 비해 12[%]의 효율 향상이 가능함 을 시뮬레이션을 통해 확인하였다.

## 4. 결 론

본 논문에서는 수중통신용 Stepped Plate Transducer를 구동하기 위한 4[kW]급 20[kHz] 대역폭을 갖는 고효율 전력증폭기를 설계하고 시뮬레이션과 실험을 통해 그 특성을 확인하였다.

전력증폭기를 설계하기 위해 Stepped Plate Transducer의 전기적 특성을 분 석하였으며, APEX사의 Class-B push pull 타입 PA96 증폭기를 이용하여 브릿 지 모드로 구성하였다.

브릿지 모드의 마스터 증폭기와 슬레이브 증폭기의 안정도 및 루프를 해석 하고 Zero, Pole 보상을 통해 80[kHz] ~ 150[kHz] 범위에서 증폭기의 선형 출 력 특성을 확보하고 실험을 통해 검증하였다.

신호레벨에 따라 전력증폭기의 인가전압을 가변하여 효율을 향상시키기 위 한 4[kW]급 20[kHz] 대역폭을 갖는 가변 DC/DC 컨버터를 설계하였다.

설계한 가변 DC/DC 컨버터는 R<sub>ds(on</sub>)이 작은 CoolMOSFET과 역회복 특성이 좋은 SiC 다이오드를 이용하여 센터 탭 방식의 풀 브릿지 회로로 구성하였고 Phase shift ZVS 제어를 통해 스위칭 손실을 줄였으며 PSIM 시뮬레이션을 통 해 효율 향상이 가능함을 확인하였다.

본 논문에서 설계한 고효율 전력증폭기는 현재 전량 수입에 의존하고 있는 수중 네트워크 구성 장비의 국산화 가능성을 제시하였다.

향후 실험과 보완을 거쳐 국산화 및 상용화가 이루어진다면 수입 대체 효과 및 국방 경쟁력 향상에도 기여할 것으로 기대한다.

## 참고문 헌

- [1]. 박성준, 박수현, 김상경, 김창화, "수중통신과 해양센서네트워크 기술" 정보과 학회지, pp 79~88, 2010. 07
- [2]. Miguel Rodriguez, "A Multiple-Input Digitally Controlled Buck Converter for Envelope Tracking Applications in Radiofrequency Power Amplifiers", IEEE TRANSACTION ON POWER ELECTRONICS, VOL.25, NO.2, FEBRUARY 2010
- [2]. 이경우, 소형종, 임실묵, 김원호, 조운현, "1-3형 압전 복합체를 이용한 광대역 수중 통신용 음향 트랜스듀서에 관한 연구", 한국해양공학회지 제22권 제2호, pp 65~71, 2008.
- [4]. Robert F. Coughlin, "Operational Amplifiers and Linear Integrated Circuits", Prentice Hall,6th Edition
- [5] D. Cretu, W.D. Dunford, G. Garabandic and M. Edmunds, "Single Stage DC-DC Converter for High Current High Power Applications", IEEE APEC 1997, pp617-622
- [6] In-Dong Kim and Eui-Cheol Nho, "Module-Type Switching Rectifier for Cathodic Protection of Underground and Maritime Metallic Structures," IEEE Trans. on Industrial Electronics, Vol. 52, No. 1, Feb. 2005, pp.181–189.
- [7] 조원우, 김진영, 김인동, 노의철, 고강우, 배상범, "선박 평형수 처리용 대전류
   인버터 방식의 정류기 설계", 전력전자학회논문지, 제16권 제5호, pp430~439,
   2011, 10.
- [8] M. H. Rashid, Power Electronics-Circuits, Devices and Applications, 3rd edition, Pearson-Prentice Hall 2004.
- [9] M. H. Rashid, Power Electronics Handbook, Academic Press, 2001

# 감사의 글

2년이라는 석사과정을 마무리 하는 시점에서 지난 시간을 되돌아보니 감회 가 새롭습니다. 무엇보다도 이집트에서 돌아와 적지 않은 나이에 취업준비를 하던 저에게 캡스톤 디자인을 계기로 대학원 진학의 길을 열어 주신 김인동 교수님께 진심으로 고개 숙여 감사드립니다.

언제나 학생들보다 학문에 열정적인 모습과 인자하신 모습을 보여주신 김인 동 교수님을 삶의 멘토로서 그리고 인생의 스승으로 모실 수 있어 너무 행복 하게 생각합니다.

또한, 항상 늦은 시간까지 연구하시며 아낌없는 애정과 가르침으로 석사과 정을 지도해 주신 노의철 교수님께도 진심으로 고개 숙여 감사드립니다.

바쁘신 와중에도 저의 학위논문을 심사해주시고 조언과 격려를 해주신 김영 학 교수님께 감사드립니다. 학과의 발전을 위해 많은 노력과 지도를 해주신 전기공학과 교수님들께도 깊이 감사드립니다.

처음 연구실에 들어올 때부터 졸업할 때 까지 학업적으로 그리고 인간적으 로 먼저 마음을 열고 다가와준 김진영 선배님에게 진심으로 고마움을 전합니 다. 뒤에서 묵묵히 실험실을 지켜주신 박해영 선배님, 선후배 사이의 중심을 지켜주시느라 고생하신 정재헌 선배님께도 감사드립니다.

처음 연구실에 들어와 나이 많은 후배지만 진심어린 격려와 배려를 해준 졸 업생 조원우, 송응협, 유재도, 김상일에게도 고맙다는 말을 꼭 남기고 싶습니 다.

실험실 안에서나 밖에서나 지난 2년 동안 옆에서 누구보다도 큰 힘이 되어 준 하나뿐인 동기 이종규에게 감사드립니다.

앞으로 우리 연구실을 이끌어 갈 솔선수범하는 이창열 후배, 자신이 맡은바 업무를 충실해 해가는 이수형 후배, 함께 한 지난 시간 동안 잘 따라준 권창 근 후배, 항상 부지런하고 늦은 밤까지 열심히 공부하는 김학수 후배에게도 감사의 마음을 전합니다.

창원 전기연구원과 연구실을 바쁘게 오가며 공부하느라 고생하는 유영도, 안기정 후배에게도 감사드립니다.

대학원 생활을 하면서 필요한 여러 업무를 물심양면으로 도와준 전기공학과 정회민, 강희진 조교에게도 고맙다는 말을 전하고 싶습니다.

그리고 낯선 타국 알렉스에서 만난 인연이 부산에서도 이어져 석사과정동안 많은 도움을 주신 옥정숙 선생님께 고개 숙여 감사드립니다.

마지막으로 지난 30년간 끊임없는 헌신과 아낌없는 사랑으로 믿고 지금까지 기다려 주신 어머니, 아버지께 처음으로 사랑한다는 말과 함께 진심으로 고개 숙여 감사드리며 이 논문을 바칩니다.

2012년 2월

김 슬 기 올림